



十速

TM52F8273/76

TM52F8274/78

规格书 Rev 0.97

tenx reserves the right to change or discontinue the manual and online documentation to this product herein to improve reliability, function or design without further notice. **tenx** does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. **tenx** products are not designed, intended, or authorized for use in life support appliances, devices, or systems. If Buyer purchases or uses **tenx** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **tenx** and its officers, employees, subsidiaries, affiliates and distributors harmless against all claims, cost, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use even if such claim alleges that **tenx** was negligent regarding the design or manufacture of the part.

修改纪录

版次	生效日	修订内容概要
V0.90	Nov, 2018	新颁。
V0.91	Dec, 2018	1. 新增封装类型。 2. 其他错误修正。
V0.92	Jan, 2019	1. 修正复位/中断向量地址范围错误。 2. 修改闪存 IAP 及 EEPROM 写入电压。 3. 修改 LCD COM0~3 扫描时序图。 4. 其他错误修正。
V0.93	Apr, 2019	1. 移除一些封装类型。
V0.94	Aug, 2019	1. 新增 SSOP24 封装。 2. 其他错误修正。
V0.95	Sep, 2019	1. 修改闪存 IAP 读取注意事项说明。 2. 新增切换 ADC 通道注意事项说明。 3. 新增切换触摸按键通道注意事项说明。
V0.96	Nov, 2020	1. 电器特性新增上电 V_{CC} 上升率。 2. 其他错误修正。
V0.97	Jul, 2021	1. LCD、LED 章节修改及补充说明。 2. 补上对 ADC 内部电容值的描述。 3. 其他错误修正。

目录

修改纪录.....	2
TM52 系列 F82xx 家族	5
概述.....	6
系统框图.....	6
基本功能.....	7
IC 引脚图	11
引脚描述.....	19
引脚汇总.....	20
功能描述.....	21
1. CPU 核心.....	21
1.1 累加器 (ACC)	21
1.2 B 寄存器 (B)	21
1.3 堆栈指针 (SP).....	22
1.4 数据指针 (DPTRs)	22
1.5 程序状态字 (PSW)	23
2. 存储器.....	24
2.1 程序存储器	24
2.2 EEPROM 数据存储器	28
2.3 数据存储器	30
3. 低电压复位和低电压检测.....	32
4. 复位.....	33
4.1 上电复位	33
4.2 外部引脚复位	33
4.3 软件复位	33
4.4 看门狗定时器复位	33
4.5 低电压复位	33
5. 时钟电路和工作模式.....	35
5.1 时钟电路.....	35
5.2 操作模式	37
6. 中断和唤醒.....	38
6.1 中断使能和优先级控制	38
6.2 引脚中断	41
6.3 空闲模式唤醒和中断	42
6.4 停止模式唤醒和中断	42

7. I/O 端口	44
7.1 端口 1, P2.1~P2.0 和端口 3	44
7.2 端口 0	52
8. 定时器	55
8.1 Timer0/1	55
8.2 Timer2	57
8.3 Timer3	59
8.4 T0O 和 T2O 输出控制	59
9. UARTs	60
10. PWMs	62
11. ADC	66
11.1 ADC 通道	67
11.2 ADC 转换时间	67
12. 触摸按键 (仅 F8276/78)	70
12.1 松弛震荡结构触摸按键 (STK)	70
12.2 外部电容结构触摸按键 (CTK)	71
13. S/W 控制的 LCD 驱动器	75
14. LED 控制器/驱动器	77
15. 串行外围界面 (SPI)	81
16. 循环冗余校验码(CRC)	86
17. 在线仿真器 (ICE) 模式	87
SFR & CFGW 映像	88
SFR & CFGW 说明	90
指令集	100
电器特性	103
1. 最大绝对额定值	103
2. DC	104
3. 时钟时序	105
4. 复位时序特性	105
5. 上电特性	105
6. ADC 电气特性	105
7. 特性曲线图	106
封装说明	109

TM52 系列 F82xx 家族

共同特性

CPU	闪存程序存储器	RAM 字节	双时钟	工作模式	Timer0 Timer1 Timer2	UART	实时 Timer3	LVD	LVR
快速8051 (2T)	4K~32K 有 IAP, ISP, ICP	256 ~ 1024	SXT SRC FXT FRC	快钟 慢钟 空闲 停止	8051标准		15-bit	2.7V	2.3V 2.7V 3.5V 4.1V

注: IAP, ISP 只针对 Flash 类型的程序存储器

家族成员特性

P/N	程序存储器	数据存储器	RAM 字节	IO 引脚	PWM	SAR ADC	触摸按键	LCD	LED	SPI	其他
TM52-M8254	MTP 4K 字节	—	512	18	(8+2) 位 x 2	12 位 12 通道	—	4com	—	—	—
TM52-M8258							15 通道				
TM52-M8264	MTP 8K 字节	—	512	18	(8+2) 位 x 2	12 位 12 通道	—	4com	—	—	—
TM52-M8268							15 通道				
TM52-F8274	闪存 8K 字节	EEPROM 128 字节	1024	26	(8+2) 位 x 3	12 位 16 通道	—	8com	4Cx6S	Yes	UART2
TM52-F8274T ⁽¹⁾							16 通道				
TM52-F8278							16 通道				
TM52-F8273	闪存 16K 字节	EEPROM 128 字节	1024	26	(8+2) 位 x 3	12 位 16 通道	—	8com	4Cx6S	Yes	UART2
TM52-F8273T							16 通道				
TM52-F8276							16 通道				
TM52-F8276T											

⁽¹⁾: 字尾 T 仅用来区分封装脚位排序的不同

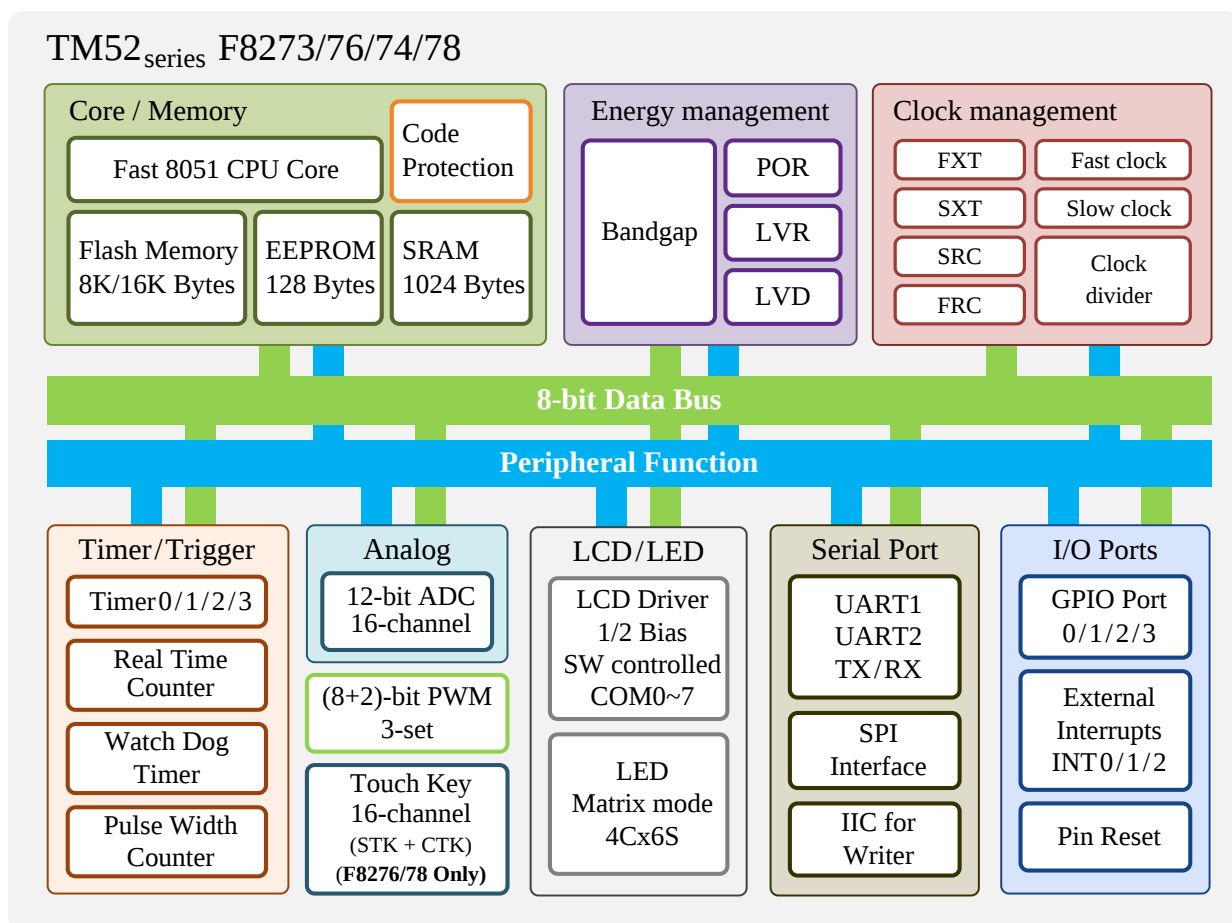
P/N	工作电压	工作电流				最大系统时钟 (Hz)			
		快钟 FRC	慢钟 SRC	空闲 SRC	停止	SXT	SRC	FXT	FRC
TM52-M8254	2.3~5.5V	4.0mA	1.3mA	18μA	0.1μA	32K	68K	8M	12.28M/2
TM52-M8258									
TM52-M8264	2.3~5.5V	4.0mA	1.3mA	18μA	0.1μA	32K	68K	8M	12.28M/2
TM52-M8268									
TM52-F8274	2.3~5.5V	5.3mA	1.3mA	20μA	0.1μA	32K	68K	12M	12.902M
TM52-F8274T									
TM52-F8278									
TM52-F8278T									
TM52-F8273	2.3~5.5V	5.3mA	1.3mA	20μA	0.1μA	32K	68K	12M	12.902M
TM52-F8273T									
TM52-F8276									
TM52-F8276T									

概述

TM52 系列 F8273/76/74/78 是一个新的, 快速的 8051 架构, 与业界标准 8051 指令集完全兼容的 8 位单片机, 并保持了 8051 外围的功能模块。通常情况下, **TM52** 执行指令, 比传统的 8051 架构快六倍。

TM52-F8273/76/74/78 通过集成多种功能在芯片上, 提供更高的性能, 更低的成本, 能快速进入市场, 包括 8K/16K 字节的闪存(Flash)程序存储器, 128 字节的 EEPROM 数据存储器, 1024 字节 SRAM, 低电压复位(LVR), 低电压检测(LVD), 双时钟省电工作模式, 8051 标准 UART 和定时器 Timer0/Timer1/Timer2, 实时计时器 Timer3, LCD/LED 驱动器, 3 组(8+2)位脉冲宽度调制器(PWM), 16 通道的 12 位模数转换器(ADC), 16 通道触摸按键(F8276/78)和看门狗定时器(WDT)。它的高可靠性和低功耗的特性, 可广泛适用于消费电子及家用电器产品。

系统框图



注: 8K 字节闪存程序存储器(TM52F8274/78)
16K 字节闪存程序存储器(TM52F8273/76)

基本功能

1. 标准 8051 指令集, 快速的机器周期

- 指令执行比传统 8051 快六倍

2. Flash 程序存储器

- 8K 字节闪存程序存储器(TM52F8274/78)
- 16K 字节闪存程序存储器(TM52F8273/76)
- 支持 ICP(在线编程)或 ISP(在系统编程)的闪存程序码
- 在 IAP(在应用编程)模式可以作为 EEPROM,以字节的方式存取
- 程序码保护功能
- 内建 IAP 防死机看门狗模式
- 至少 1 万次的擦写次数
- 至少 10 年的数据保存时间

3. 128 字节 EEPROM 数据存储器

- 至少 5 万次的擦写次数
- 至少 10 年的数据保存时间

4. 总计 1024 字节 SRAM (IRAM+XRAM)

- 256 字节 IRAM 在 8051 内部数据存储器区
- 768 字节 XRAM 在 8051 外部数据存储器区(由 MOVX 指令存取)

5. 4 种系统时钟类型选择

- 快时钟使用外部 1~12 MHz 晶体 (FXT)
- 快时钟使用内部 RC (FRC, 12.9024 MHz)
- 慢时钟使用外部 32768 Hz 晶体 (SXT)
- 慢时钟使用内部 RC (SRC, 68 KHz)
- 系统时钟可以通过 1/2/4/16 选项除频

6. 8051 标准定时器 – Timer0/1/2

- 16 位 Timer0, 支持 T0O 时钟输出供蜂鸣器应用
- 16 位 Timer1
- 16 位 Timer2, 支持 T2O 时钟输出供蜂鸣器应用

7. 15 位 Timer3

- 时钟源为慢时钟
- 中断期可选时钟除以 32768/16384/8192/128 选项

8. UARTs

- UART1: 8051 标准 UART, 单线 UART 选项
- UART2: 第二组额外 UART, 仅支持模式 1 和模式 3

9. 三个独立的“8+2”位的 PWM 有预分频器/周期调整

10. SPI 界面

- 主或从模式选择
- 可编程的传输波特率
- 串行时钟相位和极性选项
- MSB 优先或 LSB 优先可选择

11. 16 通道双模式触摸按键(仅 F8276/78)

- 双模式: 松弛震荡触摸 (STK) 或 外部电容触摸 (CTK)
- 内部参考电容支持
- 自动触摸时钟调变

12. 12 位 ADC, 具有 14 个通道的外部引脚输入和 2 通道内部参考电压

- 内部基准电压源 (VBG): $1.22V \pm 1\%$ @ $V_{CC}=5V \sim 3V$, $25^{\circ}C$
- 内部基准电压源 (VSS): $0V$

13. LCD 驱动器

- 1~1/8 占空比
- 软件控制 COM0~7
- 1/2 LCD 偏压

14. LED 控制器/驱动器

- 正反扫描模式
- 最多 10 引脚 (4 COM x 4 SEG ~ 4 COM x 6 SEG)
- 支持 COM 死区防闪烁
- 三组 8 段亮度可调

15. 12 来源, 4 中断优先级

- Timer0/Timer1/Timer2/Timer3 中断
- INT0/INT1 下降沿/低电平中断
- 端口 1 引脚电平变化中断
- UART1/UART2 TX/RX 中断
- P3.7 (INT2) 中断
- ADC/触摸按键中断
- SPI 中断

16. 引脚中断能将停止模式下的 CPU 唤醒

- P3.2/P3.3 (INT0/INT1) 中断和唤醒
- P3.7 (INT2) 中断和唤醒
- 端口 1 每个引脚可以定义为唤醒和中断引脚(通过引脚电平变化)

17. 最大 26 可编程 I/O 引脚

- CMOS 推挽输出
- 伪开漏或开漏输出
- 施密特触发输入
- 引脚上拉可以使能/禁止
- 所有引脚具有高灌电流 ($70\text{mA}@V_{CC}=5\text{V}$, $V_{OL}=0.1V_{CC}$)

18. 独立的 RC 振荡看门狗定时器

- 480ms/240ms/120ms/60ms 可选择的看门狗超时选项

19. 5 种复位

- 上电复位
- 可选的外部引脚复位
- 可选的看门狗复位
- 软件命令复位
- 可选的低电压复位

20. 4 级低电压复位

- 2.3V/2.8V/3.6V/4.3V

21. 1 级低电压检测

- 2.8V (可关闭)

22. 4 种电源工作模式

- 快钟模式/慢钟模式/空闲模式/停止模式

23. 集成的 16 位循环冗余校验功能**24. 在板仿真 /ICE 接口**

- 使用 P3.0/P3.1 引脚或 P0.0/P0.1 引脚
- 与 ICP 编程引脚共享

25. 工作电压和电流

- $V_{CC}=4.3\text{V} \sim 5.5\text{V}$ @FSYSCLK=12.9024 MHz ($-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$)
- $V_{CC}=3.6\text{V} \sim 5.5\text{V}$ @FSYSCLK=12.9024 MHz (25°C)
- $V_{CC}=2.8\text{V} \sim 5.5\text{V}$ @FSYSCLK=6.4512 MHz
- $V_{CC}=2.3\text{V} \sim 5.5\text{V}$ @FSYSCLK=3.2256MHz
- $\text{ICC}=0.1\mu\text{A}$ @Stop mode, PWRSAV=1, $V_{CC}=3\text{V}$
- $\text{ICC}=10\mu\text{A}$ @Idle mode, PWRSAV=1, $V_{CC}=3\text{V}$

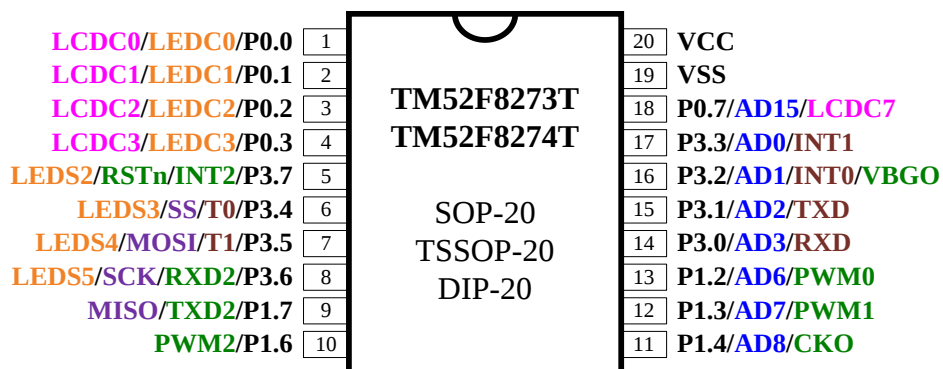
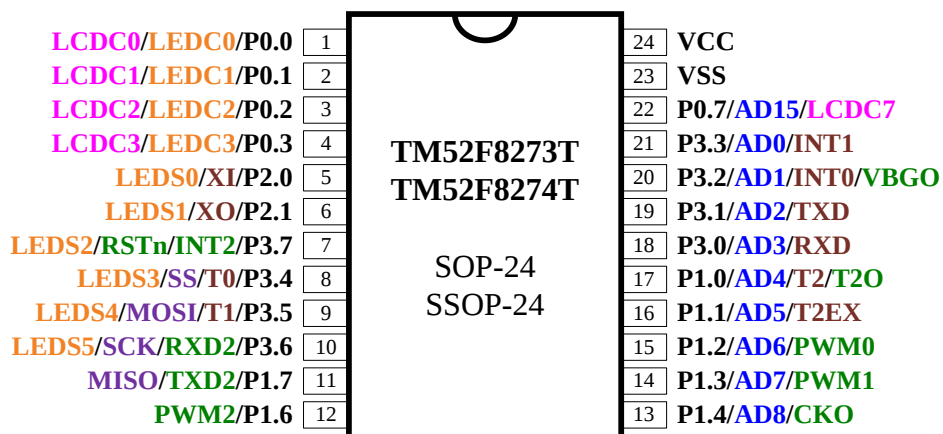
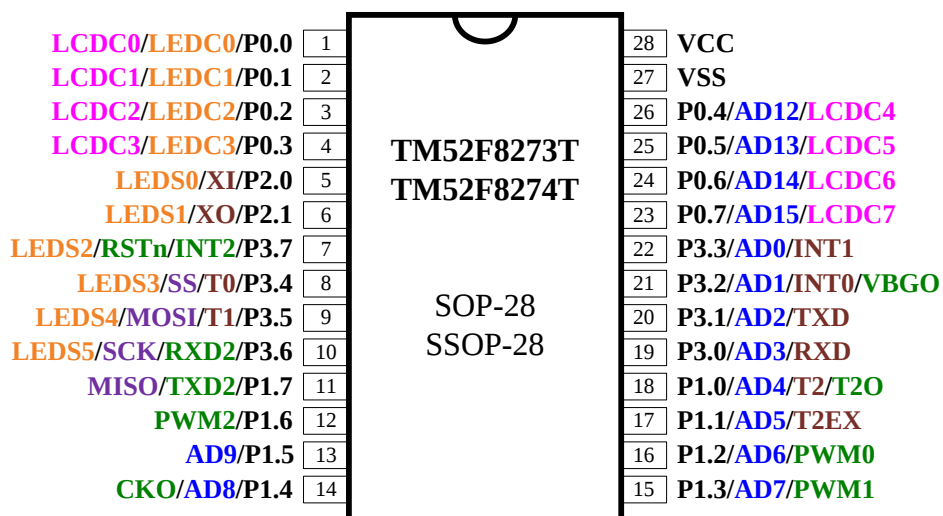
26. 工作温度范围

- $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$

27. 封装类型

- 28-pin SOP (300 mil)
- 28-pin SSOP (150 mil)
- 28-pin QFN (5x5x0.75-0.5mm)
- 24-pin SOP (300mil)
- 24-pin SSOP (150 mil)
- 24-pin QFN (4x4x0.75-0.5mm)
- 20-pin SOP (300 mil)
- 20-pin TSSOP (173 mil)
- 20-pin DIP (300 mil)
- 20-pin QFN (3x3x0.75-0.4mm)

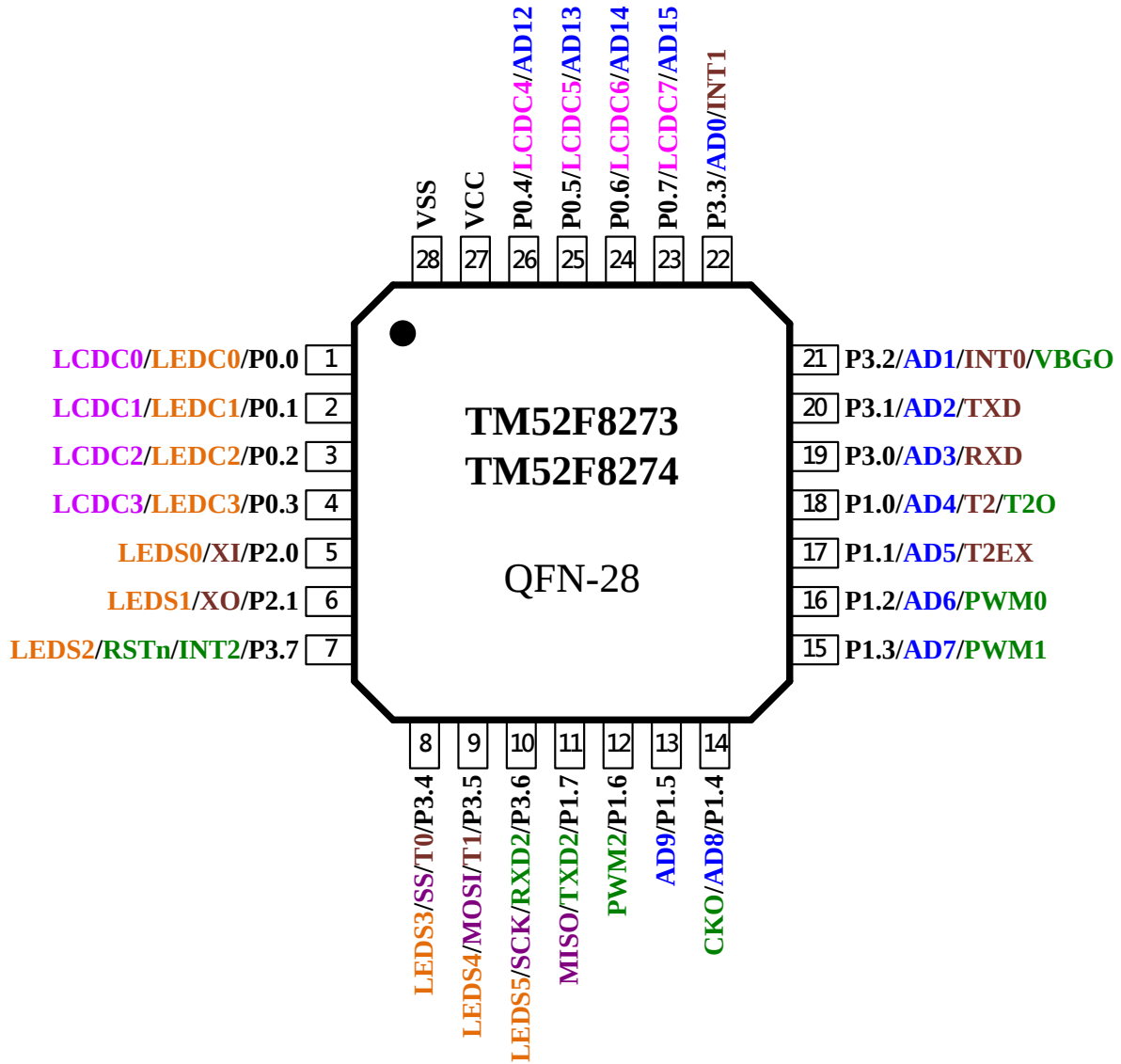
IC 引脚图

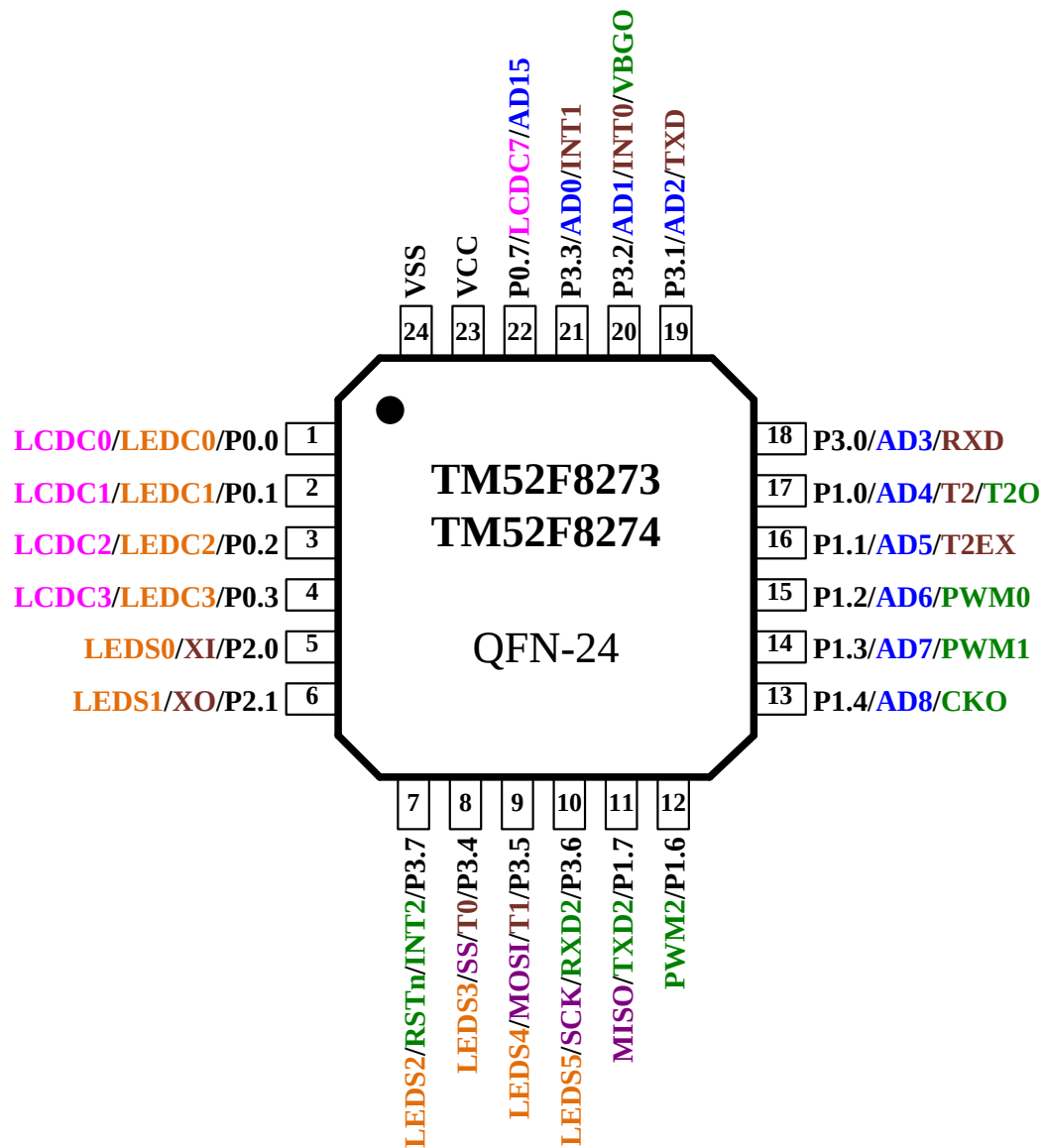


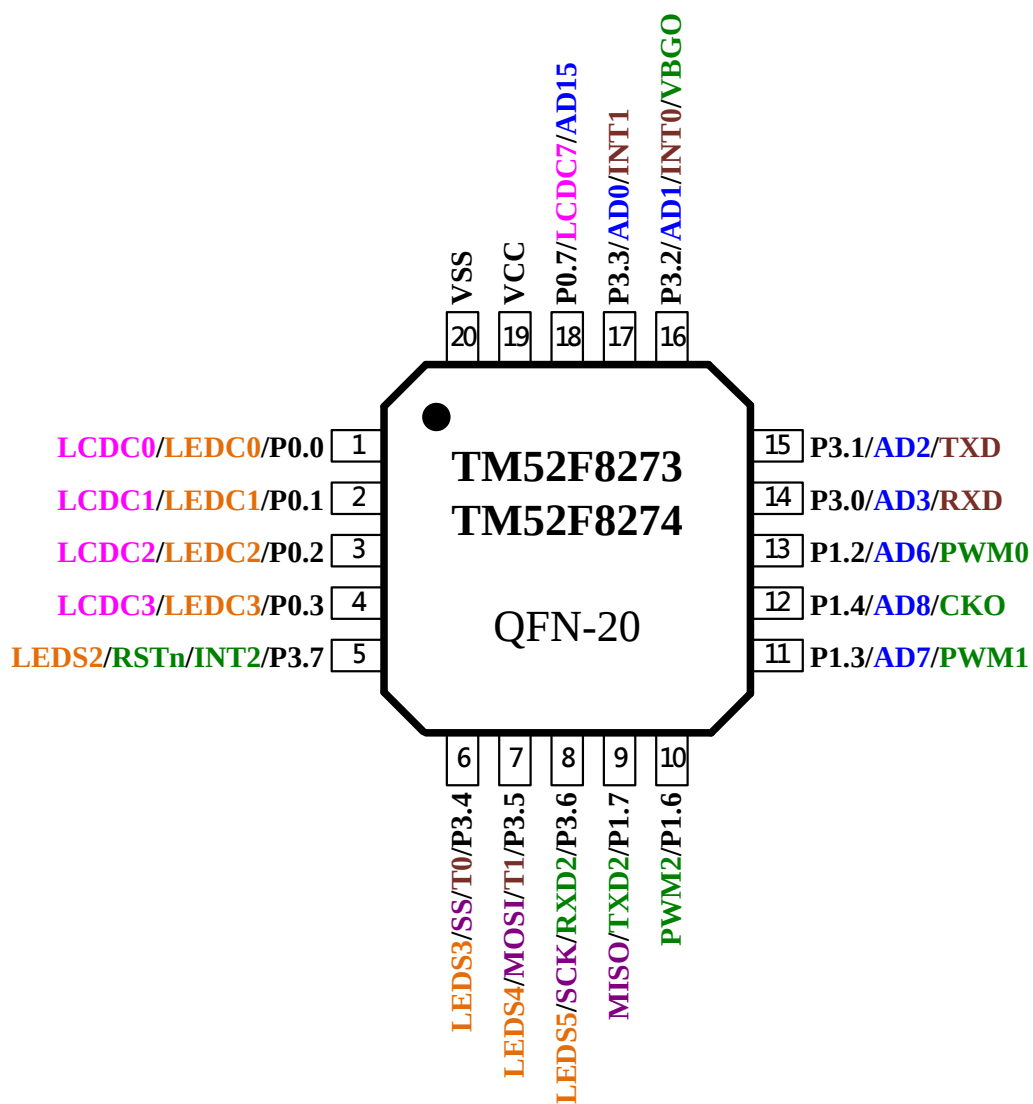
LCDC0/LEDC0/P0.0	1	TM52F8276T TM52F8278T SOP-28 SSOP-28	28	VCC
LCDC1/LEDC1/P0.1	2		27	VSS
LCDC2/LEDC2/P0.2	3		26	P0.4/AD12/LCDC4
LCDC3/LEDC3/P0.3	4		25	P0.5/AD13/LCDC5
LEDS0/XI/P2.0	5		24	P0.6/AD14/LCDC6
LEDS1/XO/P2.1	6		23	P0.7/(CLD)/AD15/LCDC7
LEDS2/RSTn/INT2/TK15/P3.7	7		22	P3.3/TK0/AD0/INT1
LEDS3/SS/T0/TK13/P3.4	8		21	P3.2/TK1/AD1/INT0/VBGO
LEDS4/MOSI/T1/TK12/P3.5	9		20	P3.1/TK2/AD2/TXD
LEDS5/SCK/RXD2/TK11/P3.6	10		19	P3.0/TK3/AD3/RXD
MISO/TXD2/TK10/P1.7	11		18	P1.0/TK4/AD4/T2/T2O
PWM2/TK9/P1.6	12		17	P1.1/TK5/AD5/T2EX
AD9/TK14/P1.5	13		16	P1.2/TK6/AD6/PWM0
CKO/AD8/TK8/P1.4	14		15	P1.3/TK7/AD7/PWM1

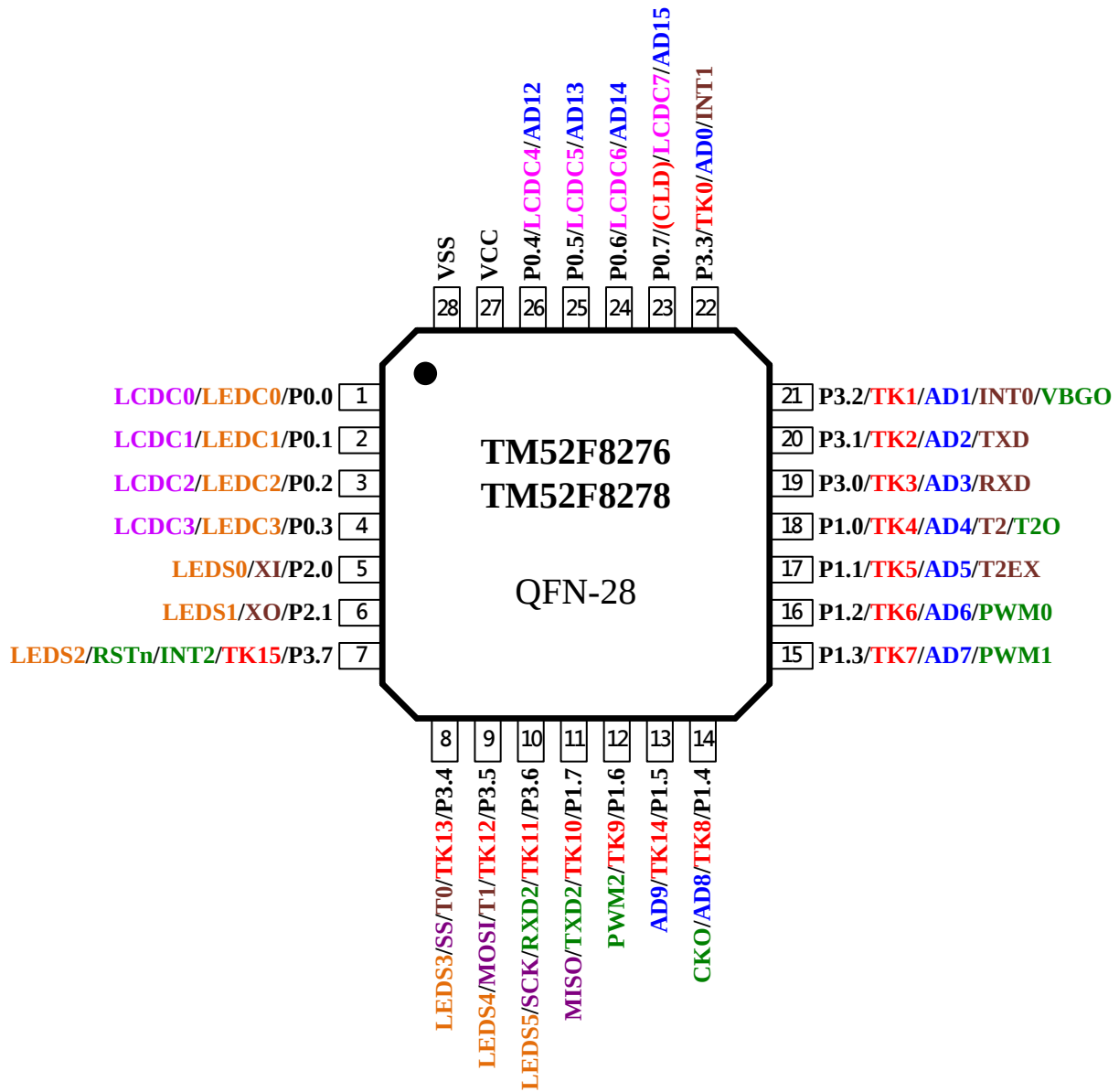
LCDC0/LEDC0/P0.0	1	TM52F8276T TM52F8278T SOP-24 SSOP-24	24	VCC
LCDC1/LEDC1/P0.1	2		23	VSS
LCDC2/LEDC2/P0.2	3		22	P0.7/(CLD)/AD15/LCDC7
LCDC3/LEDC3/P0.3	4		21	P3.3/TK0/AD0/INT1
LEDS0/XI/P2.0	5		20	P3.2/TK1/AD1/INT0/VBGO
LEDS1/XO/P2.1	6		19	P3.1/TK2/AD2/TXD
LEDS2/RSTn/INT2/TK15/P3.7	7		18	P3.0/TK3/AD3/RXD
LEDS3/SS/T0/TK13/P3.4	8		17	P1.0/TK4/AD4/T2/T2O
LEDS4/MOSI/T1/TK12/P3.5	9		16	P1.1/TK5/AD5/T2EX
LEDS5/SCK/RXD2/TK11/P3.6	10		15	P1.2/TK6/AD6/PWM0
MISO/TXD2/TK10/P1.7	11		14	P1.3/TK7/AD7/PWM1
PWM2/TK9/P1.6	12		13	P1.4/TK8/AD8/CKO

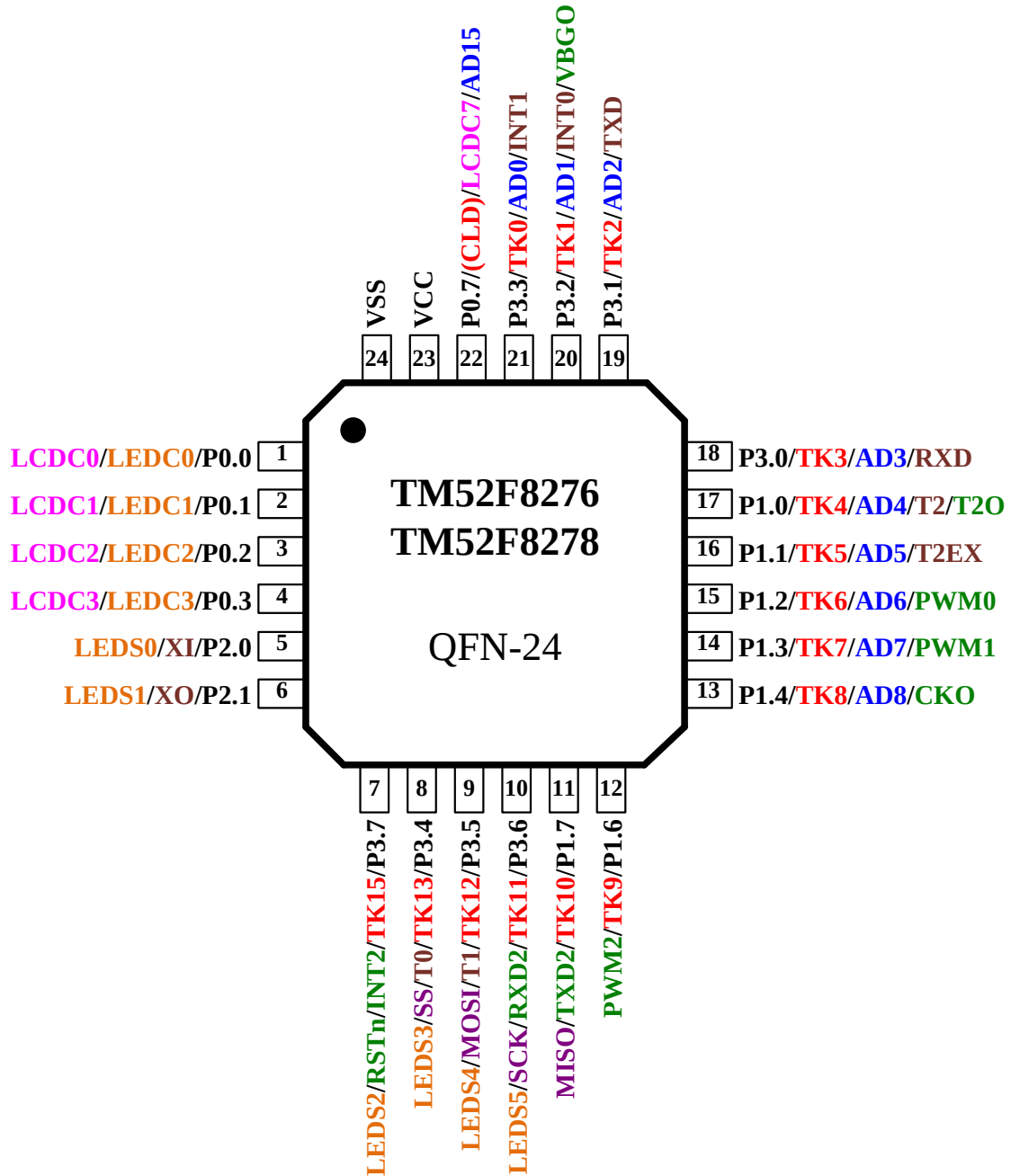
LCDC0/LEDC0/P0.0	1	TM52F8276T TM52F8278T SOP-20 TSSOP-20 DIP-20	20	VCC
LCDC1/LEDC1/P0.1	2		19	VSS
LCDC2/LEDC2/P0.2	3		18	P0.7/(CLD)/AD15/LCDC7
LCDC3/LEDC3/P0.3	4		17	P3.3/TK0/AD0/INT1
LEDS2/RSTn/INT2/TK15/P3.7	5		16	P3.2/TK1/AD1/INT0/VBGO
LEDS3/SS/T0/TK13/P3.4	6		15	P3.1/TK2/AD2/TXD
LEDS4/MOSI/T1/TK12/P3.5	7		14	P3.0/TK3/AD3/RXD
LEDS5/SCK/RXD2/TK11/P3.6	8		13	P1.2/TK6/AD6/PWM0
MISO/TXD2/TK10/P1.7	9		12	P1.3/TK7/AD7/PWM1
PWM2/TK9/P1.6	10		11	P1.4/TK8/AD8/CKO

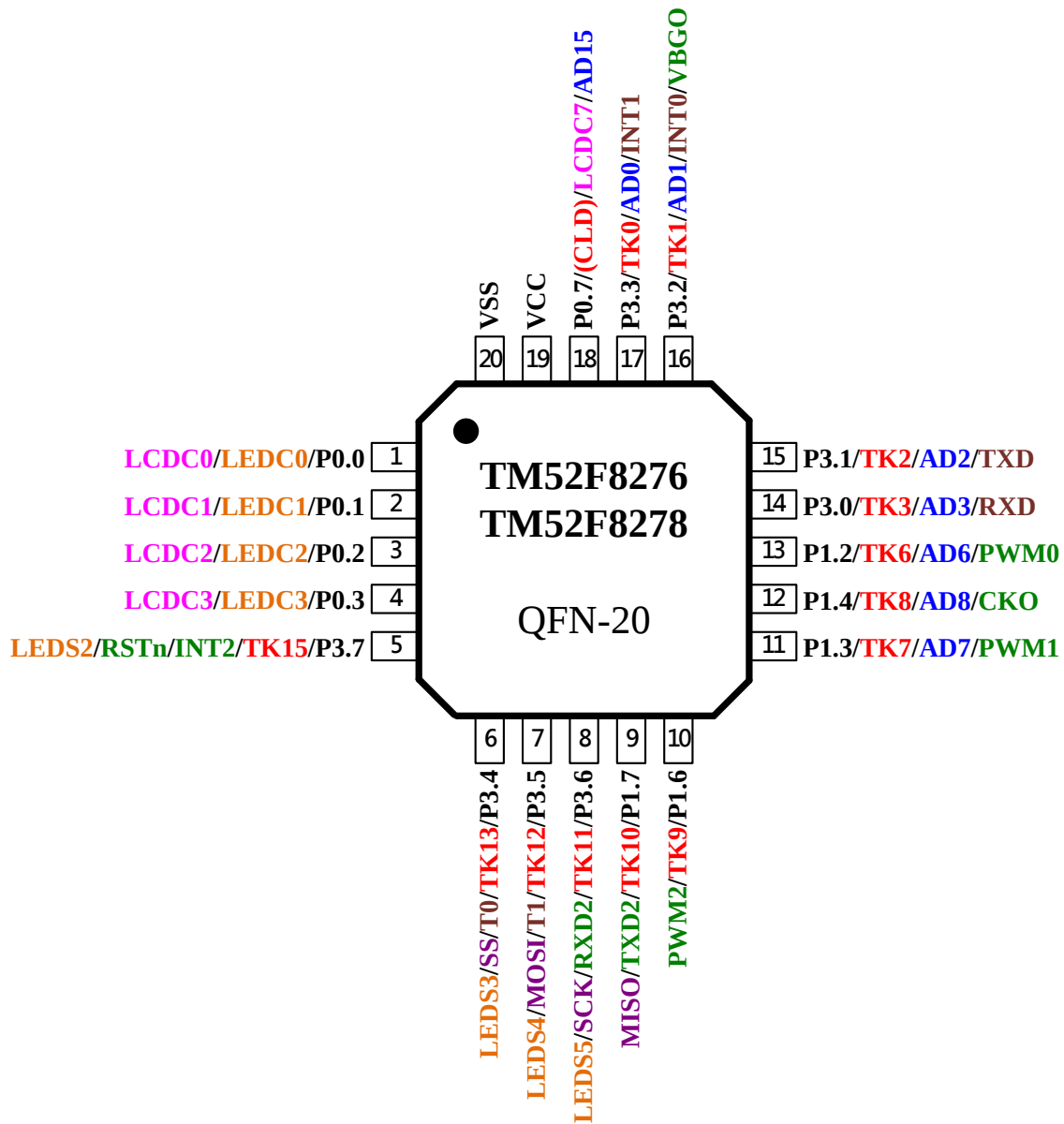












引脚描述

引脚名称	输入/输出	引脚描述
P0.0~P0.7	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或开漏输出。上拉电阻是由软件分配。
P1.0~P1.7	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或开漏输出。上拉电阻是由软件分配。这些引脚的电平变化可以唤醒 CPU 的空闲/停止模式。
P2.0~P2.1	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或开漏输出。上拉电阻是由软件分配。
P3.0~P3.2	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或伪开漏输出。上拉电阻是由软件分配。
P3.3~P3.7	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或开漏输出。上拉电阻是由软件分配。
INT0, INT1	I	外部低电平或下降沿中断输入, 空闲/停止模式唤醒输入。
INT2	I	外部下降沿中断输入, 空闲/停止模式唤醒输入。
RXD	I/O	UART1 模式 0 发送及接收数据, 模式 1/2/3 接收数据。
RXD2	I/O	UART2 模式 1/3 接收数据。
TXD	I/O	UART1 模式 0 发送时钟, 模式 1/2/3 发送数据。在单线 UART 模式时, 该引脚发送和接收串行数据。
TXD2	I/O	UART2 模式 1/3 发送数据。
T0, T1, T2	I	Timer0, Timer1, Timer2 事件计数引脚输入
T2EX	I	Timer2 外部触发输入
T0O	O	Timer0 溢出除以 64 输出
T2O	O	Timer2 溢出除以 2 输出
CKO	O	系统时钟除以 2 输出
VBGO	O	带隙基准电压输出
PWM0~PWM2	O	8+2 位 PWM 输出
AD0~AD9 AD12~AD15	I	ADC 输入
TK0~TK15	I	触摸按键输入 (仅 F8276/78)
CLD	I	触摸按键电荷收集电容连接引脚 (仅 F8276/78)
LCDC0~LCDC7	O	LCD COM 1/2 偏压输出
LEDC0~LEDC3	O	LED COM 输出
LEDS0~LEDS5	O	LED SEG 输出
MISO	I/O	SPI 主控模式下数据输入, 从属模式为数据输出
MOSI	I/O	SPI 主控模式下数据输出, 从属模式为数据输入
SS	I	SPI 从属模式之低电平有效的从选择输入
SCK	I/O	SPI 主控模式之时钟输出或从属模式之时钟输入
RSTn	I	外部低有效复位输入, 固定上拉电阻
XI, XO	—	用于系统时钟之晶体/陶瓷振荡器引脚
VCC, VSS	P	电源输入引脚和地

引脚汇总

引脚编号						引脚名称	类型	输入			输出			交替功能						其它	
SOP/SSOP-28 (T)	SOP/SSOP-24 (T)	SOP/TSSOP/DIP-20 (T)	QFN-28	QFN-24	QFN-20			上拉电阻	唤醒	外部中断	推挽	伪开漏	开漏	LCD/LED	ADC	触摸按键	UART	PWM	定时器		SPI
1	1	1	1	1	1	LCDC0/LEDC0/P0.0	I/O	⊙			●			●							
2	2	2	2	2	2	LCDC1/LEDC1/P0.1	I/O	⊙			●			●							
3	3	3	3	3	3	LCDC2/LEDC2/P0.2	I/O	⊙			●			●							
4	4	4	4	4	4	LCDC3/LEDC3/P0.3	I/O	⊙			●			●							
5	5	—	5	5	—	LEDS0/XI/P2.0	I/O	⊙			●		●	●							Crystal
6	6	—	6	6	—	LEDS1/XO/P2.1	I/O	⊙			●		●	●							Crystal
7	7	5	7	7	5	LEDS2/RSTn/INT2/TK15/P3.7	I/O	⊙	●	●	●		●	●		●					Reset
8	8	6	8	8	6	LEDS3/SS/T0/TK13/P3.4	I/O	⊙			●		●	●		●			●	●	
9	9	7	9	9	7	LEDS4/MOSI/T1/TK12/P3.5	I/O	⊙			●		●	●		●			●	●	
10	10	8	10	10	8	LEDS5/SCK/RXD2/TK11/P3.6	I/O	⊙			●		●	●		●	●			●	
11	11	9	11	11	9	MISO/TXD2/TK10/P1.7	I/O	⊙	●		●		●			●	●			●	
12	12	10	12	12	10	PWM2/TK9/P1.6	I/O	⊙	●		●		●			●		●			
13	—	—	13	—	—	AD9/TK14/P1.5	I/O	⊙	●		●		●		●	●					
14	13	11	14	13	12	CKO/AD8/TK8/P1.4	I/O	⊙	●		●		●		●	●					CKO
15	14	12	15	14	11	PWM1/AD7/TK7/P1.3	I/O	⊙	●		●		●		●	●		●			
16	15	13	16	15	13	PWM0/AD6/TK6/P1.2	I/O	⊙	●		●		●		●	●		●			
17	16	—	17	16	—	T2EX/AD5/TK5/P1.1	I/O	⊙	●		●		●		●	●			●		
18	17	—	18	17	—	T2O/T2/AD4/TK4/P1.0	I/O	⊙	●		●		●		●	●			●		T2O
19	18	14	19	18	14	RXD/AD3/TK3/P3.0	I/O	⊙			●	●			●	●	●				
20	19	15	20	19	15	TXD/AD2/TK2/P3.1	I/O	⊙			●	●			●	●	●				
21	20	16	21	20	16	VBGO/INT0/AD1/TK1/P3.2	I/O	⊙	●	●	●	●			●	●					VBGO
22	21	17	22	21	17	INT1/AD0/TK0/P3.3	I/O	⊙	●	●	●		●		●	●					
23	22	18	23	22	18	LCDC7/AD15/(CLD)/P0.7	I/O	⊙			●			●	●	●					
24	—	—	24	—	—	LCDC6/AD14/P0.6	I/O	⊙			●			●	●						
25	—	—	25	—	—	LCDC5/AD13/P0.5	I/O	⊙			●			●	●						
26	—	—	26	—	—	LCDC4/AD12/P0.4	I/O	⊙			●			●	●						
27	23	19	28	24	20	VSS	P														
28	24	20	27	23	19	VCC	P														

PS:

- Port1, P2.1~P2.0, Port3 这些引脚上拉电阻由操作模式控制
- ⊙ Port0 这些引脚上拉电阻由 P0OE.n = 0 与 P0.n = 1 控制

功能描述

1. CPU 核心

采用 8051 的架构, C 语言作为开发平台。TM52 装置拥有一个快速 8051 内核的高度集成微控制器, 可以使开发人员实现比传统 8051 芯片更高的性能。TM52 系列微控制器提供标准 8051 指令集兼容的完整的二进制代码, 以确保一个简单的移植路径, 以加快系统产品的开发速度。CPU 核心包括了 ALU, 程序状态字 (PSW), 累加器 (ACC), B 寄存器, 堆栈指针 (SP), 数据指针, 编程计数器, 指令译码器, 以及核心的特殊功能寄存器 (SFR)。

1.1 累加器 (ACC)

该寄存器提供了一个运算数供给大多数的 ALU 操作。累加器通常被称为 A 或 ACC 和有时被称为寄存器 A。在本文档中, 累加器被表示为 “A” 或 “ACC”, 包括指令表。累加器, 正如其名称所示, 被用作通用寄存器累积了大量的指令的中间结果。累加器是完成算术运算和逻辑运算的最重要、最频繁的寄存器。它保存大多数算术和逻辑运算的中间结果, 以协助数据运送。

SFR E0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E0h.7~0 ACC: 累加器

1.2 B 寄存器 (B)

“B” 寄存器和 ACC 是非常相似的, 可容纳 1 个字节的值。该寄存器提供了乘法或除法指令的第二个运算数。否则, 它可被用作一个暂存寄存器。B 寄存器只有用于两个 8051 的指令, MUL 和 DIV。当 A 乘或除以另一个数, 结果数存储在 B。对于 MUL 和 DIV 指令, 有必要将这两个运算数放在 A 和 B。

ex: DIV AB

当执行该指令, A 里面的数会除以 B 的数, 得到的答复是存储在 A。

SFR F0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F0h.7~0 B: B 寄存器

1.3 堆栈指针 (SP)

SP 寄存器包含堆栈指针。执行 LCALL, ACALL 和 PUSH 指令时, 堆栈指针先加 1, 再将程序计数器加载到堆栈中。执行 RET, RETI 和 POP 指令时, 堆栈数据退回程序计数器后, 堆栈指针再减 1。

SFR 81h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SP	SP							
R/W	R/W							
Reset	0	0	0	0	0	1	1	1

81h.7~0 **SP**: 堆栈指针

1.4 数据指针 (DPTRs)

TM52 装置有两个数据指针, 它们共享相同的 SFR 地址。每个 DPTR 的大小是 16 位, 有两个数据指针寄存器: 高字节 (DPH) 和低字节 (DPL)。该 DPTR 用于 16 位地址的外部存储器存取, 偏移字节代码读取和偏移程序跳转。设置 DPSEL 控制位允许程序代码在两个物理数据指针之间进行切换。

SFR 82h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPL	DPL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

82h.7~0 **DPL**: 数据指针低字节

SFR 83h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPH	DPH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

83h.7~0 **DPH**: 数据指针高字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F8h.0 **DPSEL**: 活动 DPTR 选择

1.5 程序状态字(PSW)

该寄存器包含 CPU 和 ALU 操作导致的状态信息。会影响 PSW 的指令如下所示。

指令	标志		
	C	OV	AC
ADD	X	X	X
ADDC	X	X	X
SUBB	X	X	X
MUL	0	X	
DIV	0	X	
DA	X		
RRC	X		
RLC	X		
SETB C	1		

指令	标志		
	C	OV	AC
CLR C	0		
CPL C	X		
ANL C, bit	X		
ANL C, /bit	X		
ORL C, bit	X		
ORL C, /bit	X		
MOV C, bit	X		
CJNE	X		

“0”表示标志被清零，“1”表示标志被设置和“X”表示标志的状态取决于操作的结果。

SFR D0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PSW	CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

D0h.7 **CY**:ALU 进位标志

D0h.6 **AC**:ALU 辅助进位标志

D0h.5 **F0**:通用的使用者定义标志

D0h.4~3 **RS1, RS0**: (RS1, RS0) 的内容所启动之工作寄存器存储区为:

00: 存储区 0 (00h~07h)

01: 存储区 1 (08h~0Fh)

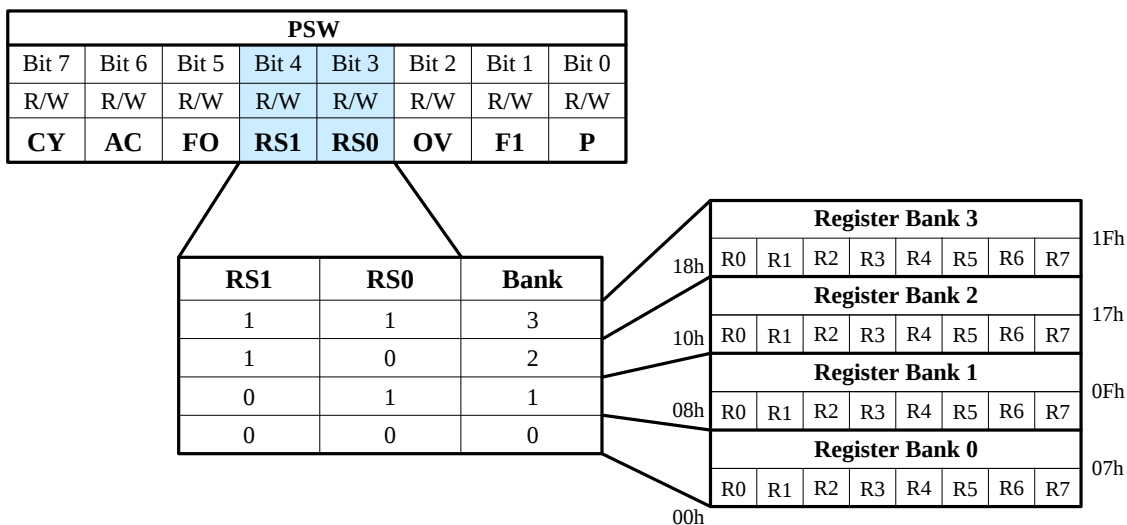
10: 存储区 2 (10h~17h)

11: 存储区 3 (18h~1Fh)

D0h.2 **OV**:ALU 溢出标志

D0h.1 **F1**:通用的使用者定义标志

D0h.0 **P**: 奇偶标志。由硬件于每个指令周期设置/清零来表示在累加器“1”位之奇/偶数。



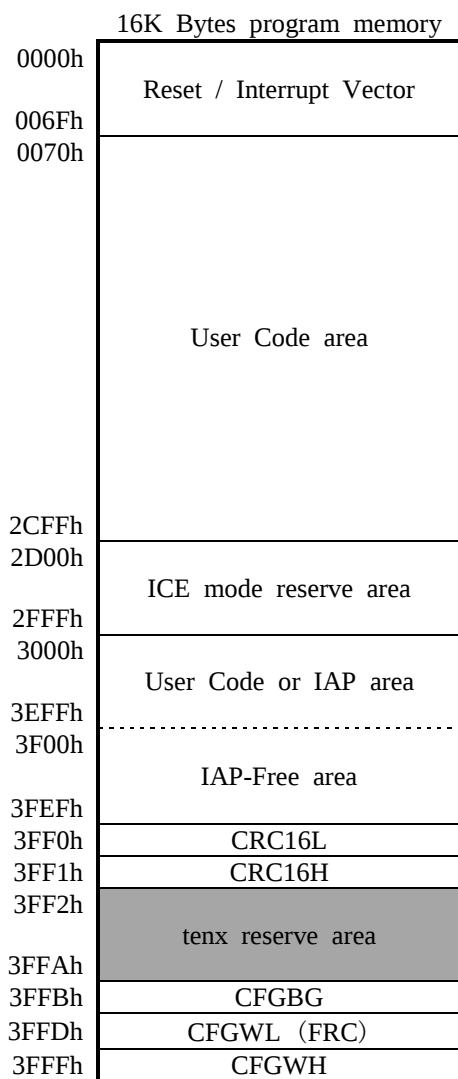
2. 存储器

2.1 程序存储器

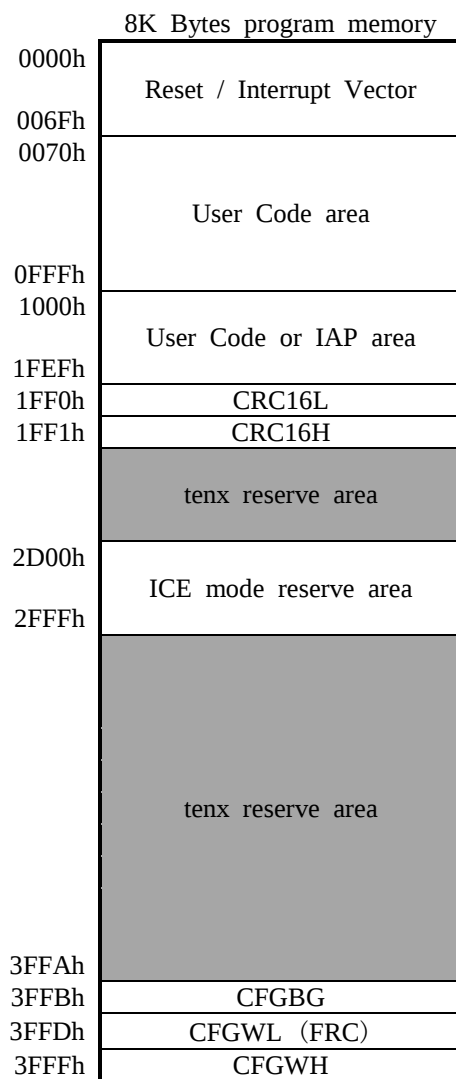
TM52F8273/76 有 16K 字节的闪存程序存储器, **TM52F8274/78** 有 8K 字节的闪存程序存储器, 可支持在线编程 (ICP), 在应用编程 (IAP) 和在系统编程 (ISP) 功能模式。此闪存可反复擦写至少 1 万次以上。闪存程序存储器的连续地址空间 (0000h~3FFFh) 被划分到多个扇区的设备操作。

2.1.1 程序存储器的功能分区

程序存储器的最后 8 个字节 (3FF8h~3FFFh) 被定义为芯片配置字 (CFGW), 在上电复位 (POR) 时, 它会被装载到装置控制寄存器。0000h~006Fh 被标准 8051 定义为复位/中断向量。TM52F8273/76 地址空间 3000h~3FEFh 是 IAP 区域 (其中 3F00h~3FEFh 是 IAP 自由区域), 而 TM52F8274/78 的 IAP 区域地址空间则是在 1000h~1FEFh。在线仿真 (ICE) 模式下, 用户还需要预留 0D00h~0FFFh 的地址空间以供 ICE 系统通讯使用。CRC16H/L 是校验和的保留区域。Tenx 可以提供 CRC 验证子程序。用户可以通过 CRC 校验子程序计算校验和, 与 CRC16H/L 进行比较, 并检查 ROM 代码的有效性。



TM52F8273/76



TM52F8274/78

2.1.2 闪存 ICP 模式

闪存存储器可以通过 tenx 专有的烧录器 (TWR98/TWR99), 这需要至少四根线 (VCC, VSS, P3.0 和 P3.1 引脚) 连接到该芯片以进行编程。引脚 P3.0 和 P3.1 可以置换成引脚 P0.0 和 P0.1。如果用户想在目标电路板上的闪存进行编程 (在电路编程, ICP), 这些引脚必须保留足够的自由来连接到烧录器, 最好不要连接电路; 如果要连接电路的话, 请参考相关 AP 资料。

连接数	连接管脚
4 线	VCC, VSS, P3.0, P3.1
	VCC, VSS, P0.0, P0.1

2.1.3 闪存 IAP 模式

F8273/76/74/78 有“在应用编程”(IAP) 功能它允许软件在 CPU 运行时对闪存存储器读/写数据, 就像对 EEPROM 存取数据一样方便。IAP 功能是单字节的写入, 这意味着 **F8273/76/74/78** 并不需要在写入前擦除一整个闪存页面。IAP 可用数据空间是芯片复位后 248 个字节, 并且可以由“MVCLOCK”和“IAPALL”控制寄存器重新定义, 如下所示。

16K Bytes Flash Program memory		Flash memory	MVCLOCK	IAPALL	MOVC Accessible	MOVX Accessible (IAP Write)	MOVX Accessible (IAP Read)
0000h 01FFh	MOVC-Lock area	0000h~01FFh	1	X	No	No	No
			0	0	Yes	No	
			0	1	Yes	Yes	
0200h 3EFFh	IAP-All area	0200h~3EFFh	X	0	Yes	No	No
			X	1	Yes	Yes	
3F00h 3FF7h	IAP-Free area	3F00h~3FF7h	X	X	Yes	Yes	No
3FF8h 3FFFh	CFGW area	3FF8h~3FFEh	X	0	Yes	No	No
			X	1	Yes	Yes	
		3FFFh	X	X	Yes	No	

在 IAP 模式下, 闪存程序存储器分为四个扇区: MOVC 锁区, IAP 全区, IAP 自由区, 然后 CFGW 区。这四个扇区是不同的管制。

在 **MOVC 锁区**, IAP 读/写由 MVCLOCK 位所限制, 它可以控制 MOVC 和 MOVX 指令对该区域的存取能力。这个区域的大小是 512 字节。锁定功能是为了保护主程序代码, 避免在 IAP 模式中不自觉地写入此区域。锁定或解锁的功能必须由 tenx TWR98/99 在闪存存储器中写入 CFGW。

IAP 全区由 IAPALL 寄存器保护, 以防止在 IAP 模式中, 写入应用程序的数据跑到程序区, 产生了程序代码错误而无法修复。这个区域的大小是 15616 字节。启用 IAPALL 需要写入 65h 到 SFR SWCMD 97h 位置以设置 IAPALL 控制标志。然后, 软件可以使用 MOVX 指令来把应用程序的数据写入闪存 0200h 到 3EFFh 的位置。如果用户希望禁用 IAPALL 功能, 用户可以将其它值写入 SFR SWCMD 97h 以清除 IAPALL 控制标志。用户必须小心, 不要覆盖其它已经存在同一个闪存位置的程序代码。

IAP 自由区没有控制位来保护。它可以可靠地存储系统操作中一次或定期编程的应用数据。闪存其它区域也可用于存储数据,但这个区域通常是最好的。这个区域的大小是 248 字节,等效于一个 EEPROM。IAP 模式支持闪存单字节存取。**F8273/76/74/78** 额外提供了一个实体 128 byte 的 EEPROM,比起闪存,EEPROM 拥有较广泛的写入电压以及擦写次数,建议优先使用 EEPROM 来存储数据。

CFGW 区域设有 3 个数据字节(CFGWH, CFGWL 和 CFGBG),它位于了闪存存储器的最后 8 个地址。CFGWH 是不可被 IAP 存取的,当 IAPALL 标志被设置后 CFGWL 和 CFGBG 可被 IAP 存取。上电复位后,CFGWL 被复制到 SFR F6h, CFGBG 被复制到 SFR F5h,之后软件可以通过修改 SFR F6h 及 F5h 来接管 CFGWL 和 CFGBG 的控制能力。

2.1.4 IAP 模式存取程序

IAP 闪存写入通过“MOVX @DPTR, A”指令来实现,数据指针(DPTR)包含闪存的目标地址(0000h~3FFh),ACC 包含要写入的数据。**F8273/76/74/78** 只有在 IAPWE SFR 使能时才会接受 IAP 写入命令。IAP 闪存写入大约需要 2 ms @V_{CC}=3.2V, 1 ms @V_{CC}=5V。同时,CPU 处于等待状态,但所有外设模块(定时器等)在写入期间继续运行。软件必须在 IAP 写完后处理期间产生的中断。同时 **F8273/76/74/78** 内建一个 IAP 看门狗定时器,用以离开当写入失败的卡死状态。IAP 闪存写入需要 V_{CC} > 3.2V。

由于程序存储器和 IAP 数据共享同一个实体空间,只要目标地址指向 0000h~3FFFh 区域,IAP 可以通过“MOVC”指令读取闪存,不建议使用“MOVX A, @DPTR”指令,可联络 FAE 取得详细信息。闪存的 IAP 读取不需要额外的 CPU 等待时间。

; IAP示例代码 (汇编)

;需要 3.2V < V_{DD} < 5.5V

```
MOV    DPTR, #3F00h      ; DPTR=3F00h=target IAP address
MOV    A, #5Ah           ; A=5Ah=target IAP write data
MOV    IAPWE, #47h       ; IAP write enable
MOV    AUX2, #02h        ; IAP Time-Out function enable
MOVX   @DPTR, A          ; Flash[3F00h] =5Ah, after IAP write
                          ; 1ms~2ms H/W writing time, CPU wait
MOV    IAPWE, #00h       ; IAP write disable, immediately after IAP write
CLR    A                 ; A=0
MOVC   A, @A+DPTR        ; A=5Ah
```

; IAP示例代码 (C语言)

;需要 3.2V < V_{DD} < 5.5V

```
unsigned char xdata PROM[4096] _at_ 0x2000 // 0x2000 = start address
unsigned char code CODE[4096] _at_ 0x2000  // 0x2000 = start address

IAPALL = 0x65;
IAPWE = 0x47;
PROM[0x02] = wdata; // write data into ROM[0x2002]
IAPWE = 0x00;
IAPALL = 0x00;

rdata = CODE[0x105]; // read data from ROM[0x2105]
```

Flash 3FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	LVRE		—	—	MVCLOCK	—

3FFFh.1 **MVCLOCK**: 如果为 1, MOV_C 和 MOV_X 指令对 MOV_C 锁区的存取是受限制的。

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPALL/SWRST							
	—						WDTO	IAPALL
R/W	W						R	R
Reset	—						0	0

97h.7~0 **IAPALL (W)**: 写入 65h 以设置 IAPALL 控制标志, 写入其它值则清除 IAPALL 标志。建议 IAP 写入命令完成后, 立即清除 IAPALL 标志。

97h.0 **IAPALL (R)**: 该标志指示闪存扇区可否通过 IAP 进行存取。该位结合 MVCLOCK 定义 IAP 存取区域。

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPWE	IAPWE/EEPWE							
	IAPWE	IAPTO	EEPWE	—				
R/W	R	R	R	W				
Reset	0	0	0	—				

C9h.7~0 **IAPWE (W)**: IAP 使能, 写入 47h 使能 IAP; 也是 EEPROM 写入使能, 写入 E2h 使能 EEPROM; 写入其它值则清除 IAPWE。

建议 IAP 写入或 EEPROM 写入命令完成后, 立即清除 IAPWE 标志。

C9h.7 **IAPWE (R)**: 读回 IAPWE 标志

C9h.6 **IAPTO (R)**: 读回 IAP 看门狗溢出标志。当清除 IAPWE 或 EEPWE, 硬件会自动清除看门狗溢出标志。(EEPROM 写入共享此看门狗溢出标志)

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	TKMODS	IAPTE		TKCHSR
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	1	1	1	0

F7h.2~1 **IAPTE**: IAP 或 EEPROM 写入超时看门狗定时器控制位

00: 关闭看门狗定时器

01: 启用看门狗定时, 等待 0.9mS 触发看门狗溢出标志 IAPTO, 并结束 IAP (EEPROM 写入) 程序

10: 启用看门狗定时, 等待 3.6mS 触发看门狗溢出标志 IAPTO, 并结束 IAP (EEPROM 写入) 程序

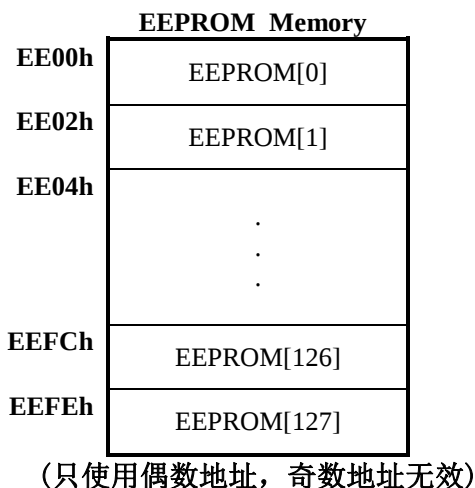
11: 启用看门狗定时, 等待 7.2mS 触发看门狗溢出标志 IAPTO, 并结束 IAP (EEPROM 写入) 程序

2.1.5 闪存 ISP 模式

“在系统编程” (ISP) 的用法和 IAP 类似, 但目的是为了刷新程序代码。用户可以使用 UART/SPI 或其他方法从外部主机来获得新的程序代码, 然后用 IAP 相同的方式写入代码。ISP 操作复杂; 基本上它需要指定一个启动代码区, 不受 ISP 过程而被改变的闪存区。

2.2 EEPROM 数据存储器

F8273/76/74/78 包含了一个 128 字节的 EEPROM 数据存储器。它被组织为一个单独的数据空间，可以读取和写入单个字节。EEPROM 具有至少 5 万次的写入/擦除周期耐久性。



EEPROM 数据写入使用类似闪存 IAP 的方式，通过“MOVX @DPTR, A”指令来实现，数据指针 (DPTR) 包含 EEPROM 的目标地址 (EE00h~EEFEh, 地址每次跳 2, 即 Addr.=Addr.+2), ACC 包含要写入的数据。写入大约需要 2 ms @V_{CC}=3V, 1 ms @V_{CC}=5V。同时, CPU 处于等待状态, 但所有外设模块 (定时器等) 在写入期间继续运行。软件必须在 EEPROM 数据写入完成后处理期间产生的中断。同时 **F8273/76/74/78** 内建一个 EEPROM 看门狗定时器 (与 IAP 看门狗定时器共享), 用以离开当写入失败的卡死状态。EEPROM 数据写入需要 V_{CC} > 3.0V。

通过“MOVX A, @DPTR”指令，只要将目标地址指向 EE00h~EEFEh 区域，便可以**读取 EEPROM 数据**。EEPROM 数据读取大约需要 300ns。

```

; EEPROM示例代码
; 需要3.0V < VDD < 5.5V
MOV    DPTR, #0EE00h    ; DPTR=EE00h=target EEPROM[0] address
MOV    A, #0A5h         ; A=A5h=target EEPROM[0] write data
MOV    EEPWE, #0E2h     ; EEPROM write enable
MOV    AUX2, #004h      ; EEPROM Time-Out function enable
MOVX   @DPTR, A         ; EEPROM[0]=A5h, after EEPROM write
                        ; 1ms~2ms H/W writing time, CPU wait
MOV    EEPWE, #000h     ; EEPROM write disable, immediately after EEPROM write
CLR    A                ; A=0
MOVX   A, @DPTR         ; A=A5h
    
```

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPWE	IAPWE/EEPWE							
	IAPWE	IAPTO	EEPWE	—				
R/W	R	R	R	W				
Reset	0	0	0	—				

C9h.7~0 **EEPWE(W)**: IAP 使能, 写入 47h 使能 IAP; 也是 EEPROM 写入使能, 写入 E2h 使能 EEPROM; 写入其它值则清除 IAPWE。

建议 IAP 写入或 EEPROM 写入命令完成后, 立即清除 IAPWE 标志。

C9h.6 **IAPTO(R)**: 读回 IAP 看门狗溢出标志。当清除 IAPWE 或 EEPWE, 硬件会自动清除看门狗溢出标志。(EEPROM 写入共享此看门狗溢出标志)

C9h.5 **EEPWE(R)**: 读回 EEPWE 标志

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	TKMODS	IAPTE		TKCHSR
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	1	1	1	0

F7h.2~1 **IAPTE**: IAP 或 EEPROM 写入超时看门狗定时器控制位

00: 关闭看门狗定时器

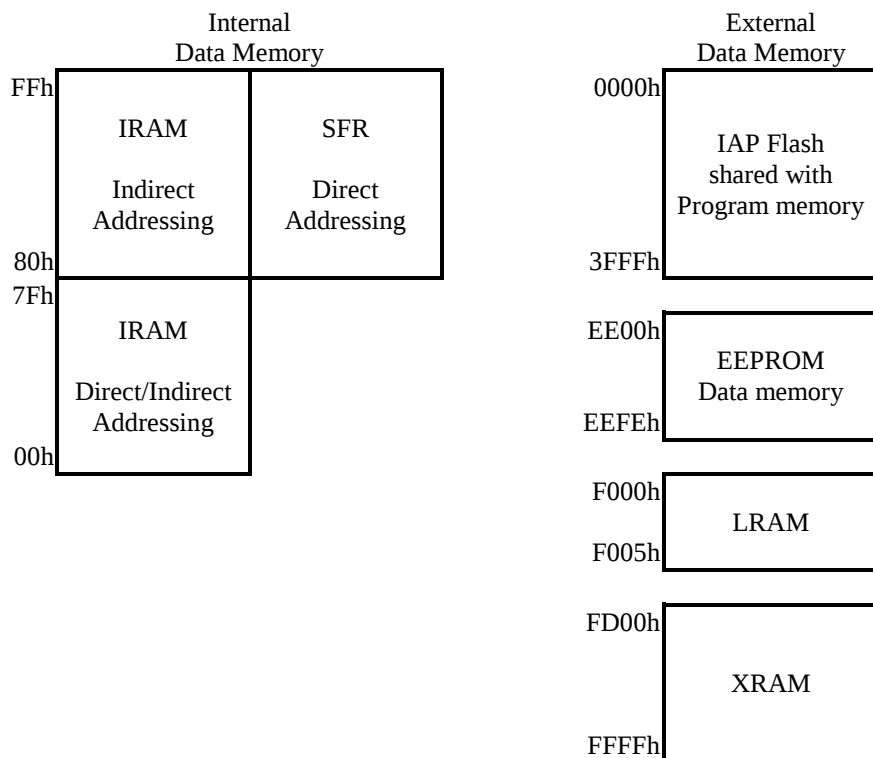
01: 启用看门狗定时, 等待 0.9mS 触发看门狗溢出标志 IAPTO, 并结束 IAP (EEPROM 写入) 程序

10: 启用看门狗定时, 等待 3.6mS 触发看门狗溢出标志 IAPTO, 并结束 IAP (EEPROM 写入) 程序

11: 启用看门狗定时, 等待 7.2mS 触发看门狗溢出标志 IAPTO, 并结束 IAP (EEPROM 写入) 程序

2.3 数据存储器

正如标准的 8051, 该芯片有内部和外部数据存储器空间。内部数据存储空间由 256 字节 IRAM 和 74 的 SFR, 这可通过丰富的指令集进行存取。外部数据存储器空间由 768 字节的 XRAM, 6 字节的 LCDRAM, 128 字节的 EEPROM 和 IAP 闪存, 只能通过 MOVX 指令存取。



2.3.1 IRAM

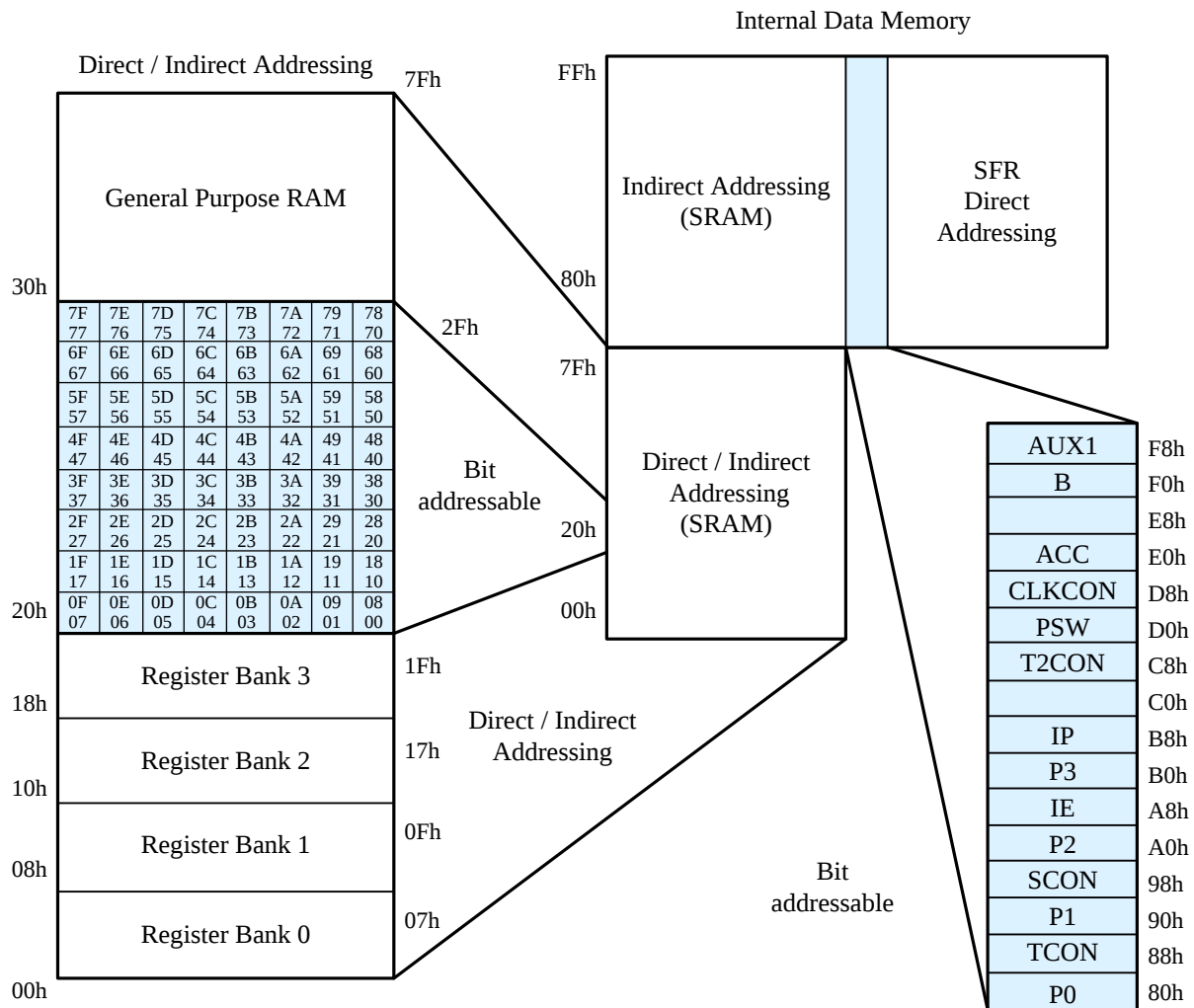
IRAM 位于 8051 内部数据存储空间。整个 256 字节 IRAM 都可以使用间接寻址存取, 只有较低的 128 字节可以使用直接寻址存取。有四个直接寻址寄存器组(由 PSW 开关), 占据 IRAM 空间从 00h 到 1Fh。地址 20h 到 2Fh 的 16 字节 IRAM 空间可以使用位寻址。IRAM 可以作为一般寄存器和程序堆栈。

2.3.2 XRAM

XRAM 位于 8051 外部数据存储器空间(地址从 FD00h 到 FFFFh)。768 字节 XRAM 只能通过“MOVX”指令存取。

2.3.3 SFRs

所有的外围功能模块, 如 I/O, 芯片的定时器/计数器、串口(UART)操作都是通过特殊功能寄存器(SFR)存取设置。这些寄存器占用高 128 字节位置直接数据存储空间上的 80h 到 FFh 范围。有 14 可位寻址的 SFR(这意味着单个字节内部的 8 个各别的位是可寻址的), 如 ACC, B 寄存器, PSW, TCON, SCON 和其他。其它 SFR 只能按字节寻址。SFR 提供了内部资源和该芯片的外围设备进行数据交换和控制。在 TM52 系列微控制器提供了与标准 8051 指令集完全兼容的二进制代码。除了标准 8051 特殊功能寄存器外, 该芯片还实现了用于配置和存取额外子系统的特殊功能寄存器, 例如 ADC/LCD 等等该芯片特有功能。



	8/0	9/1	A/2	B/3	C/4	D/5	E/6	F/7
F8h	AUX1							
F0h	B	CRCDL	CRCDH	CRCIN		CFGBG	CFGWL	AUX2
E8h								
E0h	ACC							
D8h	CLKCON							
D0h	PSW							
C8h	T2CON	IAPWE	RCP2L	RCP2H	TL2	TH2		
C0h								
B8h	IP	IPH	IP1	IP1H	SPCON	SPSTA	SPDAT	
B0h	P3	LEDCON	LEDCON2		TKTMRL	TKTKRH		
A8h	IE	INTE1	ADTKDT	ADCDH	TKDL	TKCON	CHSEL	P0ADIE
A0h	P2	PWMCON	P1MODL	P1MODH	P3MODL	P3MODH	PINMOD	PWMCON2
98h	SCON	SBUF	PWM0PRD	PWM0DH	PWM1PRD	PWM1DH	PWM2PRD	PWM2DH
90h	P1	P0OE	P0LOE	P2MOD	OPTION	INTFLG	P1WKUP	SWCMD
88h	TCON	TMOD	TL0	TL1	TH0	TH1	SCON2	SBUF2
80h	P0	SP	DPL	DPH				PCON

3. 低电压复位和低电压检测

芯片提供低电压复位 (LVR) 和低电压检测 (LVD) 的功能。CFGWH 可选择低电压复位为 4.3V, 3.6V, 2.8V 或 2.3V。2.8V 低电压检测标志仅在低电压复位设置为 2.3V 时可用。SFR PWRSAV 位也会影响 LVR/LVD 功能, 如下表所示。

操作模式	SFR	CFGWH	低电压复位 (LVR)	低电压检测 (LVD 2.8V)	功能
	PWRSAV	LVRE			
快钟模式 慢钟模式	X	00	ON	—	LV Reset 3.6V
	X	01	ON	—	LV Reset 2.8V
	X	10	ON	—	LV Reset 4.3V
	X	11	ON	ON	LV Reset 2.3V
空闲模式	0	00	ON	—	LV Reset 3.6V
	0	01	ON	—	LV Reset 2.8V
	0	10	ON	—	LV Reset 4.3V
	0	11	ON	—	LV Reset 2.3V
	1	00	ON	—	LV Reset 2.3V
	1	01	ON	—	LV Reset 2.3V
	1	10	ON	—	LV Reset 2.3V
	1	11	ON	—	LV Reset 2.3V
停止模式	0	00	ON	—	LV Reset 3.6V
	0	01	ON	—	LV Reset 2.8V
	0	10	ON	—	LV Reset 4.3V
	0	11	OFF	—	LV Disable
	1	00	OFF	—	LV Disable
	1	01	OFF	—	LV Disable
	1	10	OFF	—	LV Disable
	1	11	OFF	—	LV Disable

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAV	VBGOUT	TKMODS	IAPTE		TKCHSR
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	1	1	1	0

F7h.5 设置 1 可降低空闲和停止模式下芯片的功耗

Flash 3FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	LVRE		—	—	MVCLOCK	—

3FFFh.5~4 LVRE: 低电压复位功能选择

00: Set LVR at 3.6V

01: Set LVR at 2.8V

10: Set LVR at 4.3V

11: Set LVR at 2.3V and LVD at 2.8V

4. 复位

该芯片有五种类型的复位方法。上电复位(POR), 外部引脚复位(XRST), 软件复位(SWRST), 看门狗定时器复位(WDTR)和低电压复位(LVR)。CFGW 控制复位功能。复位后 SFR 是返回到默认值。

4.1 上电复位

上电复位后, 设备停留在复位状态, 进行 40mS 的芯片预热, 然后从 Flash 的最后两个字节下载 CFGW 寄存器(其它复位不会重新加载 CFGW)。上电复位需要 VCC 引脚的电压先放电至接近 VSS 电平, 然后再上升超过 2.5V。

4.2 外部引脚复位

外部引脚复位为低电平有效。RSTn 引脚需要保持至少两个 SRC 时钟周期长到芯片可采样。外部引脚复位可以由 CFGW 使能/禁止。

4.3 软件复位

软件复位是通过将数据 56h 写入 SFR 中的 97h 地址来产生。

4.4 看门狗定时器复位

WDT 溢出复位被 SFR F7h 来控制。WDT 使用 SRC 作为计数时基。它在快钟/慢钟模式运行, 在空闲/停止模式下可选运行或停止。看门狗定时器溢出速度可通过 WDT_PSC SFR 定义。WDT 由 CLR_WDT SFR 或复位清零。

4.5 低电压复位

该芯片提供四个低电压复位(LVR)选项和低电压检测(LVD)功能, 用户可由 CFGWH 作出选择。复位电压可选择 4.3V, 3.6V, 2.8V 或 2.3V, LVD 只有 2.8V。如果 LVR 被选为 2.3V, 则 2.8V LVD 标志可以用。如果 LVR 被选为 4.3V, 3.6V 或 2.8V 时, LVD 标志不会动作。

系统时钟频率	12.9024MHz (-40°C~85°C)	12.9024MHz (25°C)	6.4512MHz	4MHz	SRC
最低 LVR 设置	LVR=4.3V	LVR=3.6V	LVR=2.8V	LVR=2.3V	LVR=2.3V

LVR 设置表

注: LVR 必需要开启, 请参考 AP-TM52XXXXX_02S 有关 LVR 应用说明。

Flash 3FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	LVRE		—	—	MVCLOCK	—

3FFFh.6 **XRSTE**: 外部引脚复位控制

0: 禁止外部引脚复位

1: 使能外部引脚复位

3FFFh.5~4 **LVRE**: 低电压复位功能选择

00: LVR 设定在 3.6V

01: LVR 设定在 2.8V

10: LVR 设定在 4.3V

11: LVR 设定在 2.3V, LVD 2.8V

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	TKFJMP	WDTPSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.5~4 **WDTPSC**: 看门狗定时器预分频时间选择

00: 480ms WDT 溢出率

01: 240ms WDT 溢出率

10: 120ms WDT 溢出率

11: 60ms WDT 溢出率

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVD	—	TKIF	ADIF	—	IE2	P1IF	TF3
R/W	R	—	R/W	R/W	—	R/W	R/W	R/W
Reset	—	—	0	0	—	0	0	0

95h.7 **LVD**: 低电压检测标志

当低电压发生时通过 H/W 设置。当 LVR 为 2.3V, 该标志是有效的。在停止模式该标志被禁止。

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPALL/SWRST							
R/W	W						R/W	R/W
Reset	—						—	0

97h.7~0 **SWRST**: 写入 56h 以产生软件复位

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	TKMODS	IAPTE		TKCHSR
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	1	1	1	0

F7h.7~6 **WDTE**: 看门狗定时器复位控制

0x: 看门狗定时器复位关闭

10: 看门狗定时器复位位于快钟/慢钟模式下使能, 空闲/停止模式时禁止

11: 看门狗定时器复位始终启用

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F8h.7 **CLRWDT**: 设置以清除看门狗定时器, H/W 自动在一个时钟周期清除它

5. 时钟电路和工作模式

5.1 时钟电路

该芯片设计有双时钟系统。在运行时,用户可以直接切换从快钟到慢钟或由慢到快。它可以选择除以 1, 2, 4 或 16 的时钟分频器。快时钟可选用 FXT(快速晶振, 1~12 MHz)或 FRC(快速内部 RC, 12.9024 MHz)。慢时钟可以选用 SXT(慢速晶振, 32 KHz)或 SRC(慢速内部 RC, 68 KHz)。快钟模式和慢钟模式被定义为快/慢时钟的 CPU 运行速度。

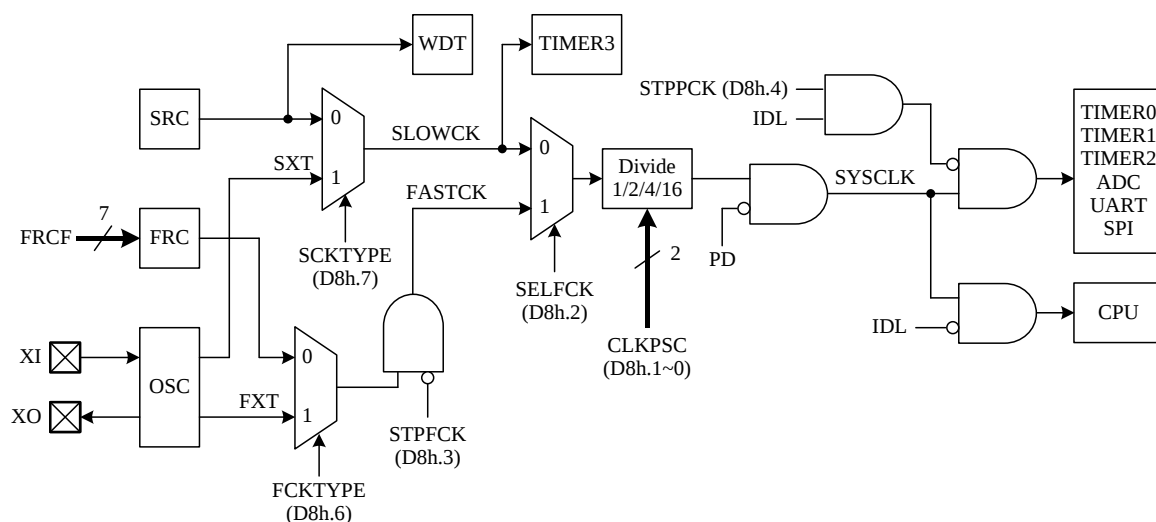
复位后,该设备在慢钟模式 68 KHz 的 SRC 运行。S/W 应该正确选择安全的芯片运行时钟速率。较高的 V_{CC} 允许芯片在更高的系统时钟频率运行。在典型的情况下, 12 MHz 的系统时钟频率需要 $V_{CC}>3.3V$ 。

该芯片有两个外部振荡器连接到 XI/XO 引脚。它依赖于外部电路提供时钟信号、频率的稳定,例如一个独立的振荡器,石英晶体或陶瓷谐振器。在快钟模式中,快速振荡器可以使用的范围为 1~12 MHz。在慢钟模式下,慢速振荡器只能使用 32.768 KHz 的时钟频率。

CLKCON SFR 控制系统时钟的正常运行。H/W 自动阻断 S/W 异常设置该寄存器。S/W 只能在快钟模式下改变慢时钟类型,在慢钟模式下改变快时钟类型。千万不要同时写 STPFCK=1 & SELFCK=1。建议在写这个 SFR 时一次只写一个位。

如果使用者想要将 F_{sys} 从慢速时钟切换到 FXT, 用户应该按照以下步骤操作

1. 设置 FCKTYPE (D8h.6)
2. 等待 2ms 直到 FXT 振荡稳定
3. 设置 SELFCK (D8h.2)



时钟结构

Flash 3FFDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	—	FRCF						

3FFDh.6~0 FRCF: FRC频率调整

在芯片制造中, FRC被调整为12.9024 MHz。FRCF记录调整数据。

SFR F6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	—	FRCF						
R/W	—	R/W						
Reset	—	—	—	—	—	—	—	—

F6h.6~0 **FRCF**: FRC频率调整
00h= 频率最低, 7Fh=频率最高。

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	—	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	
Reset	0	0	—	0	0	0	1	1

D8h.7 **SCKTYPE**: 慢时钟类型。该位只能在快钟模式 (SELFCK=1) 时改变。
0: SRC
1: SXT

D8h.6 **FCKTYPE**: 快时钟类型。该位只能在慢钟模式 (SELFCK=0) 时改变。
0: FRC
1: FXT

D8h.4 **STPPCK**: 设为 1, 停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。

D8h.3 **STPFCK**: 设为 1, 停止快时钟以节省慢钟/空闲模式的电力。
该位只能在慢钟模式时改变。

D8h.2 **SELFCK**: 系统时钟源选择。此位只有当 STPFCK=0 才可以改变。
0: 慢时钟
1: 快时钟

D8h.1~0 **CLKPSC**: 系统时钟分频器, 生效延迟最大为 16 个时钟周期
00: 系统时钟是快/慢时钟除以 16
01: 系统时钟是快/慢时钟除以 4
10: 系统时钟是快/慢时钟除以 2
11: 系统时钟是快/慢时钟除以 1

SYSCLK	CLKCON (D8h)			
	bit7 SCKTYPE	bit6 FCKTYPE	bit3 STPFCK	bit2 SELFCK
Fast FXT	0/1	1	0	1
Fast FRC	0/1	0	0	1
Slow SXT	1	0/1	0/1	0
Slow SRC	0	0/1	0/1	0
Fast type change	0/1	0 $\leftarrow$ $\rightarrow$ 1	0/1	0
Slow type change	0 $\leftarrow$ $\rightarrow$ 1	0/1	0	1
Stop FRC/FXT	0/1	0/1	0 $\rightarrow$ 1	0
Switch to FRC/FXT	0/1	0/1	0	0 $\rightarrow$ 1
Switch to SRC/SXT	0/1	0/1	0	1 $\rightarrow$ 0

Note: 因 CLKPSC 有延迟, 改变 CLKPSC 之后, 需等待 16 个时钟周期之后, 再把慢时钟切换至快时钟, 请参考 AP-TM52XXXXX_01S 和 AP-TM52XXXXX_02S 有关系统时钟应用说明

5.2 操作模式

这个设备有四种操作模式。**快钟模式**被定义为在快时钟速度运行的 CPU。**慢钟模式**被定义为慢时钟速度运行的 CPU。当系统时钟速度较低, 功耗较低。

空闲模式通过设置 PCON 中的 IDL 位进入。快或慢时钟都可设置为在空闲模式下的系统时钟源, 但慢时钟的省电越好。在空闲模式下, CPU 进入睡眠, 而片上外围设备保持活跃。在 CLKCON SFR 中的“STPPCK”位可以设置为进一步降低空闲模式下的电流。如果 STPPCK=1, Timer0/1/2, ADC 和 UART 在空闲模式时停止。较慢的系统时钟频率也有助于节省电流。它可以通过设置 CLKPSC SFR 降低系统时钟频率来实现。空闲模式是通过复位或使能的中断来唤醒。

停止模式是通过设置 PCON 中的 PD 位进入。这种模式在标准的 8051 是所谓的“省电”模式。在停止模式下, 除了 WDT 时钟可能开启, 其他所有时钟停止。停止模式可以通过复位或引脚唤醒来结束。

注: 如果 INTn 引脚是低电平且该唤醒功能启用, 则芯片无法进入 Stop 模式。(INTn=0 and EXn=1, n=0, 1, 2)

注: 固件必须关闭 Bandgap 以获得最小电流消耗 (VBGOUT=0)

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

87h.1 **PD:** 停止位, 如果 1 进入停止模式。

87h.0 **IDL:** 空闲位, 如果 1 进入空闲模式。

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAPV	VBGOUT	TKMODS	IAPTE		TKCHSR
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	1	1	1	0

F7h.4 **VBGOUT:** VBG 电压输出至 P3.2

0: 關閉

1: 启用 (同时 ADCHS 必须设置为 1011b)

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	—	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	
Reset	0	0	—	0	0	0	1	1

D8h.7 **SCKTYPE:** 慢时钟类型。该位只能在快钟模式 (SELFCK=1) 时改变。

0: SRC 1: SXT

D8h.6 **FCKTYPE:** 快时钟类型。该位只能在慢钟模式 (SELFCK=0) 时改变。

0: FRC 1: FXT

D8h.4 **STPPCK:** 设为 1, 停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。

D8h.3 **STPFCK:** 设为 1, 停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

D8h.2 **SELFCK:** 系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0: 慢时钟 1: 快时钟

D8h.1~0 **CLKPSC:** 系统时钟分频器, 生效延迟最大为 16 个时钟周期

00: 系统时钟是快/慢时钟除以 16

01: 系统时钟是快/慢时钟除以 4

10: 系统时钟是快/慢时钟除以 2

11: 系统时钟是快/慢时钟除以 1

6. 中断和唤醒

该芯片有 12 源四级中断优先级结构。所有的中断都可以从空闲模式唤醒 CPU, 但只有引脚中断可以从停止模式下唤醒 CPU。每个中断源都有自己的使能控制位。不管它的中断使能控制位是 0 还是 1, 中断事件将设置其个别的中断标志。中断向量和标志列表如下。

向量	标志	描述
0003	IE0	INT0 外部引脚中断(可以唤醒停止模式)
000B	TF0	Timer0 中断
0013	IE1	INT1 外部引脚中断(可以唤醒停止模式)
001B	TF1	Timer1 中断
0023	RI+TI	串口(UART1)中断
002B	TF2+EXF2	Timer2 中断
0033	—	保留为 ICE 模式使用
003B	TF3	Timer3 中断
0043	P1IF	Port1 外部引脚电平变化中断(可以唤醒停止模式)
004B	IE2	INT2 外部引脚中断(可以唤醒停止模式)
0053	ADIF+TKIF	ADC 中断 / 触摸按键(仅 F8276/78)中断
005B	SPIF+WCOL+MODF	SPI 中断
0063	RI2+TI2	串口(UART2)中断

中断向量和标志

6.1 中断使能和优先级控制

IE 和 INTE1 的 SFR 决定中断是否由 CPU 提供服务。IP, IPH, IP1 和 IP1H 的 SFR 决定中断优先级。中断会被服务, 需要相同或更高优先级的中断尚未被服务。如果相同或更高优先级的中断被服务时, 新的中断将等待被服务, 直到它之前的服务完成。如果较低优先级中断正被服务时, 将被停止, 开始新的中断服务。当新的中断结束后, 被停止的较低优先级的中断才会被完成。

SFR 96h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1WKUP	P1WKUP							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

96h.7~0 P1WKUP: P1.7~P1.0 个别引脚唤醒/中断使能控制

0: 关闭

1: 开启

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	—	ET2	ES	ET1	EX1	ET0	EX0
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	—	0	0	0	0	0	0

- A8h.7 **EA**: 总中断使能控制
0: 禁用所有中断
1: 每个中断通过其各个中断控制位使能或禁止
- A8h.5 **ET2**: Timer2 中断使能控制
0: 禁用 Timer2 中断
1: 允许 Timer2 中断
- A8h.4 **ES**: 串口 (UART1) 中断使能控制
0: 禁用串口 (UART1) 中断
1: 允许串口 (UART1) 中断
- A8h.3 **ET1**: Timer1 中断使能控制
0: 禁用 Timer1 中断
1: 允许 Timer1 中断
- A8h.2 **EX1**: INT1 引脚中断和停止模式唤醒使能控制
0: 禁用 INT1 引脚中断和停止模式唤醒
1: 允许 INT1 引脚中断和停止模式唤醒, 不管 EA 为 0 或 1, 都可从停止模式下唤醒 CPU。
- A8h.1 **ET0**: Timer0 中断使能
0: 禁用 Timer0 中断
1: 允许 Timer0 中断
- A8h.0 **EX0**: INT0 引脚中断和停止模式唤醒使能控制
0: 禁用 INT0 引脚中断和停止模式唤醒
1: 允许 INT0 引脚中断和停止模式唤醒, 不管 EA 为 0 或 1, 都可从停止模式下唤醒 CPU。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	—	—	ES2	SPIE	ADTKIE	EX2	P1IE	TM3IE
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

- A9h.5 **ES2**: 串口 (UART2) 中断使能控制
0: 禁用串口 (UART2) 中断
1: 允许串口 (UART2) 中断
- A9h.4 **SPIE**: SPI 中断使能控制
0: 禁用 SPI 中断
1: 允许 SPI 中断
- A9h.3 **ADTKIE**: ADC/触摸按键 (仅 F8276/78) 中断使能控制
0: 禁用 ADC/触摸按键 (仅 F8276/78) 中断
1: 允许 ADC/触摸按键 (仅 F8276/78) 中断
- A9h.2 **EX2**: INT2 引脚中断和停止模式唤醒使能控制
0: 禁用 INT2 引脚中断和停止模式唤醒
1: 允许 INT2 引脚中断和停止模式唤醒, 不管 EA 为 0 或 1, 都可从停止模式下唤醒 CPU。
- A9h.1 **P1IE**: 端口 1 引脚电平变化中断使能控制
0: 禁用端口 1 引脚电平变化中断
1: 允许端口 1 引脚电平变化中断
- A9h.0 **TM3IE**: Timer3 中断使能控制
0: 禁用 Timer3 中断
1: 允许 Timer3 中断

SFR B9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPH	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

SFR B8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP	—	—	PT2	PS	PT1	PX1	PT0	PX0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

B9h.5, B8h.5 **PT2H, PT2**: Timer2 中断优先级控制。(PT2H, PT2) =

00:0 级(最低优先级)

01:1 级

10:2 级

11:3 级(最高优先级)

B9h.4, B8h.4 **PSH, PS**: 串口(UART1)中断优先级控制。定义如上。

B9h.3, B8h.3 **PT1H, PT1**: Timer1 中断优先级控制。定义如上。

B9h.2, B8h.2 **PX1H, PX1**: INT1 引脚中断优先级控制。定义如上。

B9h.1, B8h.1 **PT0H, PT0**: Timer0 中断优先级控制。定义如上。

B9h.0, B8h.0 **PX0H, PX0**: INT0 引脚中断优先级控制。定义如上。

SFR BBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1H	—	—	PS2H	PSPIH	PADTKIH	PX2H	PP1H	PT3H
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

SFR BAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1	—	—	PS2	PSPI	PADTKI	PX2	PP1	PT3
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

BBh.5, BAh.5 **PS2H, PS2**: 串口(UART2)中断优先级控制。定义如上。

BBh.4, BAh.4 **PSPIH, PSPI**: SPI 中断优先级控制。定义如上。

BBh.3, BAh.3 **PADTKIH, PADTKI**: ADC/触摸按键(仅 F8276/78)中断优先级控制。定义如上。

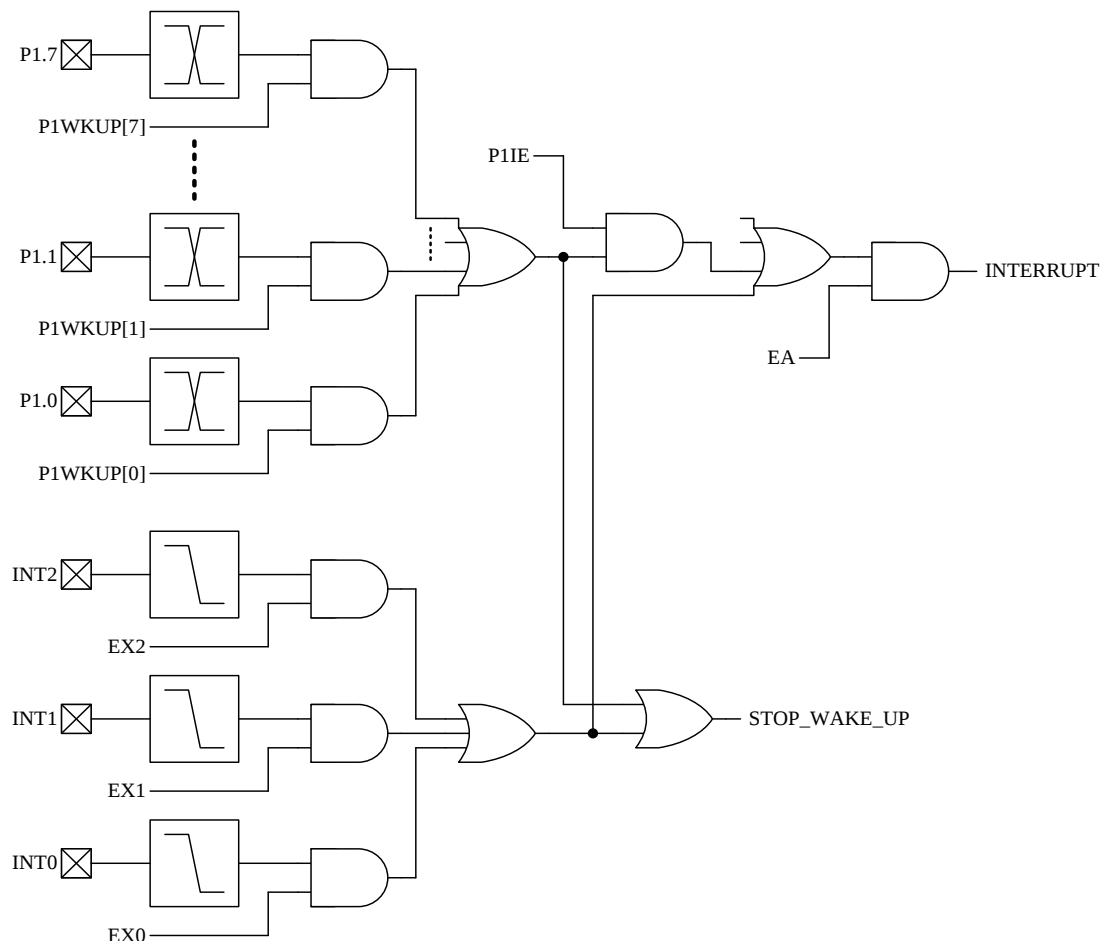
BBh.2, BAh.2 **PX2H, PX2**: INT2 引脚中断优先级控制。定义如上。

BBh.1, BAh.1 **PP1H, PP1**: 端口 1 引脚电平变化中断优先级控制。定义如上。

BBh.0, BAh.0 **PT3, PT3**: Timer3 中断优先级控制。定义如上。

6.2 引脚中断

引脚中断包括 INT0(P3.2), INT1 (P3.3), INT2 (P3.7) 和端口 1 电平变化中断。这些引脚也有停止模式唤醒功能。INT0 和 INT1 是下降沿或低电平触发为 8051 标准。INT2 为下降沿触发, 而端口 1 电平变化中断是由任何端口 1 引脚的状态变化触发。



引脚中断和唤醒

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.3 **IE1**: 外部中断 1 (INT1 引脚) 边沿标志
 设置于 H/W 检测到 INT1 引脚下降沿时, 不管 EX1 为 0 或 1。
 程序执行中断服务时, 它会被自动清除。
- 88h.2 **IT1**: 外部中断 1 控制位
 0: 低电平有效 (电平触发) 的 INT1 引脚
 1: 下降沿有效 (边沿触发) 的 INT1 引脚
- 88h.1 **IE0**: 外部中断 0 (INT0 引脚) 边沿标志
 设置于 H/W 检测到 INT0 引脚下降沿时, 不管 EX0 为 0 或 1。
 程序执行中断服务时, 它会被自动清除。
- 88h.0 **IT0**: 外部中断 0 控制位
 0: 低电平有效 (电平触发) 的 INT0 引脚
 1: 下降沿有效 (边沿触发) 的 INT0 引脚

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVD	–	TKIF	ADIF	–	IE2	P1IF	TF3
R/W	R	–	R/W	R/W	–	R/W	R/W	R/W
Reset	–	–	0	0	–	0	0	0

95h.2 **IE2**: 外部中断 2 (INT2 引脚) 边沿标志

设置于 H/W 检测到 INT2 引脚下降沿时, 不管 EX2 为 0 或 1。

程序执行中断服务时, 它会被自动清除。

S/W 也可以写 FBh 到 INTFLG 以清除该标志。(注)

95h.1 **P1IF**: 端口 1 引脚电平变化中断标志

设置于 H/W 检测到 P1 引脚的状态变化时, 且其相应的中断使能位 (P1WKUP) 被设置。

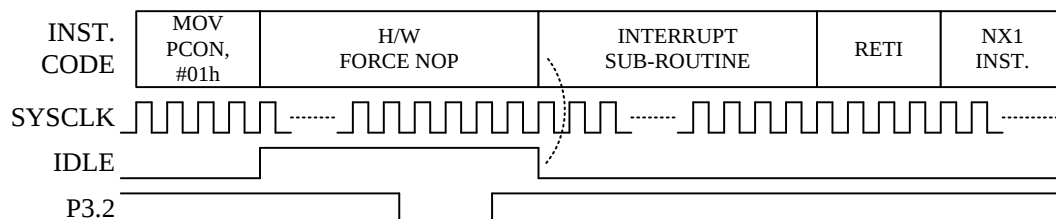
程序执行中断服务时, 它会被自动清除。

S/W 也可以写 FDh 到 INTFLG 以清除该标志。(注)

注: S/W 可以写 0 清除 INTFLG 中的标志, 但写 1 没有任何效果。

6.3 空闲模式唤醒和中断

空闲模式下被启用的中断唤醒, 这意味着各个中断使能位 (如: EX0) 和 EA 位必须都设置为 1 以建立空闲模式唤醒功能。所有被允许的中断 (引脚, 定时器, ADC, 触摸按键, SPI 和 UART), 可以将 CPU 从空闲模式唤醒。当空闲被唤醒, 立即进入中断服务程序。当中断服务程序返回后, “IDL (PCON.0) 设置后的第一个指令” 将被执行。



EA=EX0=1, P3.2 (INT0) 空闲模式唤醒和中断

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	–	–	–	GF1	GF0	PD	IDL
R/W	R/W	–	–	–	R/W	R/W	R/W	R/W
Reset	0	–	–	–	0	0	0	0

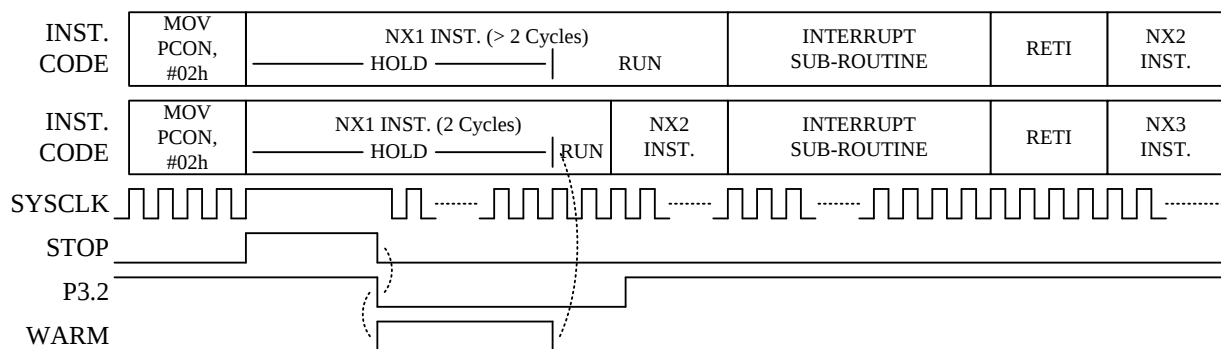
87h.1 **PD**: 停止位, 如果 1 进入停止模式。

87h.0 **IDL**: 空闲位, 如果 1 进入空闲模式。

6.4 停止模式唤醒和中断

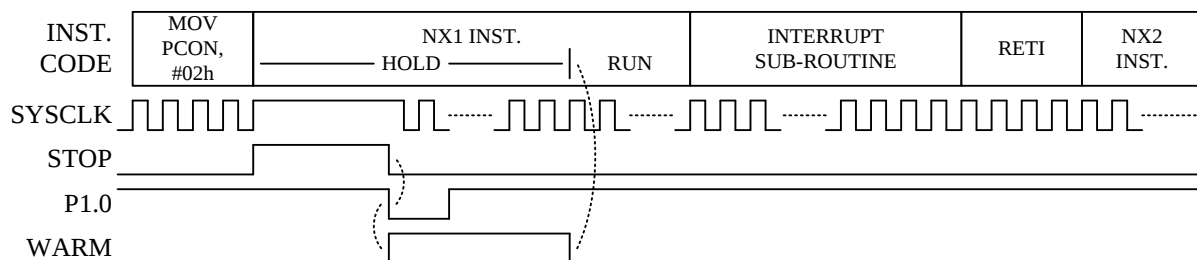
停止模式唤醒很简单, 只要把各个引脚的中断使能位 (如: EX0) 设置, 该引脚唤醒功能启用。设置 EX0/EX1/EX2 可以允许 INT0/INT1/INT2 引脚上的停止模式唤醒功能。设置 P1WKUP 位 7~0 可以启用 P1.7~P1.0 的停止模式唤醒功能。一旦停止被唤醒, “PD (PCON.1) 设置后的第一条指令” 立即在中断服务之前被执行。中断进入需要 EA=1 (P1WKUP 还需要 P1IE=1) 和该引脚触发状态停留足够长, 以被系统时钟采样到。此功能可让 CPU 停止模式唤醒后, 进入或不进入中断子程序。

注: 如果 INTn 引脚是低电平且该唤醒功能启用, 则芯片无法进入 Stop 模式。(INTn=0 and EXn=1, n=0, 1, 2)



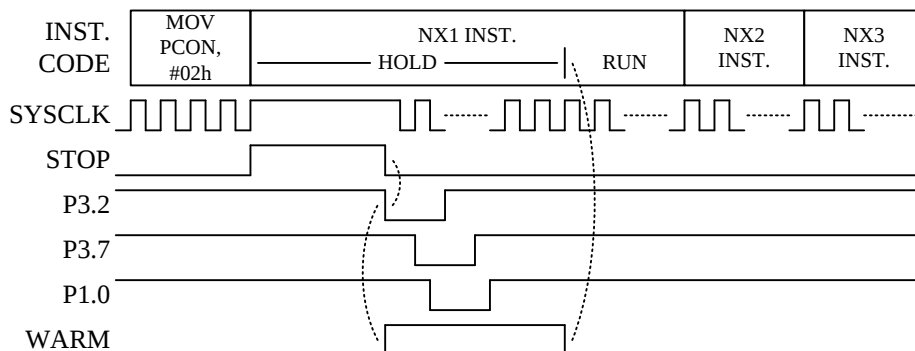
EA=EX0=1

P3.2 (INT0) 预热后被采样, 停止模式唤醒和中断



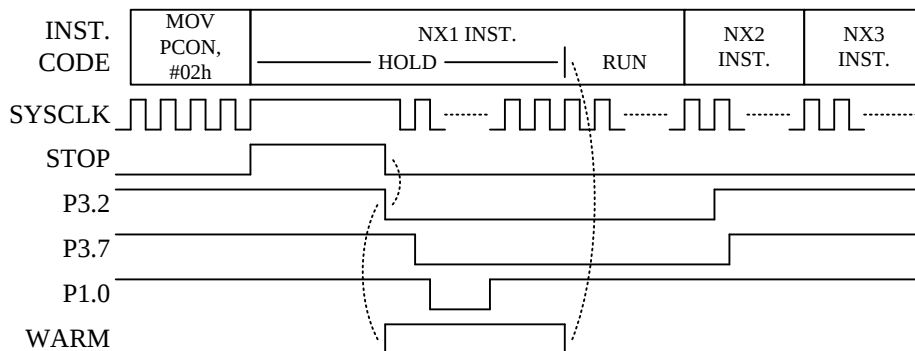
EA=P1IE=P1WKUP=1

P1.0 变化(不需要时钟采样), 停止模式唤醒和中断



EA=EX0=EX2=P1WKUP=1, P1IE=0

P3.2/P3.7 脉冲太窄, 停止模式唤醒, 但没有中断



EX0=EX2=P1WKUP=P1IE=1, EA=0

停止模式唤醒, 但没有中断

7. I/O 端口

该芯片总共有 26 个多功能 I/O 引脚。所有的 I/O 引脚遵循标准 8051 “读-修改-写”功能。读取 SFR 的, 而不是引脚状态的指令, 会读取一个端口或端口位的值, 可能改变它, 然后将它改写到 SFR。(例如: ANL P1, A; INC P2; CPL P3.0)。

7.1 端口 1, P2.1~P2.0 和端口 3

这些引脚可以在四种不同的模式, 如下操作。

模式	端口 1, P2.1~P2.0, 端口 3 引脚功能		Px.n SFR 数据	引脚状态	电阻上拉	数位输入
	P3.2~P3.0	其他				
模式 0	伪开漏输出	开漏输出	0	驱动低	N	N
			1	上拉	Y	Y
模式 1	伪开漏输出	开漏输出	0	驱动低	N	N
			1	高阻抗	N	Y
模式 2	CMOS 推挽输出		0	驱动低	N	N
			1	驱动高	N	N
模式 3	替代功能, 如 ADC		X (无关)	-	N	N

端口 1, P2.1~P2.0, 端口 3 I/O 引脚菜单

如果一个端口 1, P2.1~P2.0 和端口 3 引脚用于施密特触发输入, S/W 必须设置 I/O 引脚到模式 0 或模式 1, 并设置相应的端口数据 SFR 为 1 来禁止该引脚的输出驱动电路。

除了 I/O 端口的功能, 每个端口 1, P2.1~P2.0 和端口 3 引脚各具有一个或多个可选的替代功能, 如 LCD, ADC, PWM 和触摸按键。部分的功能通过将各个引脚的模式控制 SFR 设为模式 3。端口 1/ 端口 3 引脚具有标准 8051 的辅助定义如 INT0/1, T0/1/2, 或 RXD/TXD。这些引脚功能需要设置引脚模式 SFR 为模式 0 或模式 1 和保持 P1.n/P3.n 的 SFR 为 1。

引脚名称	8051	唤醒	CKO	ADC	TK	LCD/LED	其他	模式 3
P1.0	T2	Y	T2O	AD4	TK4			AD4
P1.1	T2EX	Y		AD5	TK5			AD5
P1.2		Y		AD6	TK6		PWM0	AD6
P1.3		Y		AD7	TK7		PWM1	AD7
P1.4		Y	CKO	AD8	TK8			AD8
P1.5		Y		AD9	TK14			AD9
P1.6		Y			TK9		PWM2	
P1.7	TXD2	Y			TK10		MISO	
P3.0	RXD			AD3	TK3			AD3
P3.1	TXD			AD2	TK2			AD2
P3.2	INT0	Y		AD1	TK1		VBGO	AD1
P3.3	INT1	Y		AD0	TK0			AD0
P3.4	T0		T0O		TK13	LEDS3	SS	
P3.5	T1				TK12	LEDS4	MOSI	
P3.6	RXD2				TK11	LEDS5	SCK	
P3.7	INT2	Y			TK15	LEDS2	RSTn	
P2.0						LEDS0	XI	
P2.1						LEDS1	XO	

端口 1, P2.1~P2.0, 端口 3 多重菜单

端口 1/P2.1~P2.0/端口 3 引脚的替代功能所需的 SFR 设置如下。

替代功能	模式	Px.n SFR 数据	引脚状态	其他需要的 SFR 设置
T0, T1, T2, T2EX, INT0, INT1, INT2	0	1	输入上拉	
	1	1	输入	
RXD, TXD	0	1	输入上拉/伪开漏输出	
	1	1	输入/伪开漏输出	
RXD2, TXD2	0	1	输入上拉/开漏输出	
	1	1	输入/开漏输出	
T0O, T2O, CKO	0	X	时钟开漏输出, 上拉	PINMOD
	1	X	时钟开漏输出	
	2	X	时钟输出 (CMOS 推挽)	
VBGO	X	X	带隙基准电压输出	VBGOUT ADCHS
LEDS0~LEDS5 (注 1)	X	X	LED 波形输出	LEDCON
TK0~TK15	0	1	触摸按键闲置, 上拉	TKCHS
			触摸按键扫描	
	2	X	触摸按键闲置, CMOS 推挽	
			触摸按键扫描	
AD0~AD9	3	X	ADC 转换	
PWM0~PWM2	0	X	PWM 开漏输出, 上拉	PINMOD PWMCON2
	1	X	PWM 开漏输出	
	2	X	PWM 输出 (CMOS 推挽)	
SPI 主模式 MISO	1	1	SPI 数据输入	SPCON
SPI 主模式 SCK, MOSI	2	X	SPI 时钟/数据输出 (CMOS 推挽)	SPCON
SPI 从模式 MISO	2	X	SPI 数据输出 (CMOS 推挽)	SPCON
SPI 从模式 SCK, MOSI	1	1	SPI 时钟/数据输入	SPCON
SS	1	1	SPI 芯片选择	SPCON
XI, XO	0	1	晶振	CLKCON

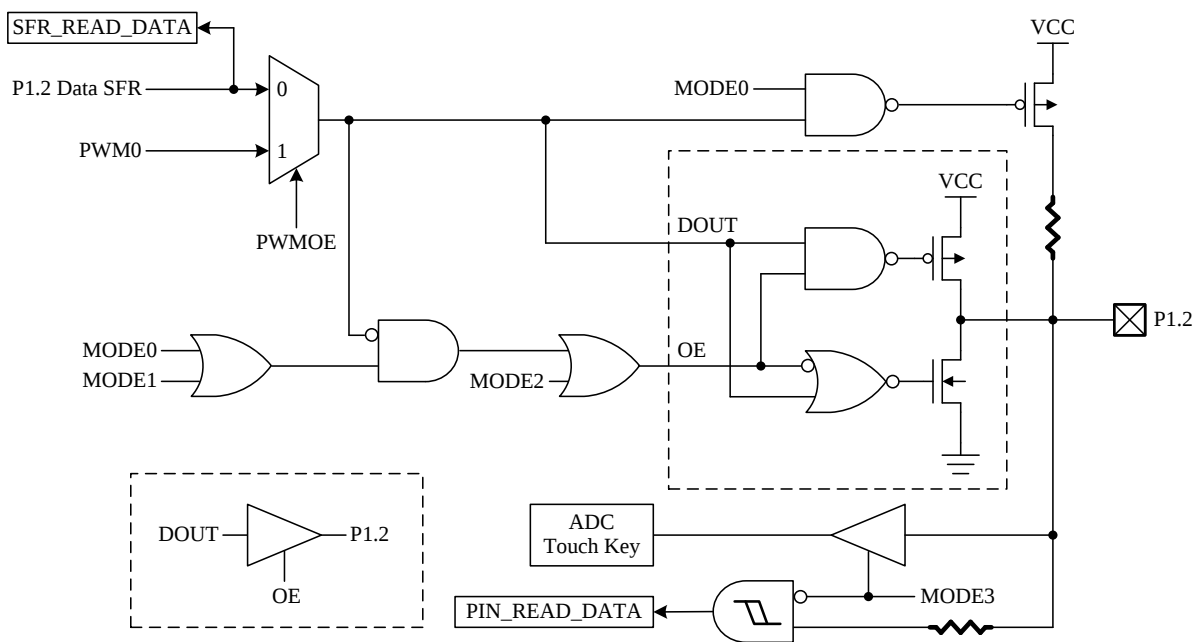
端口 1, P2.1~P2.0, 端口 3 替代功能模式设置

对于上表中, “**CMOS 推挽**” 引脚意味着它可以吸收和驱动至少 4 mA 的电流。我们不建议使用这种引脚作为输入功能。

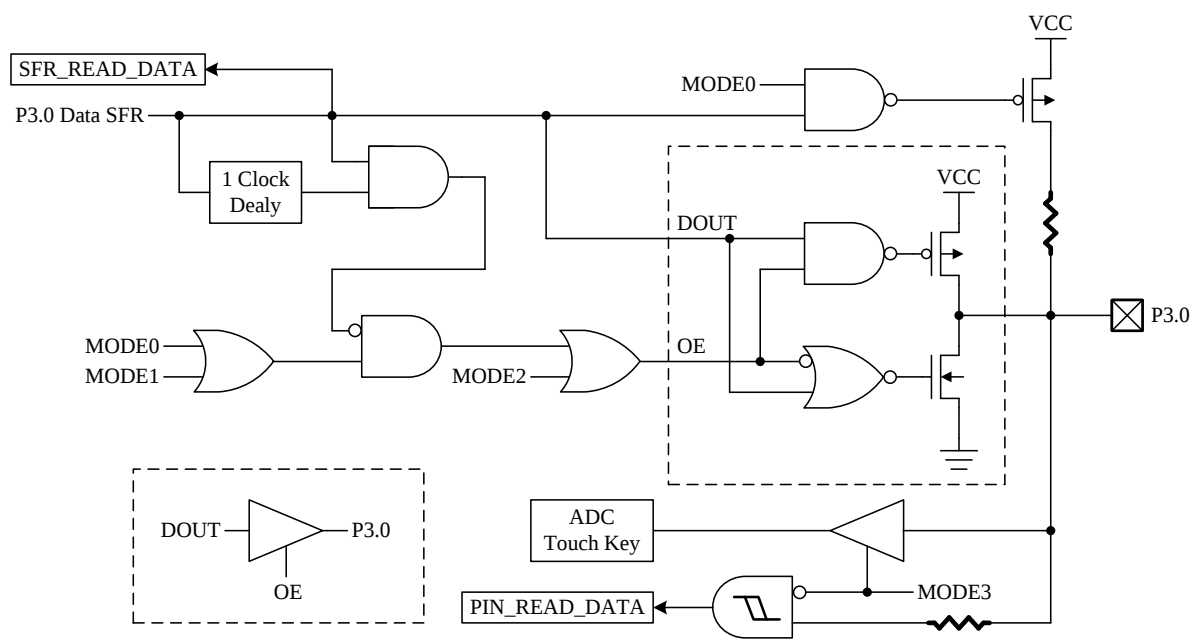
一个 “**开漏**” 引脚意味着它可以吸收至少 4 mA 电流, 但只能驱动小电流 (<20μA)。它可以用作输入或输出功能, 并且通常需要一个外部上拉电阻。

8051 标准引脚是一个 “**伪开漏**” 引脚。它可以吸收至少 4 mA 电流于低电平输出, 并于输出从低到高时, 驱动至少 4 mA 电流 1~2 个时钟周期, 然后开为小电流 (<20μA), 以维持引脚在高电平。它可以用作输入或输出功能。

注 1: 关于上述的引脚相关 SFR 设置, 引脚做为 LCD/LED 时, 拥有最高的优先权。若引脚不做为 LCD/LED 使用 (像是引脚做为一般 I/O, ADC, 触摸按键, SPI), 软件务必将 LCD/LED 功能设置为关闭。



P1.2 引脚结构



P3.0 引脚结构

SFR 90h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

90h.7~0 **P1**: 端口 1 数据

SFR A0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

A0h.1~0 **P2.1~P2.0**: P2.1~P2.0 数据

SFR B0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

B0h.7~0 **P3**: 端口 3 数据

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	—	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	
Reset	0	0	—	0	0	0	1	1

D8h.7 **SCKTYPE**: 慢时钟类型。该位只能在快钟模式 (SELFCK=1) 时改变。

0: SRC, P2.1, P2.0 为 I/O 引脚

1: SXT, P2.1, P2.0 为晶振引脚

D8h.6 **FCKTYPE**: 快时钟类型。该位只能在慢钟模式 (SELFCK=0) 时改变。

0: FRC, P2.1, P2.0 为 I/O 引脚

1: FXT, P2.1, P2.0 为晶振引脚

SFR A2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MODL	P1MOD3		P1MOD2		P1MOD1		P1MOD0	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

- A2h.7~6 **P1MOD3**:P1.3 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P1.3 为 ADC 输入
- A2h.5~4 **P1MOD2**:P1.2 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P1.2 为 ADC 输入
- A2h.3~2 **P1MOD1**:P1.1 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P1.1 为 ADC 输入
- A2h.1~0 **P1MOD0**:P1.0 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P1.0 为 ADC 输入

SFR A3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MODH	P1MOD7		P1MOD6		P1MOD5		P1MOD4	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

- A3h.7~6 **P1MOD7**:P1.7 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3
- A3h.5~4 **P1MOD6**:P1.6 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3
- A3h.3~2 **P1MOD5**:P1.5 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P1.5 为 ADC 输入
- A3h.1~0 **P1MOD4**:P1.4 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P1.4 为 ADC 输入

SFR A4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MODL	P3MOD3		P3MOD2		P3MOD1		P3MOD0	
R/W	R/W		R/W		R/W		R/W	
Reset	0	1	0	1	0	1	0	1

- A4h.7~6 **P3MOD3**:P3.3 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P3.3 为 ADC 输入
- A4h.5~4 **P3MOD2**:P3.2 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P3.2 为 ADC 输入
- A4h.3~2 **P3MOD1**:P3.1 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P3.1 为 ADC 输入
- A4h.1~0 **P3MOD0**:P3.0 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3, P3.0 为 ADC 输入

SFR A5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MODH	P3MOD7		P3MOD6		P3MOD5		P3MOD4	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

- A5h.7~6 **P3MOD7**:P3.7 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3
- A5h.5~4 **P3MOD6**:P3.6 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3
- A5h.3~2 **P3MOD5**:P3.5 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3
- A5h.1~0 **P3MOD4**:P3.4 引脚控制
00:模式 0
01:模式 1
10:模式 2
11:模式 3

SFR 93h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2MOD	—	—	—	—	P2MOD1		P2MOD0	
R/W	—	—	—	—	R/W		R/W	
Reset	—	—	—	—	0	1	0	1

93h.3~2 **P2MOD1**:P2.1 引脚控制

00:模式 0
01:模式 1
10:模式 2
11:未定义

93h.1~0 **P2MOD0**:P2.0 引脚控制

00:模式 0
01:模式 1
10:模式 2
11:未定义

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	PWM1OE	PWM0OE	TCOE	T2OE	—	—	—	T0OE
R/W	R/W	R/W	R/W	R/W	—	—	—	R/W
Reset	0	0	0	0	—	—	—	0

A6h.7 **PWM1OE**:PWM1 信号输出使能

0:禁止 PWM1 信号输出到 P1.3
1:允许 PWM1 信号输出到 P1.3

A6h.6 **PWM0OE**:PWM0 信号输出使能

0:禁止 PWM0 信号输出到 P1.2
1:允许 PWM0 信号输出到 P1.2

A6h.5 **TCOE**:系统时钟信号输出(CKO)控制

0:禁止“系统时钟除以 2”信号输出到 P1.4
1:允许“系统时钟除以 2”信号输出到 P1.4

A6h.4 **T2OE**:Timer2 信号输出(T2O)使能

0:禁止 Timer2 溢出除以 2 输出到 P1.0
1:允许 Timer2 溢出除以 2 输出到 P1.0

A6h.0 **T0OE**:Timer0 信号输出(T0O)控制

0:禁止“Timer0 溢出除以 64”输出到 P3.4
1:允许“Timer0 溢出除以 64”输出到 P3.4

SFR A7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON2	—	—	—	PWM2OE	PWM2CKS		PWM2DL	
R/W	—	—	—	R/W	R/W		R/W	
Reset	—	—	—	0	1	0	0	0

A7h.4 **PWM2OE**:PWM2 信号输出使能

0:禁止 PWM2 信号输出到 P1.6
1:允许 PWM2 信号输出到 P1.6

SFR B1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCON	LEDEN		LEDPSC		—	LEDBRIT		
R/W	R/W		R/W		—	R/W		
Reset	0	0	0	0	—	1	0	0

B1h.7~6 **LEDEN**:LED 使能

00: LED 关闭
01:选择 LED 1/8 占空比(COM0~3, SEG0~3), 硬件将自动控制 LED 的引脚状态
10:选择 LED 1/9 占空比(COM0~3, SEG0~4), 硬件将自动控制 LED 的引脚状态
11:选择 LED 1/10 占空比(COM0~3, SEG0~5), 硬件将自动控制 LED 的引脚状态

SFR BCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPCON	SPEN	MSTR	CPOL	CPHA	SSDIS	LSBF	SPCR	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Reset	0	0	0	0	0	0	0	0

- BCh.7 **SPEN**: SPI 使能
0: SPI 关闭
1: SPI 使能, P1.7, P3.5, P3.6 为 SPI 功能引脚
- BCh.3 **SSDIS**: SS 引脚禁用
0: 使能 SS 引脚, P3.4 为 SPI 芯片选择输入
1: 禁用 SS 引脚

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	TKMODS	IAPTE		TKCHSR
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	1	1	1	0

- F7h.4 **VBGOUT**: VBG 电压输出至 P3.2
0: 关闭
1: 启用 (同时 ADCHS 必须设置为 1011b)

7.2 端口 0

这些引脚与触摸, ADC, LCD/LED 共享。如果端口 0 的引脚定义为 I/O 引脚, 它可作为推挽输出或施密特触发输入。该引脚的上拉功能是由 SFR 位 P0OE.n = 0 和 P0.n = 1 所设置。

端口 0 引脚功能	P0OE.n	P0.n SFR 数据	引脚状态	电阻上拉	数位输入
输入	0	0	高阻抗	N	Y
	0	1	上拉	Y	Y
CMOS 推挽输出	1	0	驱动低	N	N
	1	1	驱动高	N	N

端口 0 I/O 引脚菜单

引脚名称	唤醒	ADC	TK	LCD	LED	其他
P0.0				LCDC0	LEDC0	
P0.1				LCDC1	LEDC1	
P0.2				LCDC2	LEDC2	
P0.3				LCDC3	LEDC3	
P0.4		AD12		LCDC4		
P0.5		AD13		LCDC5		
P0.6		AD14		LCDC6		
P0.7		AD15	CLD	LCDC7		

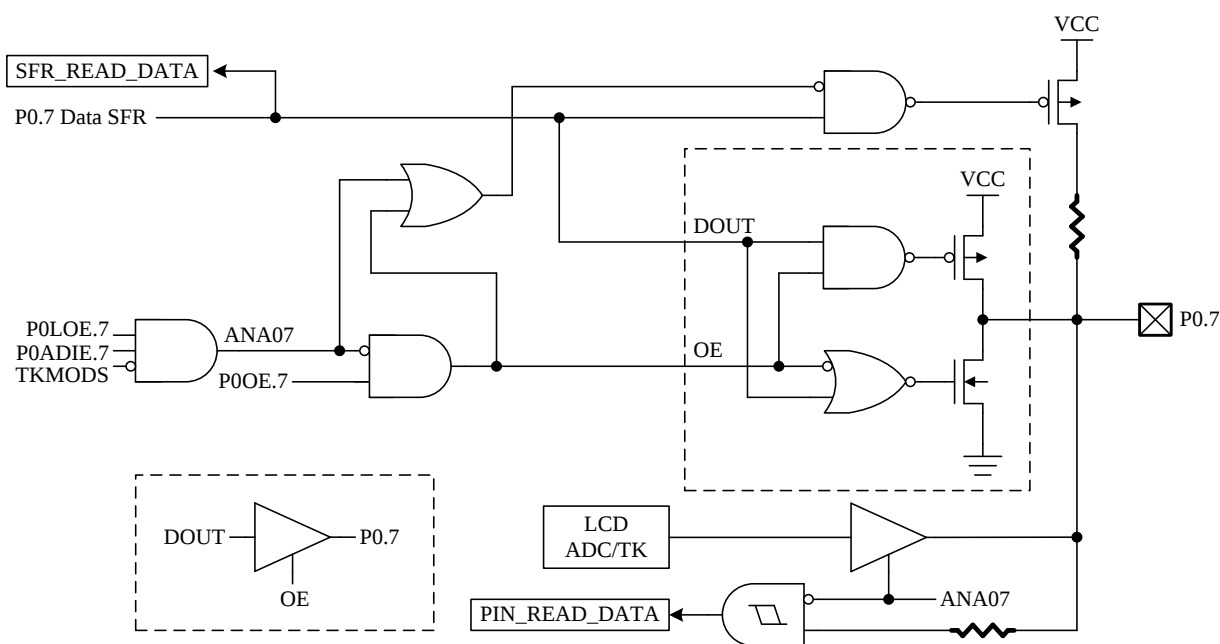
端口 0 多重菜单

端口 0 引脚的替代功能所需的 SFR 设置如下。

替代功能	PxOE.n	Px.n SFR 数据	引脚状态	其他需要的 SFR 设置
LEDC0~LEDC3	X	X	LED 波形输出	LEDCON
LCDC0~LCDC7	X	X	LCD COM 1/2 偏压输出	P0LOE
AD12~AD15	X	X	ADC 转换	P0ADIE
CLD	X	X	触摸按键电容连接点	TKMODS

端口 0 替代功能模式设置

注：P0LOE 及 P0ADIE 的优先权高于 P0OE。


P0.7 引脚结构

SFR 80h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

80h.7~0 **P0**: 端口 0 的数据, 也可以控制 P0.n 引脚的上拉功能。如果的 P0.n SFR 数据是“1”和相应的 P0OE.n = 0 (输入模式) 中, 上拉使能。

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0OE	P0OE							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

91h.7~0 **P0OE**: 端口 0 CMOS 推挽输出使能控制

0: 关闭

1: 开启

SFR 92h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0LOE	P0LOE							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

92h.7~0 **P0LOE**: 端口 0 LCD 1/2 偏压输出使能控制

0: 关闭

1: 开启

SFR AFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0ADIE	P0ADIE				—	—	—	—
R/W	R/W				—	—	—	—
Reset	0	0	0	0	—	—	—	—

AFh.7~4 **P0ADIE**: ADC 输入通道使能控制
 0000: 引脚 P0.7~P0.4 为数字输出
 1xxx: 引脚 P0.7 为 ADC 输入
 x1xx: 引脚 P0.6 为 ADC 输入
 xx1x: 引脚 P0.5 为 ADC 输入
 xxx1: 引脚 P0.4 为 ADC 输入

SFR B1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCON	LEDEN		LEDPSC		—	LEDBRIT		
R/W	R/W		R/W		—	R/W		
Reset	0	0	0	0	—	1	0	0

B1h.7~6 **LEDEN**: LED 使能
 00: LED 关闭
 01: 选择 LED 1/8 占空比 (COM0~3, SEG0~3), 硬件将自动控制 LED 的引脚状态
 10: 选择 LED 1/9 占空比 (COM0~3, SEG0~4), 硬件将自动控制 LED 的引脚状态
 11: 选择 LED 1/10 占空比 (COM0~3, SEG0~5), 硬件将自动控制 LED 的引脚状态

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	TKMODS	IAPTE		TKCHSR
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	1	1	1	0

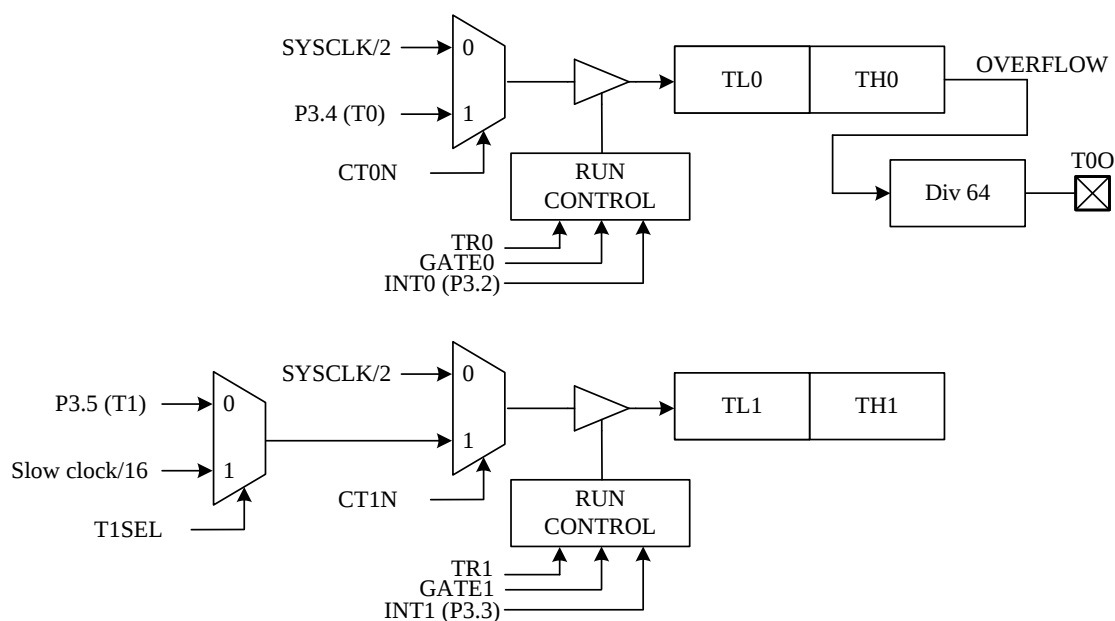
F7h.3 **TKMODS**: 触摸按键模式选择
 0: 选择为外部电容模式触摸按键 (CTK)
 1: 选择为松弛震荡模式触摸按键 (STK)

8. 定时器

Timer0, Timer1 和 Timer2 设置为标准的 8051 兼容的定时器/计数器。相较于传统的 12T 8051, 该芯片的 Timer0/1/2 使用 2 个系统时钟周期的时间基本单元。也就是说, 在定时器模式下, 这些定时器以每一个“2 个系统时钟”率增加; 在计数器模式下, T0/T1/T2 引脚输入脉冲必须大于 2 个系统时钟以便该设备可以辨识。除了标准 8051 定时器功能, T0O 引脚输出“Timer0 溢出除以 64”的信号, 而 T2O 引脚输出“Timer2 溢出除以 2”的信号。当时基是 SXT, Timer3 被设置为一个实时时钟计数。

8.1 Timer0/1

TCON 和 TMOD 用于设置操作模式, 并控制 Timer0/1 的运行和中断产生, 定时器/计数器的值存储在两个成对的 8 位寄存器 (TL0, TH0, 和 TL1, TH1)。



Timer0 and Timer1 结构

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.7 **TF1**:Timer1 溢出标志
 当定时器/计数器 1 溢出时由 H/W 设置。
 当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.6 **TR1**:Timer1 运行控制
 0:Timer1 停止
 1:Timer1 运行
- 88h.5 **TF0**:Timer0 溢出标志
 当定时器/计数器 0 溢出时由 H/W 设置。
 当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.4 **TR0**:Timer0 运行控制
 0:Timer0 停止
 1:Timer0 运行

SFR 89h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
R/W	R/W	R/W	R/W		R/W	R/W	R/W	
Reset	0	0	0	0	0	0	0	0

89h.7 **GATE1**:Timer1 门控位

0:当 TR1 位设置时 Timer1 使能

1:只有当 INT1 引脚为高, TR1 位设置时 Timer1 使能

89h.6 **CT1N**:Timer1 计数器/定时器选择位

0:定时器模式, Timer1 的数据以 2 个系统时钟周期率增加

1:计数器模式, Timer1 的数据在 T1 引脚的下降沿时增加

89h.5~4 **TMOD1**:Timer1 模式选择

00:8 位定时器/计数器 (TH1) 和 5 位预分频器 (TL1)

01:16 位定时器/计数器

10:8 位自动重载定时器/计数器 (TL1), 溢出时从 TH1 重新装载。

11:Timer1 停止

89h.3 **GATE0**:Timer0 门控位

0:当 TR0 位设置时 Timer0 使能

1:只有当 INT0 引脚为高, TR0 位设置时 Timer0 使能

89h.2 **CT0N**:Timer0 计数器/定时器选择位

0:定时器模式, Timer0 的数据以 2 个系统时钟周期率增加

1:计数器模式, Timer0 的数据在 T0 引脚的下降沿时增加

89h.1~0 **TMOD0**:Timer0 模式选择

00:8 位定时器/计数器 (TH0) 和 5 位预分频器 (TL0)

01:16 位定时器/计数器

10:8 位自动重载定时器/计数器 (TL0), 溢出时从 TH0 重新装载。

11:TL0 是一个 8 位定时器/计数器。TH0 是一个 8 位定时器/计数器, 使用 Timer1 的 TR1 和 TF1 位

SFR 8Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL0	TL0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ah.7~0 **TL0**:Timer0 数据的低字节

SFR 8Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL1	TL1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Bh.7~0 **TL1**:Timer1 数据的低字节

SFR 8Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH0	TH0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ch.7~0 **TH0**:Timer0 数据的高字节

SFR 8Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH1	TH1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

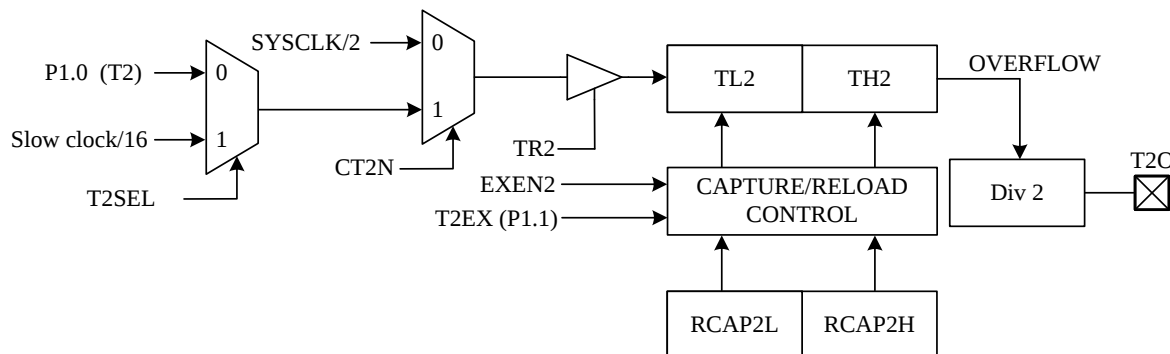
8Dh.7~0 **TH1**:Timer1 数据的高字节

注:另请参阅第 6 章的有关 Timer0/1 中断使能和优先级的更多信息。

注:同时参阅第 7 章关于 T0O 引脚输出设置的详细信息。

8.2 Timer2

Timer2 通过 TCON2 寄存器存储在 TL2 和 TH2 的定时器/计数器 2 低和高字节和存储在 RCAP2L 和 RCAP2H 的 Timer2 重载/捕获寄存器的高和低字节来控制。



Timer2 结构

SFR C8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

C8h.7 **TF2**:Timer2 溢出标志

当定时器/计数器 2 溢出时由 H/W 设置, 除非 RCLK=1 或 TCLK=1。此位必须由 S/W 清零。

C8h.6 **EXF2**:T2EX 中断引脚下降沿标志

如果 EXEN2=1, 当捕获或重载是由 T2EX 引脚的下降沿跳变引起时被设置。该位必须由 S/W 清零。

C8h.5 **RCLK**:UART 接收时钟控制位

0:模式 1 或 3 时使用 Timer1 溢出作为串行端口接收时钟

1:模式 1 或 3 时使用 Timer2 溢出作为串行端口接收时钟

C8h.4 **TCLK**:UART 发送时钟控制位

0:模式 1 或 3 时使用 Timer1 溢出作为串行端口发送时钟

1:模式 1 或 3 时使用 Timer2 溢出作为串行端口发送时钟

C8h.3 **EXEN2**:T2EX 引脚使能

0:T2EX 引脚禁用

1:T2EX 引脚使能, 如果 RCLK=TCLK=0, 当检测出 T2EX 引脚的下降沿跳变, 这引起捕获或重载

C8h.2 **TR2**:Timer2 运行控制

0:Timer2 停止

1:Timer2 运行

C8h.1 **CT2N**:Timer2 计数器/定时器选择位

0:定时器模式, Timer2 的数据以 2 个系统时钟周期率增加

1:计数器模式, Timer2 的数据在 T2 引脚的下降沿时增加

C8h.0 **CPRL2N**:Timer2 捕捉/重载控制位

0:重载模式, 如果 EXEN2=1 当 Timer2 溢出或 T2EX 引脚上的下降沿跳变则自动重载

1:捕捉模式, 如果 EXEN2=1 在 T2EX 引脚上的下降沿跳变则捕捉

如果 RCLK=1 或 TCLK=1 时, CPRL2N 被忽略, Timer2 溢出时定时器被强制自动重载

SFR CAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2L	RCP2L							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CAh.7~0 **RCP2L**:Timer2 重载/捕获数据的低字节

SFR CBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2H	RCP2H							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CBh.7~0 **RCP2H**:Timer2 重载/捕获数据的高字节

SFR CCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL2	TL2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CCh.7~0 **TL2**:Timer2 数据的低字节

SFR CDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH2	TH2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CDh.7~0 **TH2**:Timer2 数据的高字节

注: 另请参阅第 6 章的有关 Timer2 中断使能和优先级的更多信息。

注: 同时参阅第 7 章关于 T2O 引脚输出设置的详细信息。

8.3 Timer3

该芯片的 Timer3 作为时基计数器, 周期性地产生中断。它会产生一个中断标志位 (TF3) 当时钟除以 32768, 16384, 8192 或 128 取决于 TM3PSC 位。Timer3 的时钟源为慢时钟 (SRC 或 SXT)。当时钟源为 SXT 即是理想的实时时钟 (RTC) 功能。

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	TKFJMP	WDTPSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.1~0 **TM3PSC**: Timer3 中断率控制选择

00: 中断率是 32768 慢时钟周期

01: 中断率是 16384 慢时钟周期

10: 中断率是 8192 慢时钟周期

11: 中断率是 128 慢时钟周期

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVD	–	TKIF	ADIF	–	IE2	P1IF	TF3
R/W	R	–	R/W	R/W	–	R/W	R/W	R/W
Reset	–	–	0	0	–	0	0	0

95h.0 **TF3**: Timer3 中断标志

当 Timer3 到达 TM3PSC 设置周期时由 H/W 设置。

当程序执行中断服务程序时被自动清除。

S/W 也可以写 FEh 到 INTFLG 清除该标志。(注 2)

注 2: S/W 可以写 0 清除 INTFLG 中的标志, 但写 1 没有任何效果。

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F8h.6 **CLRTM3**: 设置以清除 Timer3, H/W 会在下一个时钟周期自动清除此设置

注: 另请参阅第 6 章的有关 Timer3 中断使能和优先级的更多信息。

8.4 T0O 和 T2O 输出控制

该装置可以产生各种频率的波形引脚输出 (CMOS 推挽格式) 供蜂鸣器使用。T0O 波形由 Timer0 溢出除以 64 产生, T2O 波形由 Timer2 溢出除以 2 产生。用户可以设置定时器自动重装速度以控制自己的频率。设置 T0OE 和 T2OE SFR 可输出这些波形。

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	PWM1OE	PWM0OE	TCOE	T2OE	–	–	–	T0OE
R/W	R/W	R/W	R/W	R/W	–	–	–	R/W
Reset	0	0	0	0	–	–	–	0

A6h.4 **T2OE**: Timer2 信号输出 (T2O) 使能

0: 禁止 Timer2 溢出除以 2 输出到 P1.0

1: 允许 Timer2 溢出除以 2 输出到 P1.0

A6h.0 **T0OE**: Timer0 信号输出 (T0O) 控制

0: 禁止 “Timer0 溢出除以 64” 输出到 P3.4

1: 允许 “Timer0 溢出除以 64” 输出到 P3.4

9. UARTs

F8273/76/74/78 拥有两组 UART，分别是 UART1 及 UART2。

UART1 使用 SCON 和 SBUF 的 SFR。SCON 是控制寄存器，SBUF 是数据寄存器。数据被写入到 SBUF 用于传输，而 SBUF 被读取时，可获得接收数据。接收到的数据和发送数据寄存器是完全独立的。除了标准的 8051 的全双工模式，该芯片还提供了一线模式。如果 UART1W 位被设置，发送和接收数据采用 P3.1 脚。

UART2 使用 SCON2 和 SBUF2 的 SFR。SCON2 是控制寄存器，SBUF2 是数据寄存器。数据被写入到 SBUF2 用于传输，而 SBUF2 被读取时，可获得接收数据。接收到的数据和发送数据寄存器是完全独立的。UART 仅支持模式 1 及模式 3，不支持模式 0 及模式 2，亦不支持 Timer2 和一线模式，其余功能同 UART1。此外 SMOD 的双波特率控制位对于 UART2 是无效的，UART2 固定使用双倍波特率 (SMOD 强制为 1)。

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

87h.7 **SMOD**: UART1 双波特率控制位
0: 禁止 UART1 双波特率控制位
1: 允许 UART1 双波特率控制位

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	TKFJMP	WDTPSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.7 **UART1W**: UART1 一线 UART 模式使能, TXD/RXD 都使用 P3.1 脚
0: UART1 禁止一线 UART 模式
1: UART1 允许一线 UART 模式

SFR 98h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

98h.7~6 **SM0, SM1**: UART1 串行端口模式选择位 0, 1
00: 模式 0: 8 位移位寄存器, 波特率 = $F_{\text{SYSCLK}}/2$
01: 模式 1: 8 位 UART1, 波特率可变
10: 模式 2: 9 位 UART1, 波特率 = $F_{\text{SYSCLK}}/32$ 或 $/64$
11: 模式 3: 9 位 UART1, 波特率可变

98h.5 **SM2**: 串行端口模式选择位 2
SM2 通过一线串行方式实现多机通信并修改上述如下。在模式 2 和 3, 当 SM2 设置, 如果接收到的第九位数据为 0, 那么接收中断不会产生。在模式 1 中, 除非有效的停止位被接收, 接收中断不会产生。在模式 0 中, SM2 应为 0。

98h.4 **REN**: UART1 接收使能
0: 禁止接收
1: 允许接收

98h.3 **TB8**: 发送位 8, 在模式 2 和 3 为发送第九位

98h.2 **RB8**: 接收位 8, 包含模式 2 和 3 的接收第九位, 如果 SM2 = 0, 为模式 1 停止位

- 98h.1 **TI**: 发送中断标志
由 H/W 设置在模式 0 第 8 位的结束时, 或在其他模式中停止位的开始时。必须通过 S/W 清零。
- 98h.0 **RI**: 接收中断标志
由 H/W 设置在模式 0 第 8 位的结束时, 或在其他模式下停止位的取样点。必须通过 S/W 清零。

SFR 99h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF	SBUF							
R/W	R/W							
Reset	—	—	—	—	—	—	—	—

99h.7~0 **SBUF**: UART1 发送和接收数据。发送写入该位置数据和接收从该位置读取数据, 但路径是独立的。

SFR 8Eh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCON2	SM	—	—	REN2	TB82	RB82	TI2	RI2
R/W	R/W	—	—	R/W	R/W	R/W	R/W	R/W
Reset	0	—	—	0	0	0	0	0

- 8Eh.7 **SM**: UART2 串行端口模式选择位
0: 模式 1: 8 位 UART1, 波特率可变
1: 模式 3: 9 位 UART1, 波特率可变
(UART2 不支持模式 0 及模式 2)
- 8Eh.4 **REN2**: UART2 接收使能
0: 禁止接收
1: 允许接收
- 8Eh.3 **TB82**: 发送位 8, 在模式 3 为发送第九位
- 8Eh.2 **RB82**: 接收位 8, 包含模式 3 的接收第九位
- 8Eh.1 **TI2**: 发送中断标志
由 H/W 设置在模式 1 或模式 3 中停止位的开始时。必须通过 S/W 清零。
- 8Eh.0 **RI2**: 接收中断标志
由 H/W 设置在模式 1 或模式 3 下停止位的取样点。必须通过 S/W 清零。

SFR 8Fh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF	SBUF2							
R/W	R/W							
Reset	—	—	—	—	—	—	—	—

8Fh.7~0 **SBUF**: UART2 发送和接收数据。发送写入该位置数据和接收从该位置读取数据, 但路径是独立的。

F_{SYSCLK} 表示系统时钟频率。

- 模式 0: (UART2 不支持)
波特率 = $F_{\text{SYSCLK}}/2$
- 模式 1, 3: 如果使用 Timer1 自动重载模式
波特率 = $(\text{SMOD}+1) \times F_{\text{SYSCLK}}/(32 \times 2 \times (256 - \text{TH1}))$
- 模式 1, 3: 如果使用 Time2 (UART2 不支持)
波特率 = $\text{Timer2 overflow rate}/16 = F_{\text{SYSCLK}}/(32 \times (65536 - \text{RCP2H}, \text{RCP2L}))$
- 模式 2: (UART2 不支持)
波特率 = $(\text{SMOD}+1) \times F_{\text{SYSCLK}}/64$

注: 另请参阅第 6 章的有关 UART 中断使能和优先级的更多信息。

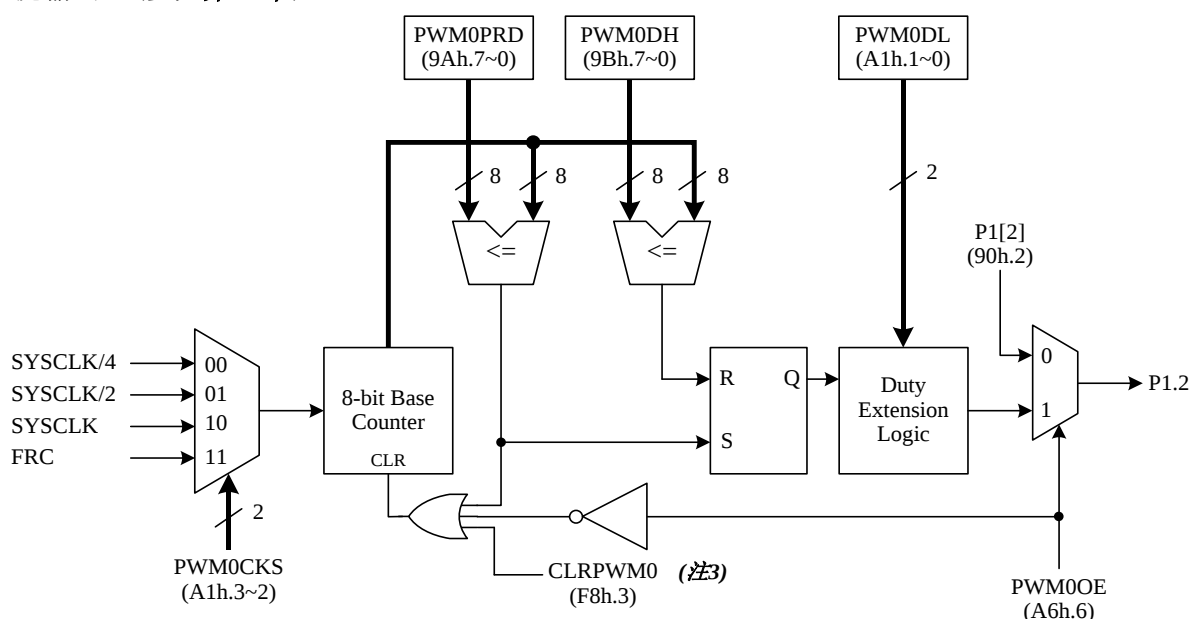
注: 同时参阅第 8 章有关 Timer2 如何控制 UART 时钟的详细信息。

10. PWMs

该芯片有三个独立的 PWM 模块, PWM0, PWM1 和 PWM2。在 PWM 可于 PWM 基础时钟上产生 1024 占空比的分辨率的固定频率的波形。PWM 时钟可以选择 FRC (FRC) 或 F_{SYSCLK} 除以 1, 2 或 4。LSB 扩展技术允许 PWM 以“PWM 时钟除以 256”而不是在“PWM 时钟除以 1024”的频率运行, 这意味着 PWM 的速度比正常运行的频率快四倍。更高的 PWM 频率的优点是后 RC 滤波器可将 PWM 信号转换成更稳定的直流电压水平。

当 PWM 占空比寄存器的 8 位 MSB 和 8 位基计数器相匹配时, PWM 输出信号被复位为低电平。当基计数器计满时, 由 PWM 占空比寄存器的 2 位 LSB 决定是否立即或延后一个时钟周期再将 PWM 输出信号设置为高电平。PWM 周期可通过写入周期值到 8 位的 PWM 周期寄存器中设置。

引脚模式的 SFR 控制 PWM 的输出波形格式。模式 1 使 PWM 为开漏输出, 模式 2 使 PWM 为 CMOS 推挽输出。(参见第 7 章)



PWM0 结构

注3: PWM1 和 PWM2 的结构几乎相同, 除了 PWM1 和 PWM2 没有像 PWM0 一样有清除使能位。

SFR 9Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRD	PWM0PRD							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

9Ah.7~0 PWM0PRD: PWM0 周期

SFR 9Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DH	PWM0DH							
R/W	R/W							
Reset	1	0	0	0	0	0	0	0

9Bh.7~0 PWM0DH: PWM0 占空比的高字节

每当 8 位基计数器与 8 位 PWM0DH 匹配时 PWM0 输出信号被复位为低电平。

SFR 9Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRD	PWM1PRD							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

9Ch.7~0 **PWM1PRD**:PWM1 周期

SFR 9Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DH	PWM1DH							
R/W	R/W							
Reset	1	0	0	0	0	0	0	0

9Dh.7~0 **PWM1DH**:PWM1 占空比的高字节

每当 8 位基计数器与 8 位 PWM1DH 匹配时 PWM 输出信号被复位为低电平。

SFR A1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON	PWM1CKS		PWM1DL		PWM0CKS		PWM0DL	
R/W	R/W		R/W		R/W		R/W	
Reset	1	0	0	0	1	0	0	0

A1h.7~6 **PWM1CKS**:PWM1 时钟源

00:F_{SYSCLK}/4

01:F_{SYSCLK}/2

10:F_{SYSCLK}

11:FRC

A1h.5~4 **PWM1DL**:PWM1 占空比的低字节

当基计数器计满时(=PWM1PRD), 由 PWM1DL 决定是否立即或延后一个时钟周期再将 PWM1 输出信号设置为高电平。

A1h.3~2 **PWM0CKS**:PWM0 时钟源

00:F_{SYSCLK}/4

01:F_{SYSCLK}/2

10:F_{SYSCLK}

11:FRC

A1h.1~0 **PWM0DL**:PWM0 占空比的低字节

当基计数器计满时(=PWM0PRD), 由 PWM0DL 决定是否立即或延后一个时钟周期再将 PWM0 输出信号设置为高电平。

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	PWM1OE	PWM0OE	TCOE	T2OE	—	—	—	T0OE
R/W	R/W	R/W	R/W	R/W	—	—	—	R/W
Reset	0	0	0	0	—	—	—	0

A6h.7 **PWM1OE**:PWM1 信号输出使能

0:禁止 PWM1 信号输出到 P1.3

1:允许 PWM1 信号输出到 P1.3

A6h.6 **PWM0OE**:PWM0 信号输出使能

0:禁止 PWM0 信号输出到 P1.2

1:允许 PWM0 信号输出到 P1.2

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F8h.3 **CLRPWM0**:PWM0 清除使能

0:PWM0 运行

1:PWM0 清除并停止

SFR 9Eh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2PRD	PWM2PRD							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

9Eh.7~0 **PWM2PRD**: PWM2 周期

SFR 9Fh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2DH	PWM2DH							
R/W	R/W							
Reset	1	0	0	0	0	0	0	0

9Fh.7~0 **PWM2DH**: PWM2 占空比的高字节

每当 8 位基计数器与 8 位 PWM2DH 匹配时 PWM 输出信号被复位为低电平。

SFR A7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON2	—	—	—	PWM2OE	PWM2CKS		PWM2DL	
R/W	—	—	—	R/W	R/W		R/W	
Reset	—	—	—	0	1	0	0	0

A7h.4 **PWM2OE**: PWM2 信号输出使能

0: 禁止 PWM2 信号输出到 P1.6

1: 允许 PWM2 信号输出到 P1.6

A7h.3~2 **PWM2CKS**: PWM2 时钟源

00: $F_{\text{SYSCLK}}/4$

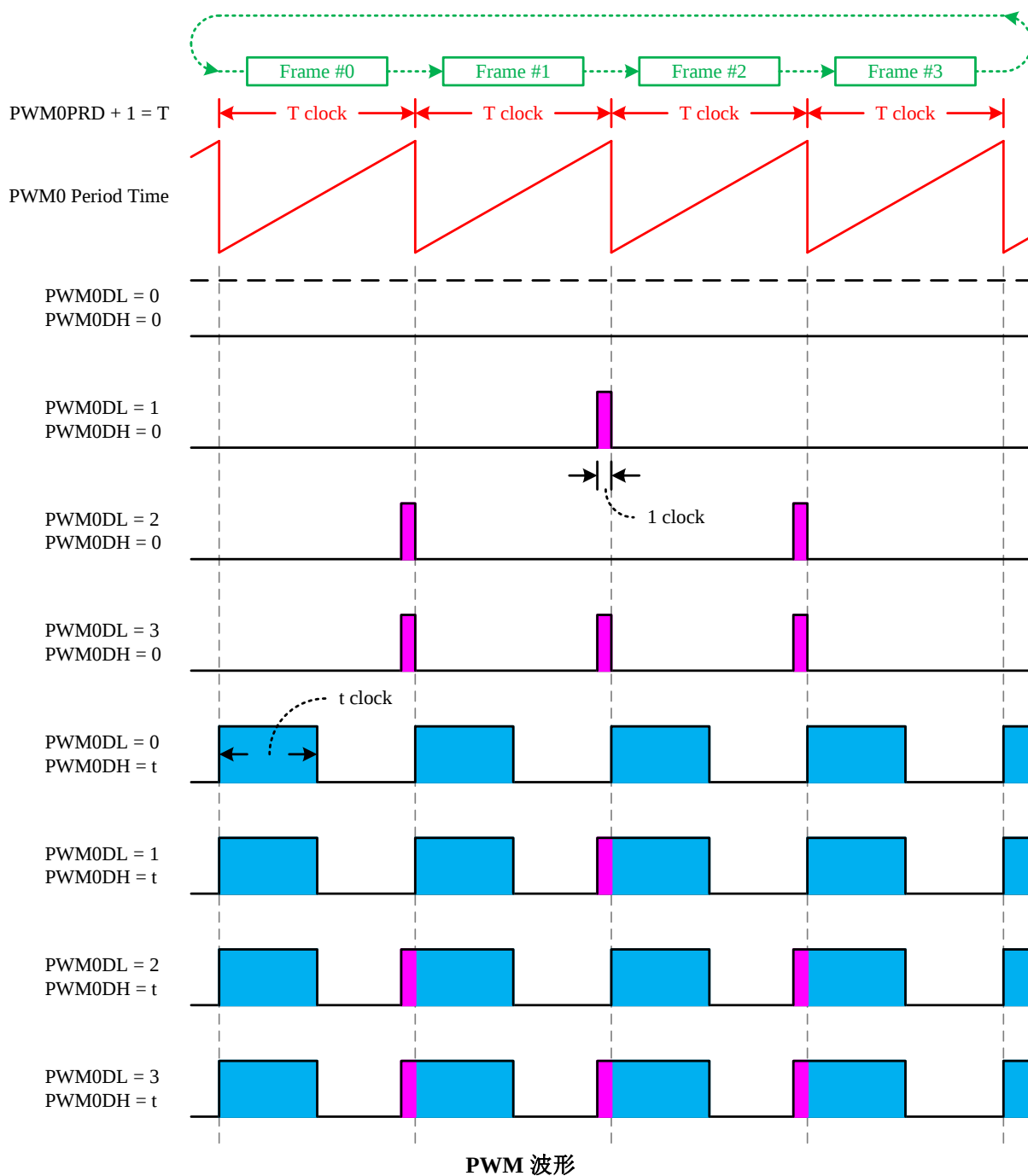
01: $F_{\text{SYSCLK}}/2$

10: F_{SYSCLK}

11: FRC

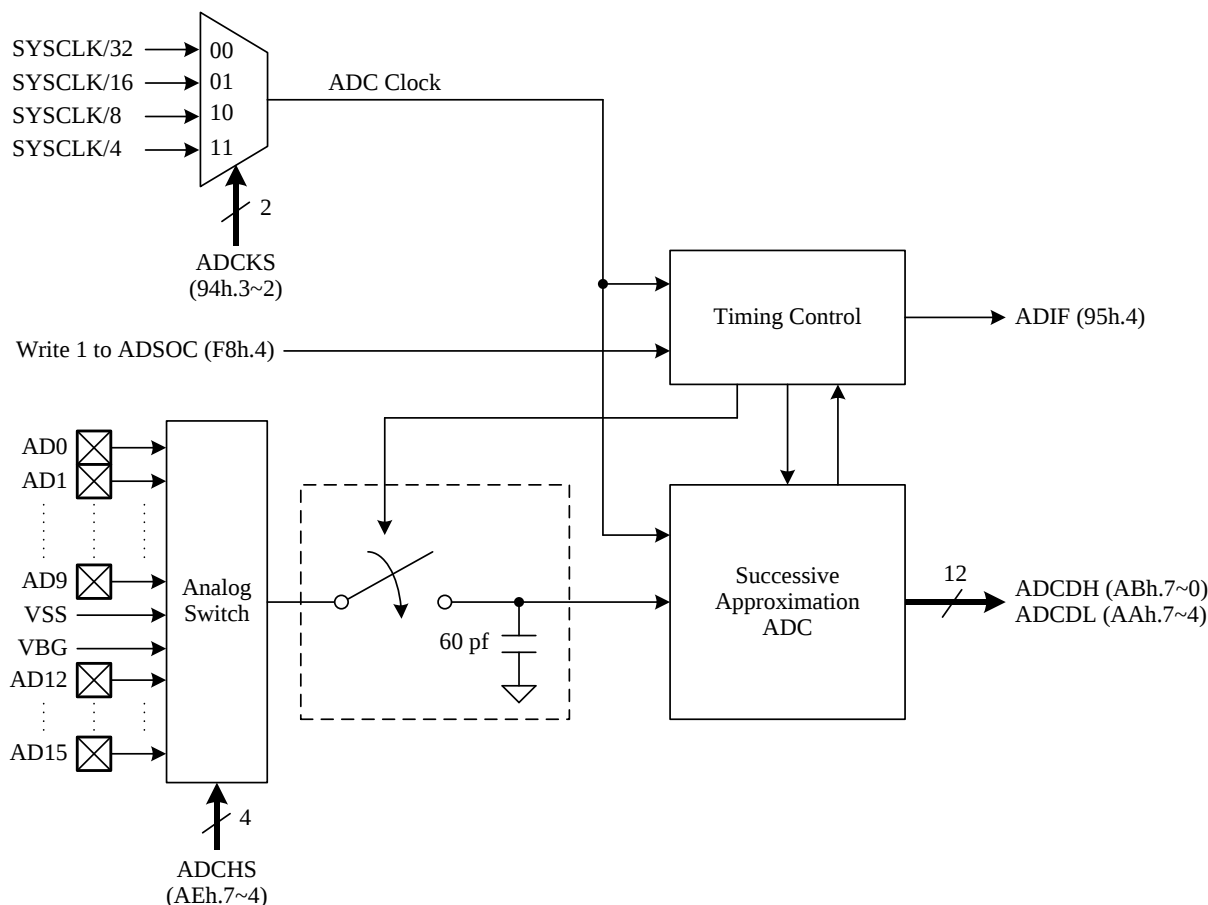
A7h.1~0 **PWM2DL**: PWM2 占空比的低字节

当基计数器计满时(=PWM2PRD), 由 PWM2DL 决定是否立即或延后一个时钟周期再将 PWM2 输出信号设置为高电平。



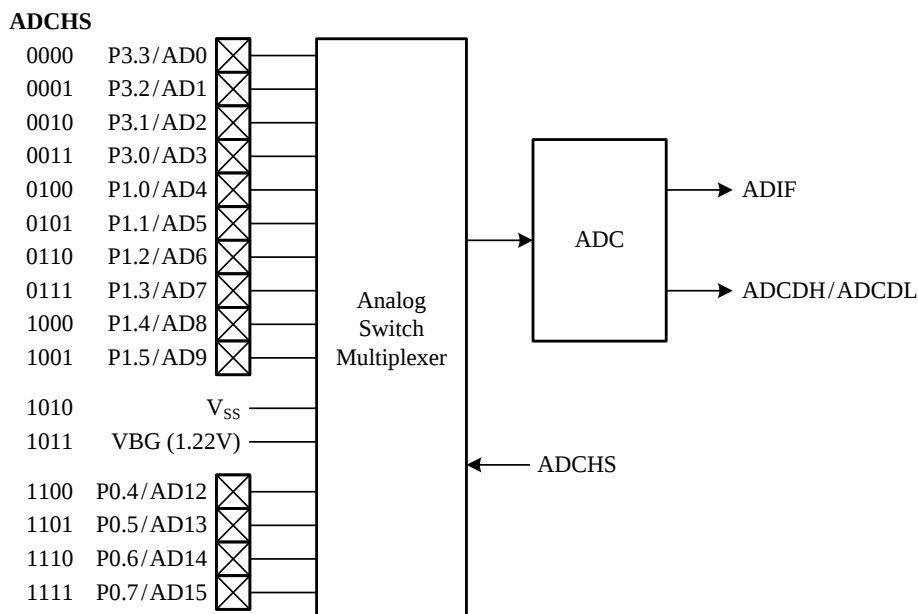
11. ADC

该芯片提供了一个 12 位 ADC 包括了 16 通道模拟输入多路复用器, 控制寄存器, 时钟发生器, 12 位逐次逼近寄存器和输出数据寄存器。使用 ADC, 首先要设置 ADCKS 位选择合适的 ADC 时钟频率, 它必须小于 1 MHz。然后, 设置 ADSOC 位启动 ADC 转换, 在转换结束 H/W 将自动清除它。转换结束后 H/W 将设置 ADIF 位, 当 ADC 中断使能, 并产生一个中断。ADIF 位可以通过写 0 到该位或写 1 至 ADSOC 清零。因为某些信道和触摸按键通道共享, ADC 的通道必须和触摸按键信道不同配置, 以避免影响到通道的输入灵敏度。模拟输入电平必须保持从 V_{SS} 到 V_{CC} 的范围内。



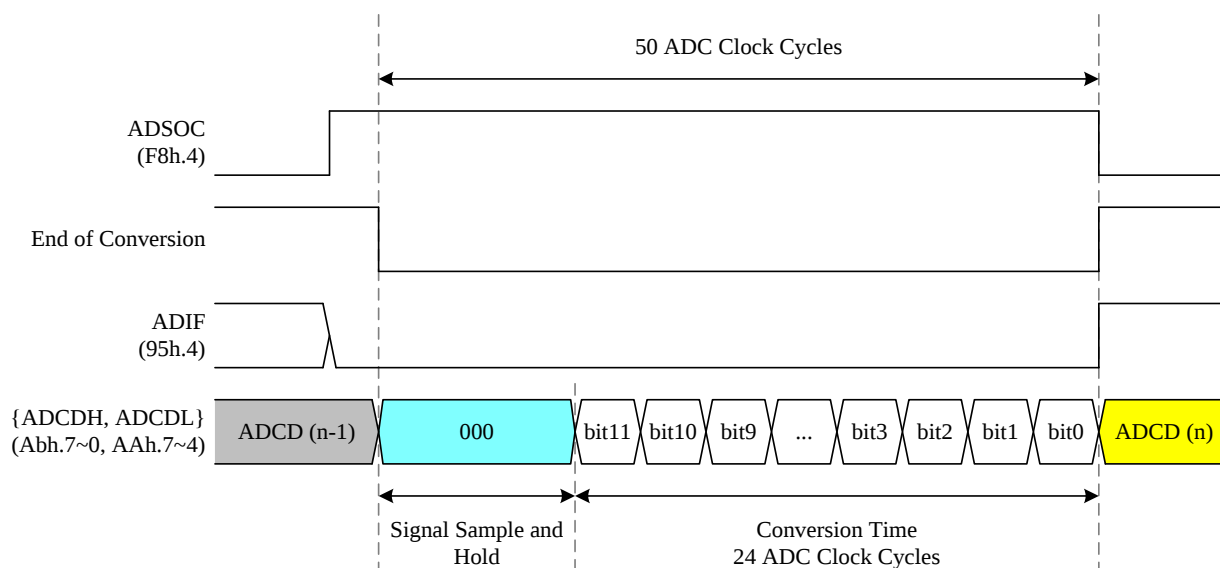
11.1 ADC 通道

12 位 ADC，一共有 16 个通道，指定为 AD0~AD9, AD12~AD15, V_{SS} 和 VBG。ADC 通道通过模拟开关多路复用器连接到模拟输入引脚。模拟开关多路复用器由 ADCHS 寄存器控制。该芯片提供多达 14 个模拟输入引脚，指定为 AD0~AD9 和 AD12~AD15。此外，还有两个模拟输入引脚连接参考电压。当 ADCHS 设置为 1010b 时，模拟输入将连接到 V_{SS} ，当 ADCHS 设置为 1011b 时，模拟输入将连接到 VBG。VBG 是 1.22V 的内部基准电压源。在 ADC 通道设定后，ADC 模块即通过 ADCHS 之选择与 I/O 口连接，如果该 I/O 口是做为触摸按键使用，则会影响触摸按键功能。因此平时 ADC 未使用时，建议将 ADCHS 设为 1010b (V_{SS}) 或 1011b (VBG)，以断开 ADC 模块与 I/O 口之连接。



11.2 ADC 转换时间

转换时间是 ADC 转换电压所需要的时间。该 ADC 转换每个位需要两个 ADC 时钟周期，以及多个时钟周期进行输入电压采样和保持。一共需要 50 个 ADC 时钟周期以执行完全转化。当转换时间结束，ADIF 中断标志由 H/W 设置，12 位 A/D 转换结果被加载到 ADCDH 和 ADCDL 寄存器。



SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	TKFJMP	WDTPSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.3~2 **ADCKS: ADC 时钟频率选择**

00: $F_{SYSCLK}/32$

01: $F_{SYSCLK}/16$

10: $F_{SYSCLK}/8$

11: $F_{SYSCLK}/4$

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVD	—	TKIF	ADIF	—	IE2	P1IF	TF3
R/W	R	—	R/W	R/W	—	R/W	R/W	R/W
Reset	—	—	0	0	—	0	0	0

95h.4 **ADIF: ADC 中断标志**

于转换结束时由 H/W 设置。S/W 写入 EFh 到 INTFLG 或设置 ADSOC 位来清除该标志。

SFR AAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADTKDT	ADCDL				TKDH			
R/W	R				R			
Reset	—	—	—	—	—	—	—	—

AAh.7~4 **ADCDL: ADC 数据位 3~0**

SFR ABh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDH	ADCDH							
R/W	R							
Reset	—	—	—	—	—	—	—	—

ABh.7~0 **ADCDH: ADC 数据位 11~4**

SFR AEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CHSEL	ADCHS				TKCHS			
R/W	R/W				R/W			
Reset	1	1	1	1	1	1	1	1

A Eh.7~4 **ADCHS: ADC 通道选择**

0000: ADC0 (P3.3)

0001: ADC1 (P3.2)

0010: ADC2 (P3.1)

0011: ADC3 (P3.0)

0100: ADC4 (P1.0)

0101: ADC5 (P1.1)

0110: ADC6 (P1.2)

0111: ADC7 (P1.3)

1000: ADC8 (P1.4)

1001: ADC9 (P1.5)

1010: V_{SS}

1011: VBG (内部 Bandgap 基准电压源)

1100: AD12 (P0.4)

1101: AD13 (P0.5)

1110: AD14 (P0.6)

1111: AD15 (P0.7)

注: FW 必须关闭 Bandgap 以获得微小电流 (ADCHS ≠ 1011b)

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F8h.4 **ADSOC: 启动 ADC 转换**

设置 ADSOC 位启动 ADC 转换, ADSOC 位将由 H/W 于转换结束时被清除。S/W 也可以写 0 清除该标志。

注: 另请参阅第 6 章的有关 ADC 中断使能和优先级的更多信息。

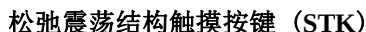
注: 同时参阅第 7 章有关 ADC 引脚输入设置的详细信息。



F8276/78 提供了 2 个实现手指触摸检测方便, 简单而可靠的触摸按键模式。一个是松弛震荡结构触摸按键 (STK), 另一个则是外部电容结构触摸按键 (CTK)。使用松弛震荡架构触摸按键 (STK), 在大多数应用程序中, 它不需要任何外部组件。而使用外接电容结构触摸按键 (CTK), 也只需要在 CLD 引脚上外接一个电容。该设备支持 16 个通道触摸按键检测。

触摸按键 P1MODx/P3MODx 设置	STK	CTK
引脚是触摸按键, 闲置	驱动低 (模式 2)	上拉 (模式 0) 或 驱动高 (模式 2)
引脚是触摸按键, 扫描		

设置 TKMODS=1, 可以选择松弛震荡结构触摸按键。在 STK 模式中, 有两个振荡器: 参考时钟 (RCK) 和触摸时钟 (TCK)。它们分别连接到参考计数器和数据计数器。可以通过设置 TKREFC, 来调整 RCK 的频率。参考计数器用于控制转换时间。从开始触摸按键转换到结束, 通过设置 TKTMR 决定需要多少个 RCK 振荡周期 (0 到 4096)。转换结束后, 用户可以从数据计数器获取 TKDATA (TKDH, TKDL)。TKDATA 受手指触摸影响, 当手指触摸让 TCK 变慢时, TKDATA 的值小于无手指触摸的值。根据 TKDATA 的不同, 用户可以检查是否被触摸。藉由设定 TKFDB=1, 则可使 TKDATA 的值加倍。另一方面, 设定 TKRCKF (频率选择) 可以调整 TK 系统的整体频率 (包含 TCK 跟 RCK)。TKREFC 则仅控制 RCK 的频率。设置 TKFJMP=1, 可自动调变 TCK 频率。设置 TKCHSR=1, 可选择芯片内部的参考键。



启动扫描时，使用者先设置 TKPD = 0，然后将 TKSOC 设置为 1 开始触摸按键转换，TKSOC 位可在转换结束时自动清零。但是，如果 SYSCLK 太慢，由于时钟采样率，H / W 可能无法清除 TKSOC。TKEOC = 0 表示转换正在进行中。TKEOC = 1 表示转换完成，触摸按键计数结果存储在 12 位 TK 数据计数器 TKDH 和 TKDL 中。TKIF 将在第一次启用触摸按键功能（TKPD = 0）时激活，用户应在 TKPD=0 后清除 TKIF。

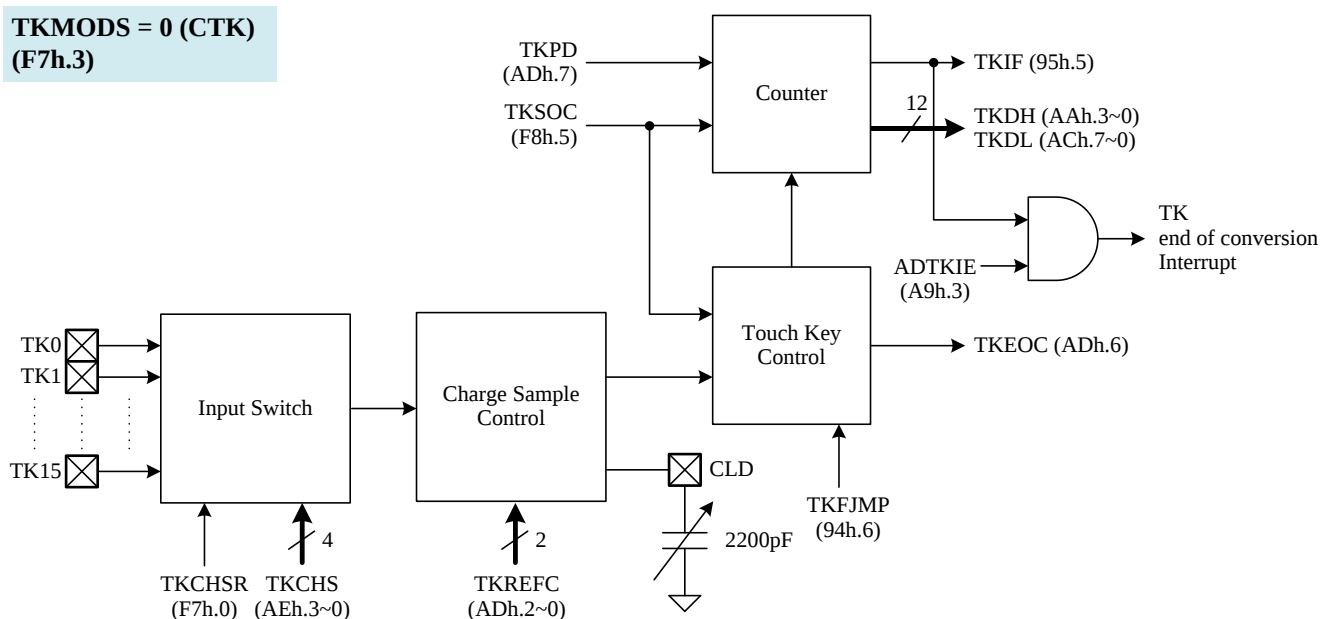


```
MOV      AUX2, #04h          ; TKMODS=1 (select STK)
MOV      TKCON, #04h         ; TKPD=0, TKRCKF=0, TKFDB=0
                                   ; TKREFC=4h

MOV      TKTMRH, #004h
MOV      TKTMRH, #000h      ; TKTMR=400h
MOV      CHSEL, #0F0h       ; Select TK0
MOV      INTFLG, #1101111b ; clear TKIF
ORL      INTE1, #008h
ORL      IE, #080h
SETB     TKSOC
```

设置 TKMODS=0, 可以选择外部电容结构触摸按键。在 CTK 模式中, 需在 CLD 引脚上外接一个电容。要启动扫描, 用户需指派 TKPD=0, 然后设置 TKSOC 位以启动触摸按键转换, TKSOC 位可以于转换结束时自动清除。然而, 如果系统时钟的速度太慢, 由于时钟采样率 H/W 可能无法清除 TKSOC。TKEOC=0 表示转换正在进行中。TKEOC=1 表示转换结束, 并将触摸按键的计数值存储到 12 位 TK 数据计数(TKDH 和 TKDL)。TKEOC=1 后, 用户必须等待至少 50 μ s 再进行下一次转换。如果转换的数值超出周期范围。降低/提高 TKREFC 可以减少/增加 TK 数据计数以适应系统板的情况。

TKMODS = 0 (CTK)
(F7h.3)



外部电容结构触摸按键 (CTK)

◇ Example:

```

MOV    AUX2, #00h      ; TKMODS=0 (select CTK)
MOV    TKCON, #04h     ; TKPD=0, TKREFC=4h

MOV    CHSEL, #0F2h    ; Select TK2
MOV    INTFLG, #11011111b ; clear TKIF
ORL    INTE1, #008h
ORL    IE, #080h
SETB   TKSOC
    
```

当 TKCHSR=0 且 TKPD=0 时, 在 TKCHS 设定后, 触摸按键模块即通过 TKCHS 之选择与 I/O 口连接。如果该 I/O 口是做为其他用途使用, 功能必定受影响。因此平时触摸按键未使用时, 建议设定 TKCHSR=1 或 TKPD=1, 以断开触摸按键模块与 I/O 口之连接。

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	TKFJMP	WDTOSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.6 **TKFJMP: (STK) TCK 频率自动调整选项**
(CTK) 内部触摸时钟自动调变模式
 0: 禁用
 1: 启用

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVD	—	TKIF	ADIF	—	IE2	P1IF	TF3
R/W	R	—	R/W	R/W	—	R/W	R/W	R/W
Reset	—	—	0	0	—	0	0	0

95h.5 **TKIF: 触摸按键中断标志**
 如果 SYSCLK 足够快, 则在触摸按键转换结束时通过 H/W 设置。S/W 将 DFh 写入 INTFLG 或将 TKSOC 位置 1 以清除该标志。

SFR AAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADTKDT	ADCDL				TKDH			
R/W	R				R			
Reset	—	—	—	—	—	—	—	—

AAh.3~0 **TKDH: 触摸按键计数器数据位 10~8**

SFR Ach	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKDL	TKDL							
R/W	R							
Reset	—	—	—	—	—	—	—	—

ACh.7~0 **TKDL: 触摸按键计数器数据位 7~0**

SFR ADh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKCON	TKPD	TKEOC	TKRCKF		TKFDB	TKREFC		
R/W	R/W	R	R/W		R/W	R/W		
Reset	1	0	0	0	0	1	0	0

ADh.7 **TKPD**: 触摸按键停止

0: 触摸按键启用

1: 触摸按键禁用

ADh.6 **TKEOC**: 触摸按键转换结束标志, TKEOC 在 TKSOC = 1 后可能有 3uS 延迟, 因此 F/W 必须等待足够的时间才能轮询此标志

0: 表示转换正在进行中

1: 表示转换已完成

ADh.5~4 **TKRCKF**: 触摸按键时钟 (RCK/TCK) 频率选择 (此功能 CTK 无效)

00: 触摸按键时钟频率最慢

...

11: 触摸按键时钟频率最慢

ADh.3 **TKFDB**: 触摸按键数据双倍计数启用 (此功能 CTK 无效)

0: 选择正常的数据计数

1: 选择双倍的数据计数

ADh.2~0 **TKREFC**:

(STK) 触摸按键参考时钟 (RCK) 电容选择

000: 最小 (转换时间最短)

...

111: 最大 (转换时间最长)

(CTK) 触摸按键转换时间选择

000: 转换时间最短

...

111: 转换时间最长

SFR B4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKTMRL	TKTMRL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

B4h.7~0 **TKTMRL**: 触摸按键参考计数器 LSB [7~0] (此功能 CTK 无效)

SFR B5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKTMRH	—	—	—	—	TKTMRH			
R/W	—	—	—	—	R/W			
Reset	—	—	—	—	0	0	0	0

B5h.3~0 **TKTMRH**: 触摸按键参考计数器 MSB [11~8] (此功能 CTK 无效)

SFR AEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CHSEL	ADCHS				TKCHS			
R/W	R/W				R/W			
Reset	1	1	1	1	1	1	1	1

AEh.3~0 **TKCHS**: 触摸按键通道选择

0000: TK0 (P3.3)
0001: TK1 (P3.2)
0010: TK2 (P3.1)
0011: TK3 (P3.0)
0100: TK4 (P1.0)
0101: TK5 (P1.1)
0110: TK6 (P1.2)
0111: TK7 (P1.3)
1000: TK8 (P1.4)
1001: TK9 (P1.6)
1010: TK10 (P1.7)
1011: TK11 (P3.6)
1100: TK12 (P3.5)
1101: TK13 (P3.4)
1110: TK14 (P1.5)
1111: TK15 (P3.7)

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSVAV	VBGOUT	TKMODS	IAPTE		TKCHSR
R/W	R/W	R/W	R/W	R/W	R/W	R/W		R/W
Reset	0	0	0	0	1	1	1	0

F7h.3 **TKMODS**: 触摸按键模式选择

0: 选择触摸按键模式为外部电容结构触摸按键 (CTK)
1: 选择触摸按键模式为松弛震荡结构触摸按键 (STK)

F7h.0 **TKCHSR**: 触摸按键通道选择内部参考键控制位

0: 触摸按键通道选择依据 TKCHS 设置
1: 触摸按键通道选择内部参考键 (忽略 TKCHS 设置)

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

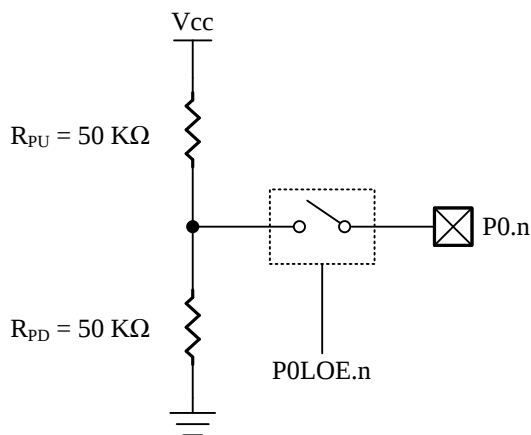
F8h.5 **TKSOC**: 触摸按键转换开始

设置1以开始触摸按键转换。如果SYSCLK足够快,则在转换结束时,该位将由H/W清零。S/W也可以写0来清除此标志。

注: 有关触摸按键中断启用和优先级的更多信息,另请参阅第6节

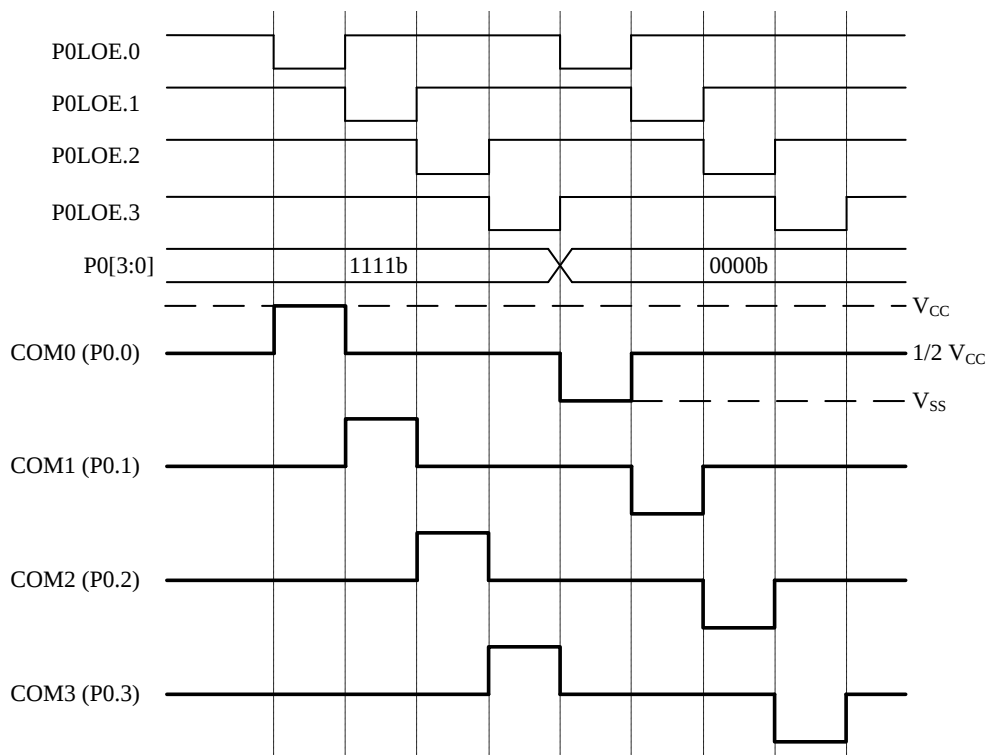
13. S/W 控制的 LCD 驱动器

F8273/76/74/78 支持由 S/W 控制的 LCD 驱动器。LCD 驱动器通过 8 COMs 和 18 SEGs 驱动 144 点 LCD 面板。8 个 COM 分别为 P0.0~P0.7, 而剩余的引脚用来当做 SEG。**F8273/76/74/78** 的 LCD 驱动器仅能驱动二分之一偏压, 透过设置 I/O 端口模式达成。当 P0.0~P0.7 的 P0LOE=1 时, COM0~COM7 二分之一偏压输出。



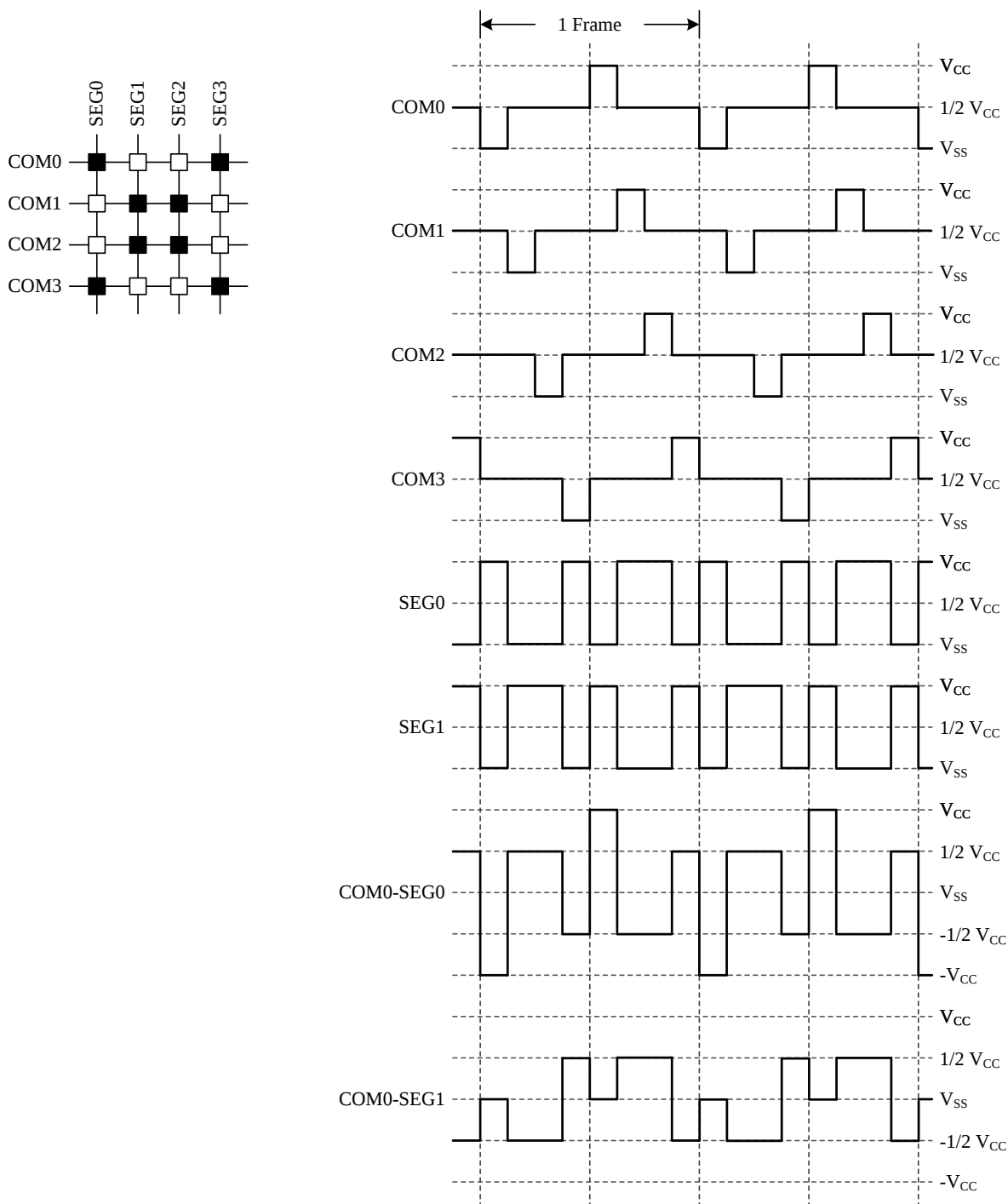
LCD COM0~7 偏压电路

任何 COM 引脚上的重复波形输出的频率可以用来表示 LCD 的帧速率。下图显示了一个 LCD 帧。



S/W 控制的 LCD COM0~3 扫描

1/4 占空比, 1/2 偏压输出波形



SFR 92h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0OE	P0LOE							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

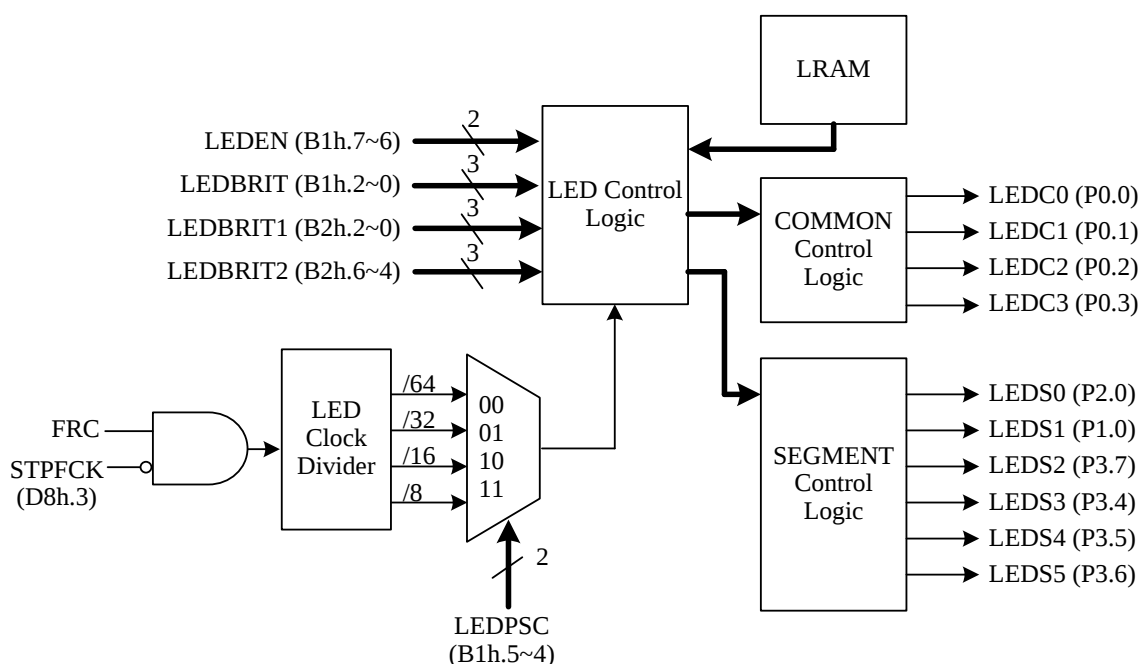
92h.7~0 P0LOE: P0.7~P0.0 LCD 1/2 偏压输出使能控制

0: 关闭

1: 开启

14. LED 控制器/驱动器

F8273/76/74/78 采用矩阵式正反扫描 LED 控制器和驱动器。比起传统 LED 扫描，矩阵式正反扫描使用相同数量引脚能驱动较多的像素点。而 **F8273/76/74/78** 提供了最多 10 根引脚 (LEDC0~C3, LEDS0~S5) 可共同驱动一个 48 像素 LED 模块，且这 10 根引脚皆有较高的灌电流，可直接驱动 LED。此外，LED 控制器有三组 8 段不同亮度可弹性选择。为了避免 COM 信号变化时，造成 LED 的闪烁，**F8273/76/74/78** 的 LED SEG 信号有死区时间。在死区时间内，SEG 引脚将输出短暂不活动的信号，而不是立即改变信号。要开始 LED 扫描，只需要设置 LEDEN，接着 H/W 将会自动的控制引脚的状态。



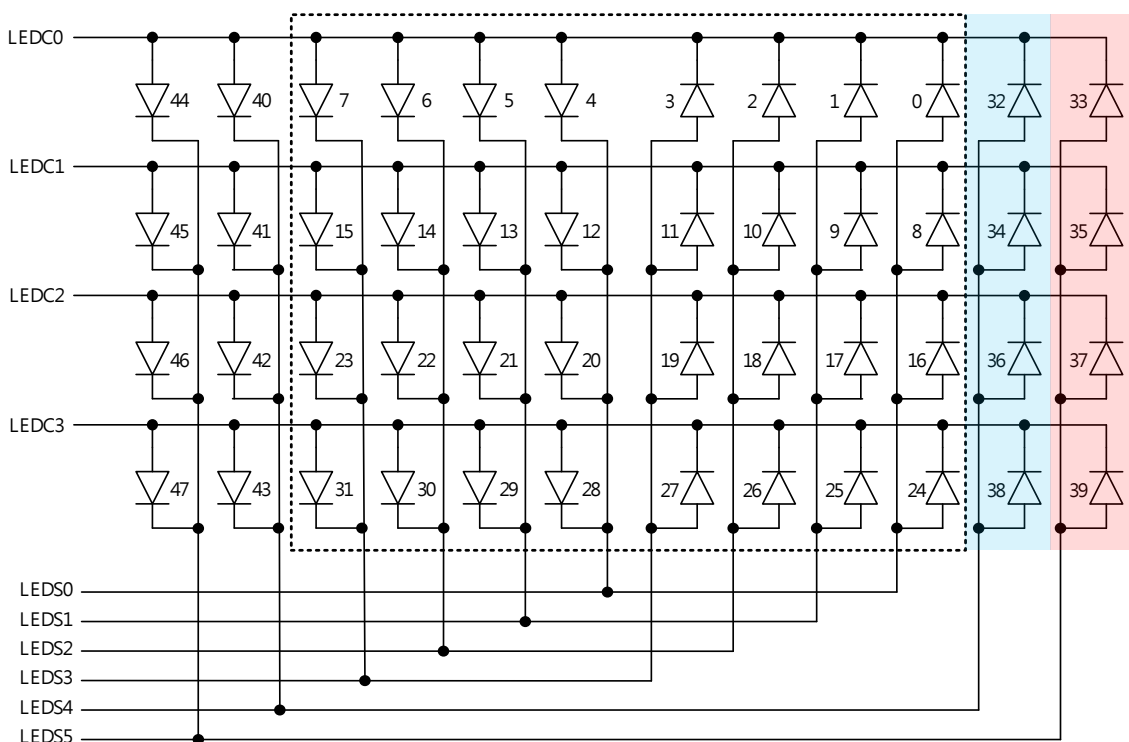
LEDEN	占空比	矩阵选择	最大驱动像素点
0	Disable	-	-
1	1/8	4COM x 4SEG	32 (4x4x2)
2	1/9	4COM x 5SEG	40 (4x5x2)
3	1/10	4COM x 6SEG	48 (4x6x2)

LRAM (外部数据存储)

Addr.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
F000h	SEG3-COM0+	SEG2-COM0+	SEG1-COM0+	SEG0-COM0+	COM0-SEG3+	COM0-SEG2+	COM0-SEG1+	COM0-SEG0+
F001h	SEG3-COM1+	SEG2-COM1+	SEG1-COM1+	SEG0-COM1+	COM1-SEG3+	COM1-SEG2+	COM1-SEG1+	COM1-SEG0+
F002h	SEG3-COM2+	SEG2-COM2+	SEG1-COM2+	SEG0-COM2+	COM2-SEG3+	COM2-SEG2+	COM2-SEG1+	COM2-SEG0+
F003h	SEG3-COM3+	SEG2-COM3+	SEG1-COM3+	SEG0-COM3+	COM3-SEG3+	COM3-SEG2+	COM3-SEG1+	COM3-SEG0+
F004h	COM3-SEG5+	COM3-SEG4+	COM2-SEG5+	COM2-SEG4+	COM1-SEG5+	COM1-SEG4+	COM0-SEG5+	COM0-SEG4+
F005h	SEG5-COM3+	SEG5-COM2+	SEG5-COM1+	SEG5-COM0+	SEG4-COM3+	SEG4-COM2+	SEG4-COM1+	SEG4-COM0+

Addr.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
F000h	7	6	5	4	3	2	1	0
F001h	15	14	13	12	11	10	9	8
F002h	23	22	21	20	19	18	17	16
F003h	31	30	29	28	27	26	25	24
F004h	39	38	37	36	35	34	33	32
F005h	47	46	45	44	43	42	41	40

LED 正反扫模式对应 LRAM 显示配置表



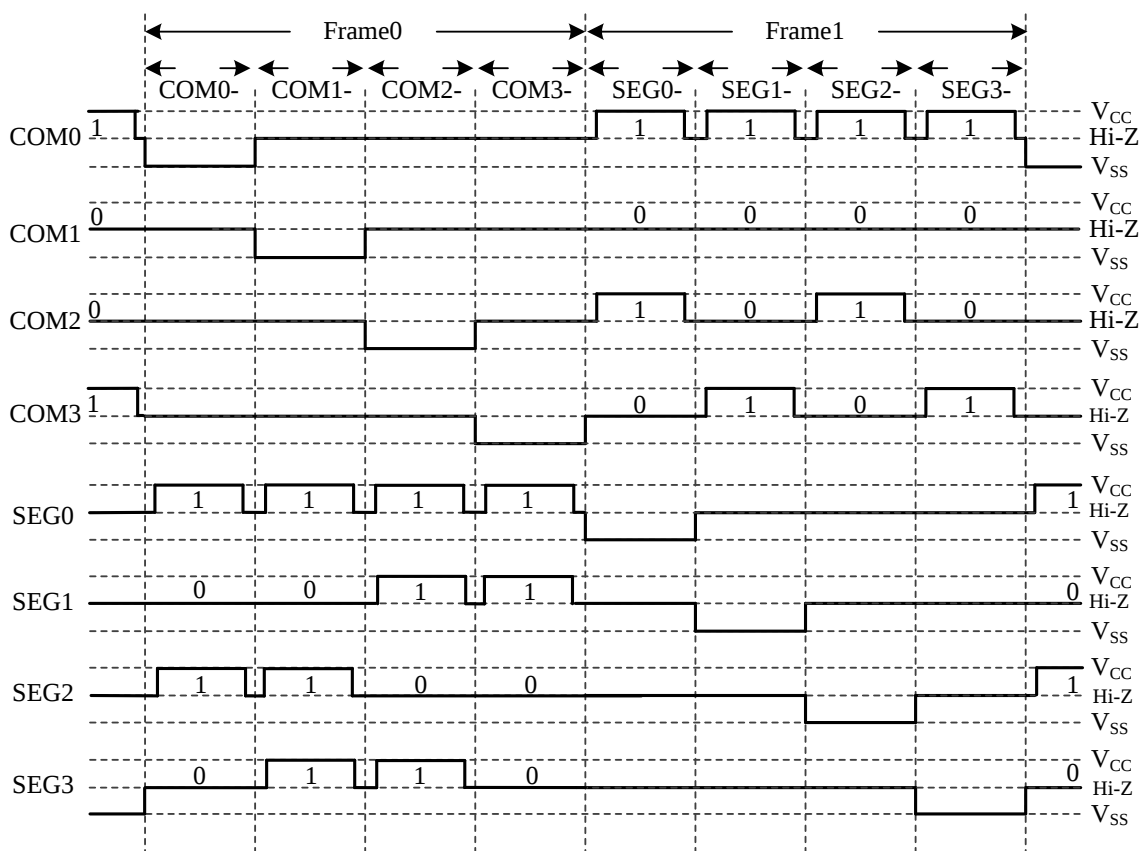
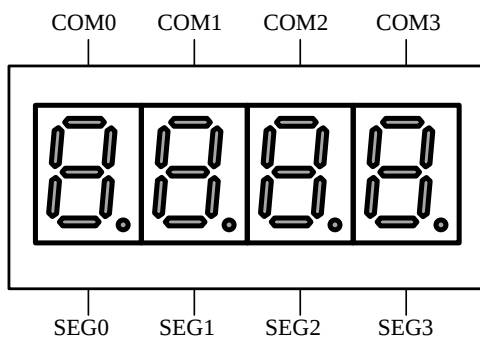
LED 4COM x 6SEG 正反扫模式对应像素点

注: LED 像素点 0~31, 40~47 的亮度由 LEDBRIT (B1h.2~0) 控制。

LED 像素点 32, 34, 36, 38 的亮度由 LEDBRIT1 (B2h.2~0) 控制。

LED 像素点 33, 35, 37, 39 的亮度由 LEDBRIT2 (B2h.6~4) 控制。

应用电路：4COM x 4SEG (1/8 占空比)



◇ Example:

```
MOV    DPTR, #0F000h    ; LEDRAM0
MOV    A, #0FFh
MOVX   @DPTR, A          ; F000h = FFh

MOV    LEDCON, #056h     ; LED duty = 1/8
                          ; LEDPSC = FRC/32
                          ; Brightness=6
```

SFR B1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCON	LEDEN		LEDPSC		—	LEDBRIT		
R/W	R/W		R/W		—	R/W		
Reset	0	0	0	0	—	1	0	0

B1h.7~6 **LEDEN**: LED使能及占空比选择

00: LED关闭

01: LED选择1/8占空比 (4COM x 4SEG)

10: LED选择1/9占空比 (4COM x 5SEG)

11: LED选择1/10占空比 (4COM x 6SEG)

B1h.5~4 **LEDPSC**: LED 时钟频率选择

00: LED 时钟选择 FRC 除以 64

01: LED 时钟选择 FRC 除以 32

10: LED 时钟选择 FRC 除以 16

11: LED 时钟选择 FRC 除以 8

B1h.2~0 **LEDBRIT**: LED COM0+ ~ COM3+ 及 SEG0+ ~ SEG3+ (LED 像素点 0~31, 40~47) 亮度选择

000: 0 级 (最暗)

...

111: 7 级 (最亮)

SFR B2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCON2	—	LEDBRIT2			—	LEDBRIT1		
R/W	—	R/W			—	R/W		
Reset	—	1	0	0	—	1	0	0

B2h.6~4 **LEDBRIT2**: LED SEG5+ (LED 像素点 33, 35, 37, 39) 亮度选择

000: 0 级 (最暗)

...

111: 7 级 (最亮)

B2h.2~0 **LEDBRIT1**: LED SEG4+ (LED 像素点 32, 34, 36, 38) 亮度选择

000: 0 级 (最暗)

...

111: 7 级 (最亮)

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	—	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	
Reset	0	0	—	0	0	0	1	1

D8h.3 **STPFCK**: 设为 1, 停止快时钟以节省慢钟/空闲模式的电力。

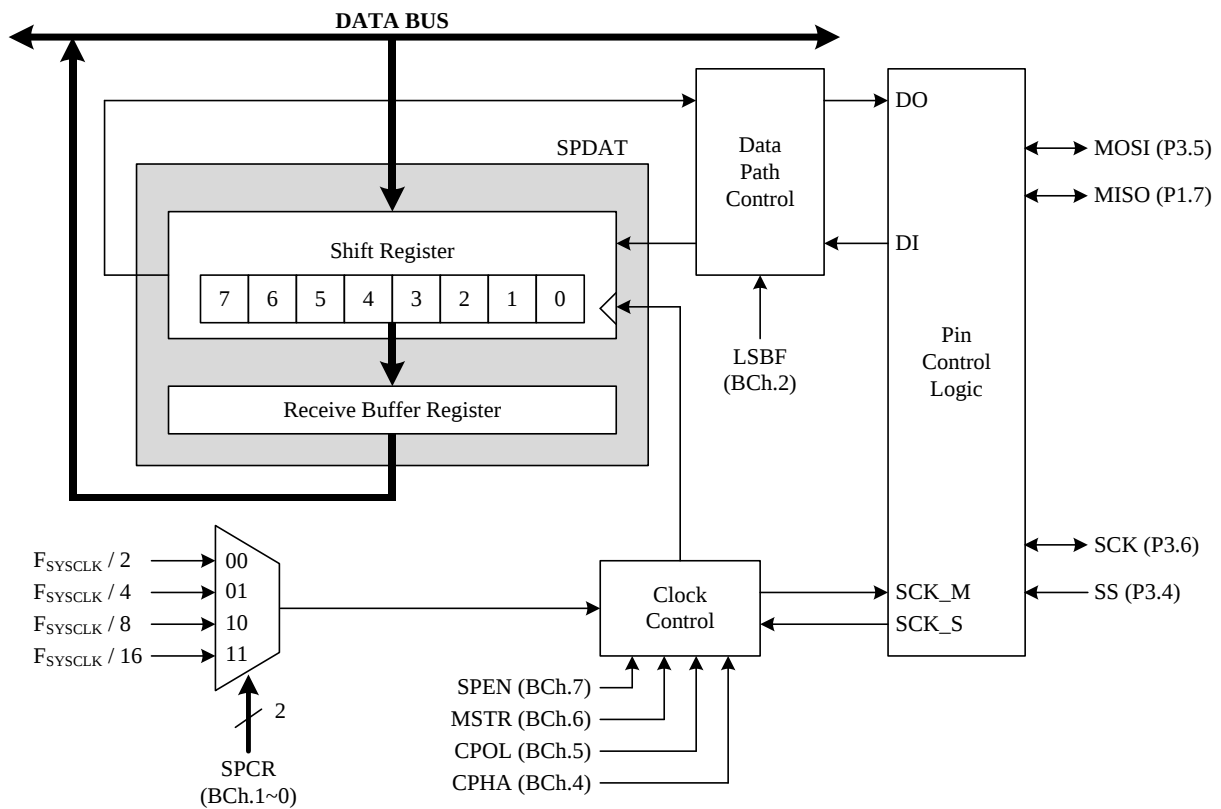
该位只能在慢钟模式时改变。

15. 串行外围界面 (SPI)

串行外围界面 (SPI) 模块能够全双工, 同步的进行 MCU 和外围设备之间的串行通信。外围设备可以是其它的 MCU, ADC, 传感器, 或闪存存储器等。SPI 运行在可达系统时钟除以二之时钟速率。韧带可以读取状态标志, 或者操作可被中断驱动。下图显示了 SPI 系统框图。

SPI 模块的功能包括:

- 主或从模式操作
- 3 线或 4 线模式操作
- 全双工操作
- 可编程的传输波特率
- 单接收缓冲区
- 串行时钟相位和极性选项
- MSB 优先或 LSB 优先移动可选



SPI功能引脚	P1/P3 模式	P1.n/P3.n SFR 数据
主模式, MISO	模式1	1
主模式, SCK, MOSI	模式2	X
从模式, MISO	模式2	X
从模式, SCK, MOSI	模式1	1
SS	模式1	1

SPI 端口模式设定

SPI 使用的四个信号说明如下。MOSI(P3.5)信号是主设备的输出和从设备的输入。该信号是当 SPI 工作在主模式时的输出, SPI 处于从模式下为输入。MISO(P1.7)信号是从设备的输出和主设备的输入。当 SPI 工作在主模式时的输入, SPI 处于从模式下为输出。数据是通过设置 LSBF 位决定优先传输最高位(MSB)或最低位(LSB)。SCK(P3.6)信号是主设备的输出和输入到从设备。它是用来同步主设备和从设备的 MOSI 和 MISO 线的数据。SPI 在主模式下提供 8 种可编程的时钟频率的 SCK 信号。SS(P3.4)信号是低电平有效的从机选择引脚。在 4 线从模式下, 该信号没有被选中(SS = 1)时会被忽略。当在 SPCON 中的 SSDIS 设置时, 在主或从模式下 SS 都会被忽略。在从模式和 SSDIS 被清零, 当 SS 为低电平, SPI 有效运行。在多重从模式下, 在同一时间只有一个从设备会被选择, 以避免对 MISO 线发生总线冲突。在主模式和 SSDIS 清零, 当 SS 为低电平, 在 SPSTA 中的 MODF 会被设置。对于多重主模式, 使能 SS 线, 以避免 MOSI 和 SCK 线被多个主设备驱动。

主模式

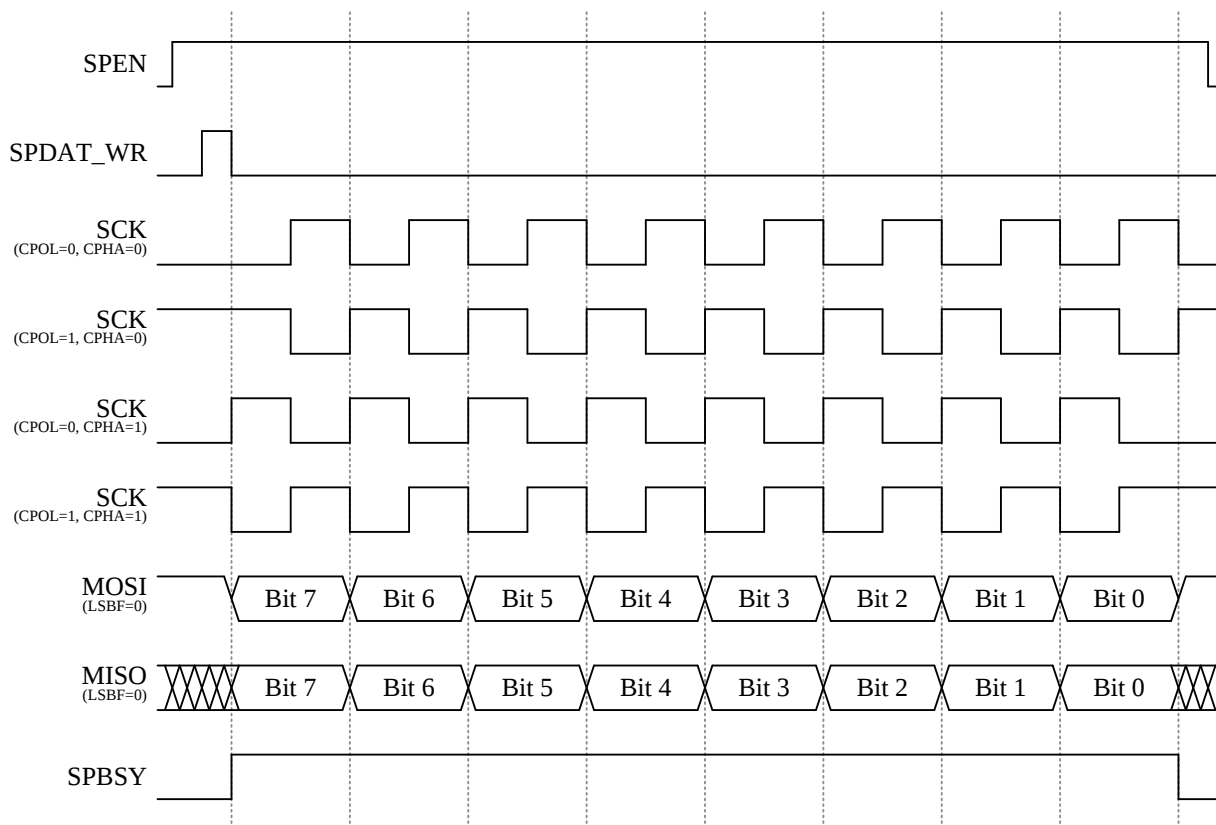
SPI 通过设置 SPCON 中的 MSTR 位以工作在主控模式。要开始传送, 先将数据写到 SPDAT。如果 SPBSY 位被清除, 数据将被转移到移位寄存器, 并开始移出到 MOSI 线上。在同时, 数据从 MISO 线移入从设备。当传输结束时在 SPSTA 中的 SPIF 位变为被设置, 则接收的数据被写入到接收缓冲器, 并将 SPSTA 中的 RCVBF 位设置。为了防止溢出条件, 软件必须在下一个字节进入移位寄存器之前先读取 SPDAT。当数据写入 SPDAT 时 SPBSY 位将会被设置以开始传送, 并在主控模式的第八个 SCK 周期结束时被清零。

从模式

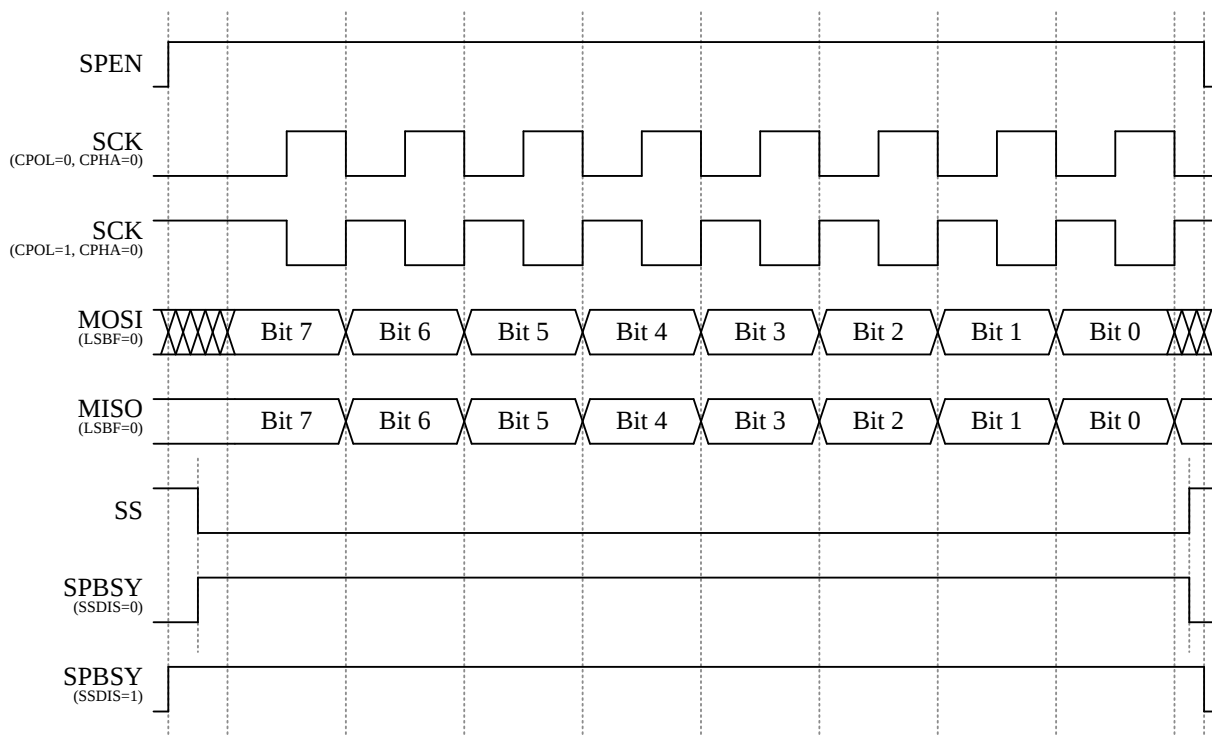
SPI 通过清除 SPCON 中的 MSTR 位成为从模式。如果 SSDIS 清零, 则传输开始当 SS 变低并保持低直到数据传送结束。如果 SSDIS 设置, 在 SPCON 中的 SPEN 位被设置时, 传输将会开始, 并不在意 SS。主设备的数据将通过 MOSI 线转移到移位寄存器, 并从移位寄存器移出到 MISO 线。当一个字节进入移位寄存器时, 如果 RCVBF 被清除, 数据将被传输到接收缓冲器。如果 RCVBF 设置, 较新的接收数据将不会传送到接收缓冲器而且 RCVOVF 位会被设置。当一个字节进入移位寄存器后, SPIF 和 RCVBF 位会被设置。为了防止溢出条件, 软件必须在下一个字节进入移位寄存器之前先读取 SPDAT 或写 0 到 RCVBF。在从模式下允许的最大 SCK 频率为 $F_{\text{SYSCLK}}/4$ 。在从模式下, 当 SSDIS 位清零, SPBSY 位指的是 SS 引脚, SSDIS 位设置时则指向 SPEN 位。

串行时钟

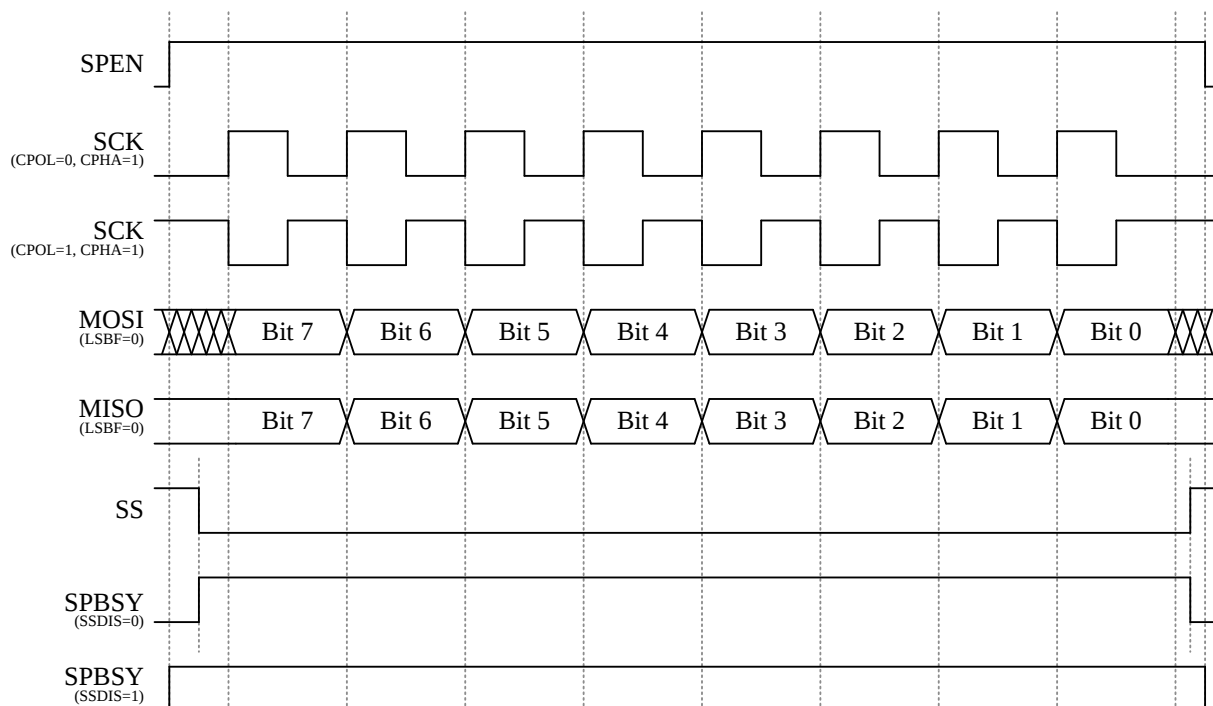
SPI 通过设置 SPCON 寄存器的 CPOL 和 CPHA 位, 产生四个时钟类型。CPOL 位定义在 SPI 空闲状态的 SCK 的水平。在 CPOL 位被清零时空闲状态的 SCK 电平为低的, CPOL 位设置时是高电平。CPHA 位定义用于采样和数据移位的边沿。在 CPHA 位被清除时 SPI 在 SCK 周期的第一个边沿采样数据和在 SCK 周期的第二个边沿移动数据。CPHA 位被设置时在 SCK 期间的第二边沿的 SPI 采样数据和 SCK 周期的第一个边沿移位数据。下图显示了在主从模式的详细时间。SPEN 位被设置前主设备和从设备必须被配置为使用相同的时钟类型。SPCR 控制主模式的串行时钟频率。在从模式时, 此寄存器被忽略。在主模式下 SPI 时钟可以选择为系统时钟除以 2, 4, 8 或 16。



主模式时序



从模式时序 (CPHA = 0)



从模式时序 (CPHA = 1)

在主和从模式中, SPIF 位是在数据传输结束时由 H/W 设置, 如果 SPI 中断使能, 并产生一个中断。程序执行中断服务程序时, SPIF 位被自动清除。S/W 也可以写 0 清除该标志。如果在 SPBSY 设置时将数据写入 SPDAT, WCOL 位将被 H/W 设置, 如果 SPI 中断使能, 并产生一个中断。当这种情况发生时, 数据写入到 SPDAT 将被忽略, 并且移位寄存器将不会被写入。写 0 到该位或当 SPBSY 被清除时重写 SPDAT 数据将会清除 WCOL 标志。在主模式中, 当 SSDIS 被清零, SS 引脚被拉低, MODF 位会被设置, 如果 SPI 中断使能, 中断就会产生。当 MODF 位被设置, SPCON 中的 SPEN 和 MSTR 将被 H/W 清零。写 0 到 MODF 位将清除该标志。

SFR BCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPCON	SPEN	MSTR	CPOL	CPHA	SSDIS	LSBF	SPCR	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Reset	0	0	0	0	0	0	0	0

BCh.7 **SPEN**: SPI 使能

0: SPI 关闭

1: SPI 使能

BCh.6 **MSTR**: 主模式使能

0: 从模式

1: 主模式

BCh.5 **CPOL**: SPI 时钟极性

0: SCK 在空闲状态是低电平

1: SCK 在空闲状态是高电平

BCh.4 **CPHA**: SPI 时钟相位

0: 在 SCK 周期的第一个边沿采样数据

1: 在 SCK 周期的第二个边沿采样数据

- BCh.3 **SSDIS**:SS 引脚禁用
0:使能 SS 引脚
1:禁用 SS 引脚
- BCh.2 **LSBF**:LSB 优先
0:MSB 优先
1:LSB 优先
- BCh.1~0 **SPCR**:SPI 时钟速率
00: $F_{SYSCLK}/2$
01: $F_{SYSCLK}/4$
10: $F_{SYSCLK}/8$
11: $F_{SYSCLK}/16$

SFR BDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPSTA	SPIF	WCOL	MODF	RCVOVF	RCVBF	SPBSY	—	—
R/W	R/W	R/W	R/W	R/W	R/W	R	—	—
Reset	0	0	0	0	0	0	—	—

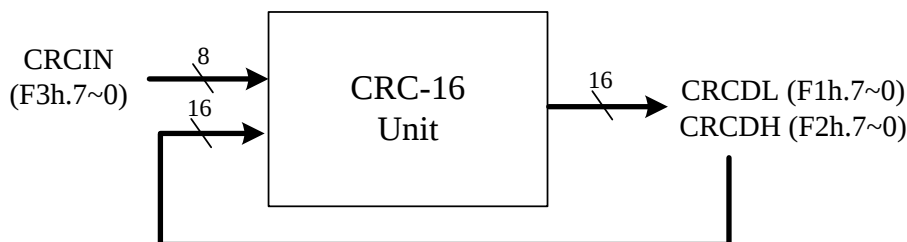
- BDh.7 **SPIF**:SPI 中断标志
这是由 H/W 在数据传输结束时设定。中断产生时由 H/W 清零。写 0 到该位将清除该标志。
- BDh.6 **WCOL**:写入冲突中断标志
由 H/W 设置, 如果 SPBSY = 1 时写入数据到 SPDAT。写 0 到该位或 SPBSY = 0 时重写 SPDAT 数据将清除该标志。
- BDh.5 **MODF**:模式故障中断标志
在主模式时, 当 SSDIS = 0, SS 引脚被拉低时通过 H/W 设置。写 0 到该位将清除该标志。当该位被设置, SPCON 中的 SPEN 和 MSTR 将被 H/W 清零。
- BDh.4 **RCVOVF**:接收缓冲区溢出标志
在数据传输结束和 RCVBF = 1 时将通过 H/W 设置。写 0 到该位或读取 SPDAT 寄存器将清除该标志。
- BDh.3 **RCVBF**:接收缓冲器满标志
在数据传输结束时将通过 H/W 设置。写 0 到该位或读取 SPDAT 寄存器将清除该标志。
- BDh.2 **SPBSY**:SPI 忙碌标志(唯读)
当 SPI 传输正在进行时, 由 H/W 设置。

SFR BEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPDAT	SPDAT							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

- BEh.7~0 **SPDAT**:SPI 发送和接收之数据
SPDAT 寄存器被用于发送和接收数据。写数据到 SPDAT 会放置数据到移位寄存器, 并开始在主模式下传输。读 SPDAT 则存回接收缓冲器的内容。

16. 循环冗余校验码(CRC)

此芯片支援 16 位的循环冗余校验功能。循环冗余校验 (CRC) 计算单元是一种错误检测技术测试算法，用于验证数据传输或存储数据的正确性。CRC 计算采用 8 位数据流或数据块作为输入，并产生 16 位输出余数。数据流由同一生成多项式计算。



CRC 框图

CRC 生成器提供了基于 CRC-16-IBM 多项式的 16 位 CRC 结果计算。在这个 CRC 生成器中，只有一个多项式(如下)可用于数值计算，它不支持其他任何多项式的 16 位 CRC 计算。对 CRCIN 寄存器的每次写入操作，将被创建存储在 CRCDH 和 CRCDL 寄存器中的前一个 CRC 值的组合中，这将需要一个 MCU 指令周期来计算。

IBM 的 CRC-16 多项式表示 (Modbus) : $X^{16} + X^{15} + X^2 + 1$

SFR F1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCDL	CRCDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

F1h.7~0 CRCDL: 16 位 CRC 校验和数据位 7~0

SFR F2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCDH	CRCDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

F2h.7~0 CRCDL: 16 位 CRC 校验和数据位 15~8

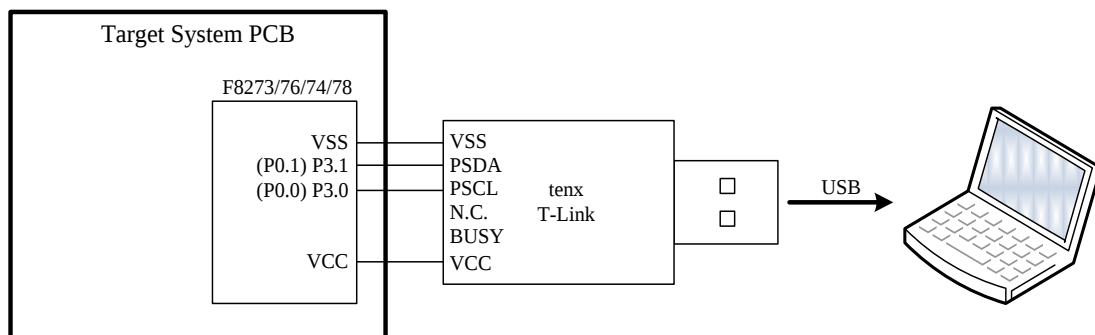
SFR F3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCIN	CRCIN							
W	W							
Reset	—	—	—	—	—	—	—	—

F3h.7~0 CRCIN: CRC 输入数据寄存器

17. 在线仿真器 (ICE) 模式

本装置可以支持在线仿真模式。要使用 ICE 模式, 用户只需要将 P3.0 和 P3.1 引脚连接至 tenx 专有的 EV 模块。这样做的好处是, 用户可以在不改变电路板的目标设备上模拟整个系统。但 ICE 模式也有一些限制, 如下所列。

1. 该设备必须取消保护。
2. P3.0 和 P3.1 引脚必须工作在输入模式 (P3MOD0 = 0/1 和 P3MOD1 = 0/1)。
3. 程序存储器的寻址空间 2D00h~2FFFh 和 0033h~003Ah 由 tenx EV 模块占用。因此, 用户程序无法存取这些空间。
4. P3.0 和 P3.1 引脚的功能无法模拟。
5. P3.0 和 P3.1 引脚可以由 P0.0 和 P0.1 引脚取代。



16K Bytes program memory	
0000h	Reset / Interrupt Vector
006Fh	
0070h	
	User Code area
2CFFh	
2D00h	ICE mode reserve area
2FFFh	
3000h	
	User Code or IAP area
3FEFh	
3FF0h	CRC16L
3FF1h	CRC16H
3FF2h	
	tenx reserve area
3FFAh	
3FFBh	CFGWG
3FFDh	CFGWL (FRC)
3FFFh	CFGWH

TM52F8273/76

8K Bytes program memory	
0000h	Reset / Interrupt Vector
006Fh	
0070h	
	User Code area
1FEFh	
1FF0h	CRC16L
1FF1h	CRC16H
	tenx reserve area
2D00h	ICE mode reserve area
2FFFh	
	tenx reserve area
3FFAh	
3FFBh	CFGWG
3FFDh	CFGWL (FRC)
3FFFh	CFGWH

TM52F8274/78

SFR & CFGW 映像

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
80h	1111-1111	P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
81h	0000-0111	SP	SP							
82h	0000-0000	DPL	DPL							
83h	0000-0000	DPH	DPH							
87h	0xxx-0000	PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
88h	0000-0000	TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
89h	0000-0000	TMOD	GATE1	CT1N	TMOD1		GATE0	CTON	TMOD0	
8Ah	0000-0000	TL0	TL0							
8Bh	0000-0000	TL1	TL1							
8Ch	0000-0000	TH0	TH0							
8Dh	0000-0000	TH1	TH1							
8Eh	0100-0000	SCON2	SM	—	—	REN2	TB82	RB82	TI2	RI2
8Fh	xxxx-xxxx	SBUF2	SBUF2							
90h	1111-1111	P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
91h	0000-0000	P0OE	P0OE							
92h	0000-0000	P0LOE	P0LOE							
93h	xxxx-0101	P2MOD	—	—	—	—	P2MOD1		P2MOD0	
94h	0000-0000	OPTION	UART1W	TKFJMP	WDTPSC		ADCKS		TM3PSC	
95h	xx00-x000	INTFLG	LVD	—	TKIF	ADIF	—	IE2	P1IF	TF3
96h	0000-0000	P1WKUP	P1WKUP							
97h	xxxx-xx00	SWCMD	IAPALL / SWRST / WDTO							
98h	0000-0000	SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
99h	xxxx-xxxx	SBUF	SBUF							
9Ah	1111-1111	PWM0PRD	PWM0PRD							
9Bh	1000-0000	PWM0DH	PWM0DH							
9Ch	1111-1111	PWM1PRD	PWM1PRD							
9Dh	1000-0000	PWM1DH	PWM1DH							
9Eh	1111-1111	PWM2PRD	PWM2PRD							
9Fh	1000-0000	PWM2DH	PWM2DH							
A0h	1111-1111	P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
A1h	1000-1000	PWMCON	PWM1CKS		PWM1DL		PWM0CKS		PWM0DL	
A2h	0000-0000	P1MODL	P1MOD3		P1MOD2		P1MOD1		P1MOD0	
A3h	0000-0000	P1MODH	P1MOD7		P1MOD6		P1MOD5		P1MOD4	
A4h	0101-0101	P3MODL	P3MOD3		P3MOD2		P3MOD1		P3MOD0	
A5h	0000-0000	P3MODH	P3MOD7		P3MOD6		P3MOD5		P3MOD4	
A6h	0000-xxx0	PINMOD	PWM1OE	PWM0OE	TCOE	T2OE	—	—	—	T0OE
A7h	xxx0-1000	PWMCON2	—	—	—	PWM2OE	PWM2CKS		PWM2DL	
A8h	0x00-0000	IE	EA	—	ET2	ES	ET1	EX1	ET0	EX0
A9h	xx00-0000	INTE1	—	—	ES2	SPIE	ADTKIE	EX2	P1IE	TM3IE
AAh	xxxx-xxxx	ADTKDT	ADCDL				TKDH			
ABh	xxxx-xxxx	ADCDH	ADCDH							
ACH	xxxx-xxxx	TKDL	TKDL							
ADh	1x00-0100	TKCON	TKPD	TKEOC	TKRCKF		TKFDB	TKREFC		
A Eh	1111-1111	CHSEL	ADCHS				TKCHS			
AFh	0000-xxxx	P0ADIE	P0ADIE				—	—	—	—
B0h	1111-1111	P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
B1h	0000-x100	LEDCON1	LEDEN		LEDPSC		—	LEDBRIT		
B2h	x100-x100	LEDCON2	—	LEDBRIT2			—	LEDBRIT1		
B4h	1111-1111	TKTMRL	TKTMRL							
B5h	xxxx-0000	TKTMRH	—	—	—	—	TKTMRH			
B8h	xx00-0000	IP	—	—	PT2	PS	PT1	PX1	PT0	PX0
B9h	xx00-0000	IPH	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
BAh	xx00-0000	IP1	—	—	PS2	PSPI	PADTKI	PX2	PP1	PT3
BBh	xx00-0000	IP1H	—	—	PS2H	PSPIH	PADTKIH	PX2H	PP1H	PT3H
BCh	0000-0000	SPCON	SPEN	MSTR	CPOL	CPHA	SSDIS	LSBF	SPCR	
BDh	0000-0xxx	SPSTA	SPIF	WCOL	MODF	RCVOVF	RCVBF	SPBSY	—	—

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
BEh	0000-0000	SPDAT	SPDAT							
C8h	0000-0000	T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
C9h	000x-xxxx	IAPWE	IAPWE / IAPTO / EEPWE							
CAh	0000-0000	RCP2L	RCP2L							
CBh	0000-0000	RCP2H	RCP2H							
CCh	0000-0000	TL2	TL2							
CDh	0000-0000	TH2	TH2							
D0h	0000-0000	PSW	CY	AC	F0	RS1	RS0	OV	F1	P
D8h	00x0-0011	CLKCON	SCKTYPE	FCKTYPE	–	STPPCK	STPFCK	SELFCK	CLKPSC	
E0h	0000-0000	ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
F0h	0000-0000	B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
F1h	1111-1111	CRCDL	CRCDL							
F2h	1111-1111	CRCDH	CRCDH							
F3h	0000-0000	CRCIN	CRCIN							
F5h	xxxx-xxxx	CFGBG	–	–	–	–	BGTRIM			
F6h	xxxx-xxxx	CFGWL	–	FRCF						
F7h	0000-1110	AUX2	WDTE		PWRSV	VBGOUT	TKMODS	IAPTE		TKCHSR
F8h	0000-0000	AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	T2SEL	T1SEL	DPSEL

Flash Address	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
3FFBh	CFGBG	–	–	–	–	BGTRIM			
3FFDh	CFGWL	–	FRCF						
3FFFh	CFGWH	PROT	XRSTE	LVRE		–	–	MVCLOCK	–

SFR & CFGW 说明

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
80h	P0	7~0	P0	R/W	FFh	Port0 has no pin out, so P0 is used as general purpose register
81h	SP	7~0	SP	R/W	07h	Stack Point
82h	DPL	7~0	DPL	R/W	00h	Data Point low byte
83h	DPH	7~0	DPH	R/W	00h	Data Point high byte
87h	PCON	7	SMOD	R/W	0	Set 1 to enable UART1 double baud rate
		3	GF1	R/W	0	General purpose flag bit
		2	GF0	R/W	0	General purpose flag bit
		1	PD	R/W	0	Power down control bit, set 1 to enter STOP mode
		0	IDL	R/W	0	Idle control bit, set 1 to enter IDLE mode
88h	TCON	7	TF1	R/W	0	Timer1 overflow flag Set by H/W when Timer/Counter 1 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		6	TR1	R/W	0	Timer1 run control. 1: timer runs; 0: timer stops
		5	TF0	R/W	0	Timer0 overflow flag Set by H/W when Timer/Counter 0 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		4	TR0	R/W	0	Timer0 run control. 1:timer runs; 0:timer stops
		3	IE1	R/W	0	External Interrupt 1 (INT1 pin) edge flag Set by H/W when an INT1 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		2	IT1	R/W	0	External Interrupt 1 control bit 0: Low level active (level triggered) for INT1 pin 1: Falling edge active (edge triggered) for INT1 pin
		1	IE0	R/W	0	External Interrupt 0 (INT0 pin) edge flag Set by H/W when an INT0 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		0	IT0	R/W	0	External Interrupt 0 control bit 0: Low level active (level triggered) for INT0 pin 1: Falling edge active (edge triggered) for INT0 pin
89h	TMOD	7	GATE1	R/W	0	Timer1 gating control bit 0: Timer1 enable when TR1 bit is set 1: Timer1 enable only while the INT1 pin is high and TR1 bit is set
		6	CT1N	R/W	0	Timer1 Counter/Timer select bit 0: Timer mode, Timer1 data increases at 2 System clock cycle rate 1: Counter mode, Timer1 data increases at T1 pin's negative edge
		5~4	TMOD1	R/W	00	Timer1 mode select 00: 8-bit timer/counter (TH1) and 5-bit prescaler (TL1) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL1). Reloaded from TH1 at overflow. 11: Timer1 stops
		3	GATE0	R/W	0	Timer0 gating control bit 0: Timer0 enable when TR0 bit is set 1: Timer0 enable only while the INT0 pin is high and TR0 bit is set
		2	CT0N	R/W	0	Timer0 Counter/Timer select bit 0: Timer mode, Timer0 data increases at 2 System clock cycle rate 1: Counter mode, Timer0 data increases at T0 pin's negative edge
		1~0	TMOD0	R/W	00	Timer0 mode select 00: 8-bit timer/counter (TH0) and 5-bit prescaler (TL0) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL0). Reloaded from TH0 at overflow. 11: TL0 is an 8-bit timer/counter. TH0 is an 8-bit timer/counter using Timer1's TR1 and TF1 bits.
8Ah	TL0	7~0	TL0	R/W	00h	Timer0 data low byte
8Bh	TL1	7~0	TL1	R/W	00h	Timer1 data low byte
8Ch	TH0	7~0	TH0	R/W	00h	Timer0 data high byte
8Dh	TH1	7~0	TH1	R/W	00h	Timer1 data high byte

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
8Eh	SCON2	7	SM	R/W	0	UART2 Serial port mode select bit 0: Mode1: 8 bit UART2, Baud Rate is variable 1: Mode3: 9 bit UART2, Baud Rate is variable
		4	REN2	R/W	0	UART2 reception enable 0: Disable reception 1: Enable reception
		3	TB82	R/W	0	Transmit Bit 8, the ninth bit to be transmitted in Mode3
		2	RB82	R/W	0	Receive Bit 8, contains the ninth bit that was received in Mode3
		1	TI2	R/W	0	Transmit interrupt flag Set by H/W at the beginning of the stop bit in Mode 1 & 3. Must be cleared by S/W.
		0	RI2	R/W	0	Receive interrupt flag Set by H/W at the sampling point of the stop bit in Mode 1 & 3. Must be cleared by S/W.
8Fh	SBUF2	7~0	SBUF2	R/W	–	UART2 transmit and receive data. Transmit data is written to this location and receive data is read from this location, but the paths are independent.
90h	P1	7~0	P1	R/W	FFh	Port1 data
91h	P0OE	7~0	P0OE	R/W	00h	Port0 CMOS Push-Pull output enable control 0: Disable 1: Enable
92h	P0LOE	7~0	P0LOE	R/W	00h	Port0 LCD 1/2 bias output enable control 0: Disable 1: Enable
93h	P2MOD	3~2	P2MOD1	R/W	01	P2.1 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: not defined
		1~0	P2MOD0	R/W	01	P2.0 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: not defined
94h	OPTION	7	UART1W	R/W	0	Set 1 to enable one wire UART1 mode, both TXD/RXD use P3.1 pin.
		6	TKFJMP	R/W	0	(STK) TCK Frequency auto adjust option 0: Disable 1: Enable auto adjust (CTK) Internal Touch Key clock frequency auto adjust option 0: Disable 1: Enable auto adjust
		5~4	WDTPSC	R/W	00	Watchdog Timer pre-scalar time select 00: 480ms WDT overflow rate 01: 240ms WDT overflow rate 10: 120ms WDT overflow rate 11: 60ms WDT overflow rate
		3~2	ADCKS	R/W	00	ADC clock rate select 00: F _{SYSCLK} /32 01: F _{SYSCLK} /16 10: F _{SYSCLK} /8 11: F _{SYSCLK} /4
		1~0	TM3PSC	R/W	00	Timer3 Interrupt rate 00: Timer3 Interrupt rate is 32768 Slow clock cycle 01: Timer3 Interrupt rate is 16384 Slow clock cycle 10: Timer3 Interrupt rate is 8192 Slow clock cycle 11: Timer3 Interrupt rate is 128 Slow clock cycle
95h	INTFLG	7	LVD	R	–	Low Voltage Detect flag (2.8V) Set by H/W when a low voltage occurs. The flag is valid when LVR is 2.3V
		5	TKIF	R/W	0	Touch Key Interrupt Flag Set by H/W at the end of TK conversion if SYSCLK is fast enough. S/W writes DFh to INTFLG or sets the TKSOC bit to clear this flag.
		4	ADIF	R/W	0	ADC interrupt flag Set by H/W at the end of ADC conversion. S/W writes EFh to INTFLG or sets the ADSOC bit to clear this flag.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		2	IE2	R/W	0	External Interrupt 2 (INT2 pin) edge flag Set by H/W when a falling edge is detected on the INT2 pin, no matter the EX2 is 0 or 1. It is cleared automatically when the program performs the interrupt service routine. S/W can write FBh to INTFLG to clear this bit.
		1	P1IF	R/W	0	Port1 pin change Interrupt flag Set by H/W when a Port1 pin state change is detected and its interrupt enable bit is set (P1WKUP). P1IE does not affect this flag's setting. It is cleared automatically when the program performs the interrupt service routine. S/W can write FDh to INTFLG to clear this bit.
		0	TF3	R/W	0	Timer3 Interrupt Flag Set by H/W when Timer3 reaches TM3PSC setting cycles. It is cleared automatically when the program performs the interrupt service routine. S/W can write FEh to INTFLG to clear this bit.
96h	P1WKUP	7~0	P1WKUP	R/W	00h	P1.7~P1.0 pin individual Wake-up/Interrupt enable control 0: Disable; 1: Enable.
97h	SWCMD	7~0	SWRST	W		Write 56h to generate S/W Reset
		7~0	IAPALL	W		Write 65h to set IAPALL control flag; Write other value to clear IAPALL flag. It is recommended to clear it immediately after IAP access.
		1	WDTO	R	0	WatchDog Time-Out flag
		0	IAPALL	R	0	Flag indicates Flash memory sectors can be accessed by IAP or not. This bit combines with MVCLOCK to define the accessible IAP area.
98h	SCON	7	SM0	R/W	0	UART1 Serial port mode select bit 0, 1 (SM0, SM1) = 00: Mode0: 8 bit shift register, Baud Rate= $F_{SYSCLK}/2$ 01: Mode1: 8 bit UART1, Baud Rate is variable 10: Mode2: 9 bit UART1, Baud Rate= $F_{SYSCLK}/32$ or $/64$ 11: Mode3: 9 bit UART1, Baud Rate is variable
		6	SM1	R/W	0	
		5	SM2	R/W	0	
		4	REN	R/W	0	Serial port mode select bit 2 SM2 enables multiprocessor communication over a single serial line and modifies the above as follows. In Modes 2 & 3, if SM2 is set then the received interrupt will not be generated if the received ninth data bit is 0. In Mode 1, the received interrupt will not be generated unless a valid stop bit is received. In Mode 0, SM2 should be 0.
		3	TB8	R/W	0	Set 1 to enable UART1 Reception
		2	RB8	R/W	0	Transmitter bit 8, ninth bit to transmit in Modes 2 and 3
		1	TI	R/W	0	Receive Bit 8, contains the ninth bit that was received in Mode 2 and 3 or the stop bit is Mode 1 if SM2=0
		0	RI	R/W	0	Transmit Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the beginning of the stop bit in other modes. Must be cleared by S/W
		0	RI	R/W	0	Receive Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the sampling point of the stop bit in other modes. Must be cleared by S/W.
99h	SBUF	7~0	SBUF	R/W	—	UART1 transmit and receive data. Transmit data is written to this location and receive data is read from this location, but the paths are independent.
9Ah	PWM0PRD	7~0	PWM0PRD	R/W	FFh	PWM0 8-bit period register
9Bh	PWM0DH	7~0	PWM0DH	R/W	80h	bits 9~2 of the PWM0 10-bit duty register
9Ch	PWM1PRD	7~0	PWM1PRD	R/W	FFh	PWM1 8-bit period register
9Dh	PWM1DH	7~0	PWM1DH	R/W	80h	bits 9~2 of the PWM1 10-bit duty register
9Eh	PWM2PRD	7~0	PWM2PRD	R/W	FFh	PWM2 8-bit period register
9Fh	PWM2DH	7~0	PWM2DH	R/W	80h	bits 9~2 of the PWM2 10-bit duty register
A0h	P2	7~2	P2.7~P2.2	R/W	3Fh	P2.7~P2.2 have no pin out, so these bits are used as general purpose register
		1~0	P2.1~P2.0	R/W	11	P2.1~P2.0 data
A1h	PWMCON	7~6	PWM1CKS	R/W	10	PWM1 clock source 00: $F_{SYSCLK}/4$ 01: $F_{SYSCLK}/2$ 10: F_{SYSCLK} 11: FRC

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		5~4	PWM1DL	R/W	00	bits 1~0 of the PWM1 10-bit duty register
		3~2	PWM0CKS	R/W	10	PWM0 clock source 00: F _{SYSClk} /4 01: F _{SYSClk} /2 10: F _{SYSClk} 11: FRC
		1~0	PWM0DL	R/W	00	bits 1~0 of the PWM0 10-bit duty register
A2h	P1MODL	7~6	P1MOD3	R/W	00	P1.3 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.3 is ADC input
		5~4	P1MOD2	R/W	00	P1.2 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.2 is ADC input
		3~2	P1MOD1	R/W	00	P1.1 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.1 is ADC input
		1~0	P1MOD0	R/W	00	P1.0 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.0 is ADC input
A3h	P1MODH	7~6	P1MOD7	R/W	00	P1.7 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3
		5~4	P1MOD6	R/W	00	P1.6 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3
		3~2	P1MOD5	R/W	00	P1.5 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.5 is ADC input
		1~0	P1MOD4	R/W	00	P1.4 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.4 is ADC input
A4h	P3MODL	7~6	P3MOD3	R/W	01	P3.3 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.3 is ADC input
		5~4	P3MOD2	R/W	01	P3.2 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.2 is ADC input
		3~2	P3MOD1	R/W	01	P3.1 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.1 is ADC input
		1~0	P3MOD0	R/W	01	P3.0 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.0 is ADC input
A5h	P3MODH	7~6	P3MOD7	R/W	00	P3.7 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3
		5~4	P3MOD6	R/W	00	P3.6 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3
		3~2	P3MOD5	R/W	00	P3.5 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3
		1~0	P3MOD4	R/W	00	P3.4 Pin Control 00: Mode0; 01: Mode1; 10: Mode2; 11: Mode3
A6h	PINMOD	7	PWM1OE	R/W	0	PWM1 control 0: PWM1 disable 1: PWM1 enable and signal output to P1.3 pin
		6	PWM0OE	R/W	0	PWM0 control 0: PWM0 disable 1: PWM0 enable and signal output to P1.2 pin
		5	TCOE	R/W	0	Set 1 to enable "System clock divided by 2" (CKO) output to P1.4 pin
		4	T2OE	R/W	0	Set 1 to enable "Timer2 overflow divided by 2" (T2O) output to P1.0 pin
		0	T0OE	R/W	0	Set 1 to enable "Timer0 overflow divided by 64" (T0O) output to P3.4 pin

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
A7h	PWMCON2	4	PWM2OE	R/W	0	PWM2 control 0: PWM2 disable 1: PWM2 enable and signal output to P1.6 pin
		3~2	PWM2CKS	R/W	10	PWM2 clock source 00: F _{SYSCLK} /4 01: F _{SYSCLK} /2 10: F _{SYSCLK} 11: FRC
		1~0	PWM2DL	R/W	00	bits 1~0 of the PWM2 10-bit duty register
A8h	IE	7	EA	R/W	0	Global interrupt enable control. 0: Disable all Interrupts. 1: Each interrupt is enabled or disabled by its own interrupt control bit.
		5	ET2	R/W	0	Set 1 to enable Timer2 interrupt
		4	ES	R/W	0	Set 1 to enable Serial Port (UART1) Interrupt
		3	ET1	R/W	0	Set 1 to enable Timer1 Interrupt
		2	EX1	R/W	0	Set 1 to enable external INT1 pin Interrupt & Stop mode wake up capability
		1	ET0	R/W	0	Set 1 to enable Timer0 Interrupt
		0	EX0	R/W	0	Set 1 to enable external INT0 pin Interrupt & Stop mode wake up capability
A9h	INTE1	5	ES2	R/W	0	Set 1 to enable Serial Port (UART2) interrupt
		4	SPIE	R/W	0	Set 1 to enable SPI interrupt
		3	ADTKIE	R/W	0	Set 1 to enable ADC/Touch Key Interrupt
		2	EX2	R/W	0	Set 1 to enable external INT2 pin Interrupt & Stop mode wake up capability
		1	P1IE	R/W	0	Set 1 to enable Port1 Pin Change Interrupt
		0	TM3IE	R/W	0	Set 1 to enable Timer3 Interrupt
AAh	ADTKDT	7~4	ADCDL	R	—	ADC data bit 3~0
		3~0	TKDH	R	—	Touch Key counter data bit 11~8
ABh	ADCDH	7~0	ADCDH	R	—	ADC data bit 11~4
ACh	TKDL	7~0	TKDL	R	—	Touch Key counter data bit 7~0
ADh	TKCON	7	TKPD	R/W	1	Touch Key Power Down 0: Touch Key enable; 1: Touch Key disable
		6	TKEOC	R	1	Touch Key end of conversion flag 0: Indicates conversion is in progress 1: Indicates conversion is finished
		5~4	TKRCKF	R/W	00	Touch Key clock (RCK/TCK) frequency selection (CTK invalid) 00: Touch Key clock frequency is the slowest ... 11: Touch Key clock frequency is the fastest
		3	TKFDB	R/W	0	Touch Key counter data double enable (CTK invalid) 0: select normal counter data 1: select double counter data
		2~0	TKREFC	R/W	100	(STK) Touch Key reference clock capacitor select 000: smallest (RCK frequency fastest, conversion time shortest) ... 111: biggest (RCK frequency slowest, conversion time longest)
						(CTK) Touch Key conversion time select TKREFC adjusts the value of Touch Key reference voltage. A larger value of TKREFC requires a longer charging time, which can affect the sensitivity of touch sensing. 000: Conversion time shortest ... 111: Conversion time longest

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
AEh	CHSEL	7~4	ADCHS	R/W	1111	ADC channel select 0000: AD0 (P3.3) 0001: AD1 (P3.2) 0010: AD2 (P3.1) 0011: AD3 (P3.0) 0100: AD4 (P1.0) 0101: AD5 (P1.1) 0110: AD6 (P1.2) 0111: AD7 (P1.3) 1000: AD8 (P1.4) 1001: AD9 (P1.5) 1010: V _{SS} 1011: V _{BG} (Internal Bandgap Reference Voltage) 1100: AD12 (P0.4) 1101: AD13 (P0.5) 1110: AD14 (P0.6) 1111: AD15 (P0.7)
		3~0	TKCHS	R/W	1111	Touch Key channel select 0000: TK0 (P3.3) 0001: TK1 (P3.2) 0010: TK2 (P3.1) 0011: TK3 (P3.0) 0100: TK4 (P1.0) 0101: TK5 (P1.1) 0110: TK6 (P1.2) 0111: TK7 (P1.3) 1000: TK8 (P1.4) 1001: TK9 (P1.6) 1010: TK10 (P1.7) 1011: TK11 (P3.6) 1100: TK12 (P3.5) 1101: TK13 (P3.4) 1110: TK14 (P1.5) 1111: TK15 (P3.7)
AFh	P0ADIE	7~4	P0ADIE	R/W	0000	ADC channel input Enable 0000: P0.7~P0.4 are digital input 1xxx: P0.7 is ADC input x1xx: P0.6 is ADC input xx1x: P0.5 is ADC input xxx1: P0.4 is ADC input
B0h	P3	7~0	P3	R/W	FFh	Port3 data
B1h	LEDCON	7~6	LEDEN	R/W	00	LED enable and duty select 00: LED disable 01: LED 1/8 duty (4COM x 4SEG) 10: LED 1/9 duty (4COM x 5SEG) 11: LED 1/10 duty (4COM x 6SEG)
		5~4	LEDPSC	R/W	00	LED clock prescaler select 00: LED clock is FRC divided by 64 01: LED clock is FRC divided by 32 10: LED clock is FRC divided by 16 11: LED clock is FRC divided by 8
		2~0	LEDBRIT	R/W	100	LED COM0+ ~ COM3+ & SEG0+ ~ SEG3+ (LED number 0~31, 40~47) brightness select 000: Level 0 (Darkest) ... 111: Level 7 (Brightest)
B2h	LENCON2	6~4	LEDBRIT2	R/W	100	LED SEG5+ (LED number 33, 35, 37, 39) brightness select 000: Level 0 (Darkest) ... 111: Level 7 (Brightest)
		2~0	LEDBRIT1	R/W	100	LED SEG4+ (LED number 32, 34, 36, 38) brightness select 000: Level 0 (Darkest) ... 111: Level 7 (Brightest)

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
B4h	TKTMRL	7~0	TKTMRL	R/W	FFh	Touch Key reference counter LSB[7~0] (CTK invalid)
B5h	TKTMRH	3~0	TKTMRH	R/W	0	Touch Key reference counter MSB[11~8] (CTK invalid)
B8h	IP	5	PT2	R/W	0	Timer2 Interrupt Priority Low bit
		4	PS	R/W	0	Serial Port (UART1) Interrupt Priority Low bit
		3	PT1	R/W	0	Timer1 Interrupt Priority Low bit
		2	PX1	R/W	0	External INT1 Pin Interrupt Priority Low bit
		1	PT0	R/W	0	Timer0 Interrupt Priority Low bit
		0	PX0	R/W	0	External INT0 Pin Interrupt Priority Low bit
B9h	IPH	5	PT2H	R/W	0	Timer2 Interrupt Priority High bit
		4	PSH	R/W	0	Serial Port (UART1) Interrupt Priority High bit
		3	PT1H	R/W	0	Timer1 Interrupt Priority High bit
		2	PX1H	R/W	0	External INT1 Pin Interrupt Priority High bit
		1	PT0H	R/W	0	Timer0 Interrupt Priority High bit
		0	PX0H	R/W	0	External INT0 Pin Interrupt Priority High bit
BAh	IP1	5	PS2	R/W	0	Serial Port (UART2) interrupt priority low bit
		4	PSPI	R/W	0	SPI interrupt priority low bit
		3	PADTKI	R/W	0	ADC/Touch Key Interrupt Priority Low bit
		2	PX2	R/W	0	External INT2 Pin Interrupt Priority Low bit
		1	PP1	R/W	0	Port1 pin change Interrupt Priority Low bit
		0	PT3	R/W	0	Timer3 Interrupt Priority Low bit
BBh	IP1H	5	PS2H	R/W	0	Serial Port (UART2) interrupt priority high bit
		4	PSPIH	R/W	0	SPI interrupt priority high bit
		3	PADTKIH	R/W	0	ADC/Touch Key Interrupt Priority High bit
		2	PX2H	R/W	0	External INT2 Pin Interrupt Priority High bit
		1	PP1H	R/W	0	Port1 Interrupt Priority High bit
		0	PT3H	R/W	0	Timer3 Interrupt Priority High bit
BCh	SPCON	7	SPEN	R/W	0	SPI enable 0: SPI disable 1: SPI enable
		6	MSTR	R/W	0	Master mode enable 0: Slave mode 1: Master mode
		5	CPOL	R/W	0	SPI clock polarity 0: SCK is low in idle state 1: SCK is high in idle state
		4	CPHA	R/W	0	SPI clock phase 0: Data sample on first edge of SCK period 1: Data sample on second edge of SCK period
		3	SSDIS	R/W	0	SS pin disable 0: Enable SS pin 1: Disable SS pin
		2	LSBF	R/W	0	LSB first 0: MSB first 1: LSB first
		1~0	SPCR	R/W	00	SPI clock rate 00: FSYCLK/2 01: FSYCLK/4 10: FSYCLK/8 11: FSYCLK/16
BDh	SPSTA	7	SPIF	R/W	0	SPI interrupt flag This is set by H/W at the end of a data transfer. Cleared by H/W when an interrupt is vectored into. Writing 0 to this bit will clear this flag.
		6	WCOL	R/W	0	Write collision interrupt flag Set by H/W if write data to SPDAT when SPBSY is set. Write 0 to this bit or rewrite data to SPDAT when SPBSY is cleared will clear this flag.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		5	MODF	R/W	0	Mode fault interrupt flag Set by H/W when SSDIS is cleared and SS pin is pulled low in Master mode. Write 0 to this bit will clear this flag. When this bit is set, the SPEN and MSTR in SPCON will be cleared by H/W.
		4	RCVOVF	R/W	0	Received buffer overrun flag Set by H/W at the end of a data transfer and RCVBF is set. Write 0 to this bit or read SPDAT register will clear this flag.
		3	RCVBF	R/W	0	Receive buffer full flag Set by H/W at the end of a data transfer. Write 0 to this bit or read SPDAT register will clear this flag.
		2	SPBSY	R	0	SPI busy flag Set by H/W when a SPI transfer is in progress.
BEh	SPDAT	7~0	SPDAT	R/W	0	SPI transmit and receive data The SPDAT register is used to transmit and receive data. Writing data to SPDAT place the data into shift register and start a transfer when in master mode. Reading SPDAT returns the contents of the receive buffer.
C8h	T2CON	7	TF2	R/W	0	Timer2 overflow flag Set by H/W when Timer/Counter 2 overflows unless RCLK=1 or TCLK=1. This bit must be cleared by S/W.
		6	EXF2	R/W	0	T2EX interrupt pin falling edge flag Set when a capture or a reload is caused by a negative transition on T2EX pin if EXEN2=1. This bit must be cleared by S/W.
		5	RCLK	R/W	0	UART receive clock control bit 0: Use Timer1 overflow as receive clock for serial port in mode 1 or 3 1: Use Timer2 overflow as receive clock for serial port in mode 1 or 3
		4	TCLK	R/W	0	UART transmit clock control bit 0: Use Timer1 overflow as transmit clock for serial port in mode 1 or 3 1: Use Timer2 overflow as transmit clock for serial port in mode 1 or 3
		3	EXEN2	R/W	0	T2EX pin enable 0: T2EX pin disable 1: T2EX pin enable, it cause a capture or reload when a negative transition on T2EX pin is detected if RCLK=TCLK=0
		2	TR2	R/W	0	Timer2 run control 0: timer stops 1: timer runs
		1	CT2N	R/W	0	Timer2 Counter/Timer select bit 0: Timer mode, Timer2 data increases at 2 System clock cycle rate 1: Counter mode, Timer2 data increases at T2 pin's negative edge
		0	CPRL2N	R/W	0	Timer2 Capture/Reload control bit 0: Reload mode, auto-reload on Timer2 overflows or negative transitions on T2EX pin if EXEN2=1. 1: Capture mode, capture on negative transitions on T2EX pin if EXEN2=1. If RCLK=1 or TCLK=1, CPRL2N is ignored and timer is forced to auto-reload on Timer2 overflow.
C9h	IAPWE	7~0	IAPWE	W	—	Write 47h to set IAPWE control flag; Write other value to clear IAPWE and EEPWE flag. It is recommended to clear it immediately after IAP write.
		7~0	EEPWE	W	—	Write E2h to set EEPWE control flag; Write other value to clear IAPWE and EEPWE flag. It is recommended to clear it immediately after EEPROM write.
		7	IAPWE	R	0	Flag indicates Flash memory can be written by IAP or not 0: IAP Write disable 1: IAP Write enable
		6	IAPTO	R	0	IAP (or EEPROM write) Time-Out flag Set by H/W when IAP (or EEPROM write) Time-out occurs. Cleared by H/W when IAPWE=0 (or EEPWE=0).
		5	EEPWE	R	0	Flag indicates EEPROM memory can be written or not 0: EEPROM Write disable 1: EEPROM Write enable

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
CAh	RCP2L	7~0	RCP2L	R/W	00h	Timer2 reload/capture data low byte
CBh	RCP2H	7~0	RCP2H	R/W	00h	Timer2 reload/capture data high byte
CCh	TL2	7~0	TL2	R/W	00h	Timer2 data low byte
CDh	TH2	7~0	TH2	R/W	00h	Timer2 data high byte
D0h	PSW	7	CY	R/W	0	ALU carry flag
		6	AC	R/W	0	ALU auxiliary carry flag
		5	F0	R/W	0	General purpose user-definable flag
		4	RS1	R/W	0	Register Bank Select bit 1
		3	RS0	R/W	0	Register Bank Select bit 0
		2	OV	R/W	0	ALU overflow flag
		1	F1	R/W	0	General purpose user-definable flag
		0	P	R/W	0	Parity flag
D8h	CLKCON	7	SCKTYPE	R/W	0	Slow clock Type. This bit can be changed only in Fast mode (SELFCK=1) 0: SRC 1: SXT, P2.0 and P2.1 are crystal pins
		6	FCKTYPE	R/W	0	Fast clock type. This bit can be changed only in Slow mode (SELFCK=0). 0: FRC 1: FXT, P2.0 and P2.1 are crystal pins, oscillator gain is high for FXT
		4	STPPCK	R/W	0	Set 1 to stop UART/Timer0/1/2 clock in Idle mode for current reducing.
		3	STPFCK	R/W	0	Set 1 to stop Fast clock for power saving in Slow/Idle mode. This bit can be changed only in Slow mode.
		2	SELFCK	R/W	0	System clock select. This bit can be changed only when STPFCK=0. 0: Slow clock 1: Fast clock
		1~0	CLKPSC	R/W	11	System clock prescaler. Effective after 16 clock cycles (Max.) delay. 00: System clock is Fast/Slow clock divided by 16 01: System clock is Fast/Slow clock divided by 4 10: System clock is Fast/Slow clock divided by 2 11: System clock is Fast/Slow clock divided by 1
E0h	ACC	7~0	ACC	R/W	00h	Accumulator
F0h	B	7~0	B	R/W	00h	B register
F1h	CRCDL	7~0	CRCDL	R/W	FFh	16-bit CRC data bit 7~0
F2h	CRCDH	7~0	CRCDH	R/W	FFh	16-bit CRC data bit 15~8
F3h	CRCIN	7~0	CRCIN	W	—	CRC input data
F5h	CFGBG	3~0	BGTRIM	R/W	—	VBG trimming value
F6h	CFGWL	6~0	FRCF	R/W	—	FRC frequency adjustment 00h: lowest frequency 7Fh: highest frequency
F7h	AUX2	7~6	WDTE	R/W	—	Watchdog Timer Reset control 0x: WDT disable 10: WDT enable in Fast/Slow mode, disable in Idle/Stop mode 11: WDT always enable
		5	PWRSV	R/W	—	Set 1 to reduce the chip's power consumption at Idle and Stop Mode.
		4	VBGOUT	R/W	0	Bandgap voltage output control 0: P3.2 as normal I/O 1: Bandgap voltage output to P3.2 pin, when ADCHS = 1011b
		3	TKMODS	R/W	1	Touch Key Mode selection 0: select Touch Key mode as CTK 1: select Touch Key mode as STK
		2~1	IAPTE	R/W	11	IAP (or EEPROM write) watchdog timer enable 00: Disable 01: wait 0.9mS trigger watchdog time-out flag 10: wait 3.6mS trigger watchdog time-out flag 11: wait 7.2mS trigger watchdog time-out flag
		0	TKCHSR	R/W	0	Touch Key channel select internal reference key 0: Touch Key channel select by TKCHS setting 1: Touch Key channel select internal reference key, no matter what the TKCHS value is

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
F8h	AUX1	7	CLRWDT	R/W	0	Set 1 to clear WDT, H/W auto clear it at next clock cycle
		6	CLRTM3	R/W	0	Set 1 to clear Timer3, HW auto clear it at next clock cycle.
		5	TKSOC	R/W	0	Touch Key Start of Conversion Set 1 to start Touch Key conversion. If SYSCLK is fast enough, this bit will be cleared by H/W at the end of conversion. S/W can also write 0 to clear this flag.
		4	ADSOC	R/W	0	ADC Start of Conversion Set 1 to start ADC conversion. Cleared by H/W at the end of conversion. S/W can also write 0 to clear this flag.
		0	DPSEL	R/W	0	Active DPTR Select

Adr	Flash	Bit#	Bit Name	Description
3FFBh	CFGBG	3~0	BGTRIM	FRC frequency adjustment. VBG is trimmed to 1.22V in chip manufacturing. BGTRIM records the adjustment data.
3FFDh	CFGWL	6~0	FRCF	FRC frequency adjustment. FRC is trimmed to 12.9024 MHz in chip manufacturing. FRCF records the adjustment data.
3FFFh	CFGWH	7	PROT	Flash Code Protect, 1=Protect
		6	XRSTE	External Pin Reset enable, 1=enable.
		5~4	LVRE	Low Voltage Reset function select 00: Set LVR at 3.6V; LVD disable 01: Set LVR at 2.8V; LVD disable 10: Set LVR at 4.3V; LVD disable 11: Set LVR at 2.3V; LVD enable if not in Stop mode
		1	MVCLOCK	If 1, the MOVC & MOVX instruction's accessibility to MOVC-Lock area is limited.

注: 上表列出所有的 SFR, 特地保留原始英文, 以供使用者交互参考。

指令集

指令都是 1, 2 或 3 个字节长如“字节”列所示。每条指令需要 2~8 个系统时钟周期来执行如“周期”列中所示。

ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
ADD A, Rn	Add register to A	1	2	28-2F
ADD A, dir	Add direct byte to A	2	2	25
ADD A, @Ri	Add indirect memory to A	1	2	26-27
ADD A, #data	Add immediate to A	2	2	24
ADDC A, Rn	Add register to A with carry	1	2	38-3F
ADDC A, dir	Add direct byte to A with carry	2	2	35
ADDC A, @Ri	Add indirect memory to A with carry	1	2	36-37
ADDC A, #data	Add immediate to A with carry	2	2	34
SUBB A, Rn	Subtract register from A with borrow	1	2	98-9F
SUBB A, dir	Subtract direct byte from A with borrow	2	2	95
SUBB A, @Ri	Subtract indirect memory from A with borrow	1	2	96-97
SUBB A, #data	Subtract immediate from A with borrow	2	2	94
INC A	Increment A	1	2	04
INC Rn	Increment register	1	2	08-0F
INC dir	Increment direct byte	2	2	05
INC @Ri	Increment indirect memory	1	2	06-07
DEC A	Decrement A	1	2	14
DEC Rn	Decrement register	1	2	18-1F
DEC dir	Decrement direct byte	2	2	15
DEC @Ri	Decrement indirect memory	1	2	16-17
INC DPTR	Increment data pointer	1	4	A3
MUL AB	Multiply A by B	1	8	A4
DIV AB	Divide A by B	1	8	84
DA A	Decimal Adjust A	1	2	D4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
ANL A, Rn	AND register to A	1	2	58-5F
ANL A, dir	AND direct byte to A	2	2	55
ANL A, @Ri	AND indirect memory to A	1	2	56-57
ANL A, #data	AND immediate to A	2	2	54
ANL dir, A	AND A to direct byte	2	2	52
ANL dir, #data	AND immediate to direct byte	3	4	53
ORL A, Rn	OR register to A	1	2	48-4F
ORL A, dir	OR direct byte to A	2	2	45
ORL A, @Ri	OR indirect memory to A	1	2	46-47
ORL A, #data	OR immediate to A	2	2	44
ORL dir, A	OR A to direct byte	2	2	42
ORL dir, #data	OR immediate to direct byte	3	4	43
XRL A, Rn	Exclusive-OR register to A	1	2	68-6F
XRL A, dir	Exclusive-OR direct byte to A	2	2	65
XRL A, @Ri	Exclusive-OR indirect memory to A	1	2	66-67
XRL A, #data	Exclusive-OR immediate to A	2	2	64
XRL dir, A	Exclusive-OR A to direct byte	2	2	62
XRL dir, #data	Exclusive-OR immediate to direct byte	3	4	63
CLR A	Clear A	1	2	E4
CPL A	Complement A	1	2	F4
SWAP A	Swap Nibbles of A	1	2	C4
RL A	Rotate A left	1	2	23

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
RLC A	Rotate A left through carry	1	2	33
RR A	Rotate A right	1	2	03
RRC A	Rotate A right through carry	1	2	13

DATA TRANSFER				
Mnemonic	Description	byte	cycle	opcode
MOV A, Rn	Move register to A	1	2	E8-EF
MOV A, dir	Move direct byte to A	2	2	E5
MOV A, @Ri	Move indirect memory to A	1	2	E6-E7
MOV A, #data	Move immediate to A	2	2	74
MOV Rn, A	Move A to register	1	2	F8-FF
MOV Rn, dir	Move direct byte to register	2	4	A8-AF
MOV Rn, #data	Move immediate to register	2	2	78-7F
MOV dir, A	Move A to direct byte	2	2	F5
MOV dir, Rn	Move register to direct byte	2	4	88-8F
MOV dir, dir	Move direct byte to direct byte	3	4	85
MOV dir, @Ri	Move indirect memory to direct byte	2	4	86-87
MOV dir, #data	Move immediate to direct byte	3	4	75
MOV @Ri, A	Move A to indirect memory	1	2	F6-F7
MOV @Ri, dir	Move direct byte to indirect memory	2	4	A6-A7
MOV @Ri, #data	Move immediate to indirect memory	2	2	76-77
MOV DPTR, #data	Move immediate to data pointer	3	4	90
MOVC A, @A+DPTR	Move code byte relative DPTR to A	1	4	93
MOVC A, @A+PC	Move code byte relative PC to A	1	4	83
MOVX A, @Ri	Move external data (A8) to A	1	4	E2-E3
MOVX A, @DPTR	Move external data (A16) to A	1	4	E0
MOVX @Ri, A	Move A to external data (A8)	1	4	F2-F3
MOVX @DPTR, A	Move A to external data (A16)	1	4	F0
PUSH dir	Push direct byte onto stack	2	4	C0
POP dir	Pop direct byte from stack	2	4	D0
XCH A, Rn	Exchange A and register	1	2	C8-CF
XCH A, dir	Exchange A and direct byte	2	2	C5
XCH A, @Ri	Exchange A and indirect memory	1	2	C6-C7
XCHD A, @Ri	Exchange A and indirect memory nibble	1	2	D6-D7

BOOLEAN				
Mnemonic	Description	byte	cycle	opcode
CLR C	Clear carry	1	2	C3
CLR bit	Clear direct bit	2	2	C2
SETB C	Set carry	1	2	D3
SETB bit	Set direct bit	2	2	D2
CPL C	Complement carry	1	2	B3
CPL bit	Complement direct bit	2	2	B2
ANL C, bit	AND direct bit to carry	2	4	82
ANL C, /bit	AND direct bit inverse to carry	2	4	B0
ORL C, bit	OR direct bit to carry	2	4	72
ORL C, /bit	OR direct bit inverse to carry	2	4	A0
MOV C, bit	Move direct bit to carry	2	2	A2
MOV bit, C	Move carry to direct bit	2	4	92

BRANCHING				
Mnemonic	Description	byte	cycle	opcode
ACALL addr 11	Absolute jump to subroutine	2	4	11-F1
LCALL addr 16	Long jump to subroutine	3	4	12
RET	Return from subroutine	1	4	22
RETI	Return from interrupt	1	4	32
AJMP addr 11	Absolute jump unconditional	2	4	01-E1
LJMP addr 16	Long jump unconditional	3	4	02
SJMP rel	Short jump (relative address)	2	4	80
JC rel	Jump on carry=1	2	4	40
JNC rel	Jump on carry=0	2	4	50
JB bit, rel	Jump on direct bit=1	3	4	20
JNB bit, rel	Jump on direct bit=0	3	4	30
JBC bit, rel	Jump on direct bit=1 and clear	3	4	10
JMP @A+DPTR	Jump indirect relative DPTR	1	4	73
JZ rel	Jump on accumulator=0	2	4	60
JNZ rel	Jump on accumulator ... 0	2	4	70
CJNE A, dir, rel	Compare A,direct, jump not equal relative	3	4	B5
CJNE A, #data, rel	Compare A,immediate, jump not equal relative	3	4	B4
CJNE Rn, #data, rel	Compare register,immediate, jump not equal relative	3	4	B8-BF
CJNE @Ri, #data, rel	Compare indirect,immediate, jump not equal relative	3	4	B6-B7
DJNZ Rn, rel	Decrement register, jump not zero relative	2	4	D8-DF
DJNZ dir, rel	Decrement direct byte, jump not zero relative	3	4	D5

MISCELLANEOUS				
Mnemonic	Description	byte	cycle	opcode
NOP	No operation	1	2	00

在上表中, 如 E8-EF 中的指令操作码(十六进制)指示用于一个连续的块的 8 个不同的寄存器, 寄存器编号, 由其相应的操作码的最低 3 位定义。码的不连续的块, 如 11-F1(举例), 用于绝对跳转和调用, 码的前 3 位用于指示目的地址的顶部 3 位。

电器特性

1. 最大绝对额定值 ($T_A=25^{\circ}\text{C}$)

参数	额定值	单位
电源电压	$V_{SS}-0.3 \sim V_{SS}+5.5$	V
输入电压	$V_{SS}-0.3 \sim V_{CC}+0.3$	
输出电压	$V_{SS}-0.3 \sim V_{CC}+0.3$	
每 1 引脚高电位输出电流	-25	mA
全部引脚高电位输出电流	-80	
每 1 引脚低电位输出电流	+30	
全部引脚低电位输出电流	+150	
最大工作电压	5.5	V
工作温度	$-40 \sim +85$	$^{\circ}\text{C}$
储存温度	$-65 \sim +150$	

2. DC 特性 ($T_A=25\text{ }^{\circ}\text{C}$, $V_{CC}=2.3\text{V} \sim 5.5\text{V}$)

参数	符号	条件		最小值	典型值	最大值	单位
工作电压	V_{CC}	快钟模式, $F_{SYSCLK}=12.9024\text{ MHz}$		3.6	—	5.5	V
		快钟模式, $F_{SYSCLK}=6.4512\text{ MHz}$		2.8	—	5.5	
		快钟模式, $F_{SYSCLK}=3.2256\text{ MHz}$		2.3	—	5.5	
输入高电压	V_{IH}	所有输入	$V_{CC}=5\text{V}$	$0.6V_{CC}$	—	—	V
			$V_{CC}=3\text{V}$	$0.6V_{CC}$	—	—	V
输入低电压	V_{IL}	所有输入	$V_{CC}=5\text{V}$	—	—	$0.2V_{CC}$	V
			$V_{CC}=3\text{V}$	—	—	$0.2V_{CC}$	V
I/O 端口 拉电流	I_{OH}	所有输出	$V_{CC}=5\text{V}$, $V_{OH}=0.9V_{CC}$	5	10	—	mA
			$V_{CC}=3\text{V}$, $V_{OH}=0.9V_{CC}$	2.5	5	—	
I/O 端口 灌电流	I_{OL}	所有输出	$V_{CC}=5\text{V}$, $V_{OL}=0.1V_{CC}$	35	70	—	mA
			$V_{CC}=3\text{V}$, $V_{OL}=0.1V_{CC}$	15	30	—	
电源电流	I_{DD}	快钟 $V_{CC}=5\text{V}$	$FXT=12\text{ MHz}$	—	5	—	mA
			$FRC=12.9024\text{ MHz}$	—	5.3	—	
			$FXT=8\text{ MHz}$	—	4	—	
			$FRC=6.4512\text{ MHz}$	—	3.7	—	
		快钟 $V_{CC}=3\text{V}$	$FXT=8\text{ MHz}$	—	2.5	—	
			$FRC=6.4512\text{ MHz}$	—	2.4	—	
		慢钟, SRC	$V_{CC}=3\text{V}$	—	1	—	μA
			$V_{CC}=5\text{V}$	—	1.3	—	
		空闲 LVR 2.3V or PWRSAV=1	SRC, $V_{CC}=5\text{V}$	—	20	—	
			SRC, $V_{CC}=3\text{V}$	—	10	—	
		空闲 LVR $\neq$ 2.3V and PWRSAV=0	$V_{CC}=5\text{V}$	—	140	—	
			$V_{CC}=3\text{V}$	—	110	—	
		停止	$V_{CC}=5\text{V}$	—	0.1	—	
			$V_{CC}=3\text{V}$	—	0.1	—	
系统时钟频率	F_{SYSCLK}	$V_{CC} > \text{LVR}_{TH}$	$V_{CC}=3.6\text{V}$	—	—	12.9024	MHz
			$V_{CC}=2.8\text{V}$	—	—	6.4512	
			$V_{CC}=2.3\text{V}$	—	—	4	
LVR 参考电压	V_{LVR}	$T_A=25^{\circ}\text{C}$		—	4.3	—	V
				—	3.6	—	V
				—	2.8	—	
				—	2.3	—	V
LVR 滞后电压	V_{HYST}	$T_A=25^{\circ}\text{C}$		—	± 0.1	—	V
LVD 参考电压	V_{LVD}	$T_A=25^{\circ}\text{C}$		—	2.8	—	V
低电压 检测时间	t_{LVR}	$T_A=25^{\circ}\text{C}$		100	—	—	μs
上拉电阻	R_P	$V_{IN}=0\text{V}$	$V_{CC}=5\text{V}$	—	41	—	K Ω
			$V_{CC}=3\text{V}$		76		

3. 时钟时序 ($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$)

参数	条件	最小值	典型值	最大值	单位
内部 RC 频率	25°C, $V_{CC}=5.0\text{V}$	-1%	12.9024	+1%	MHz
	0°C ~ 85°C, $V_{CC}=5.0\text{V}$	-1.5%	12.9024	+1.5%	
	-40°C ~ 85°C, $V_{CC}=3.0 \sim 5.5\text{V}$	-6%	12.9024	+3%	

4. 复位时序特性 ($T_A = -40^{\circ}\text{C} \sim +85^{\circ}\text{C}$)

参数	条件	最小值	典型值	最大值	单位
RESET 输入低电平宽度	Input $V_{CC}=5\text{V} \pm 10\%$	30	—	—	μs
WDT 唤醒时间	$V_{CC}=5\text{V}$, WDTPSC=11	—	55	—	ms
	$V_{CC}=3\text{V}$, WDTPSC=11	—	57	—	

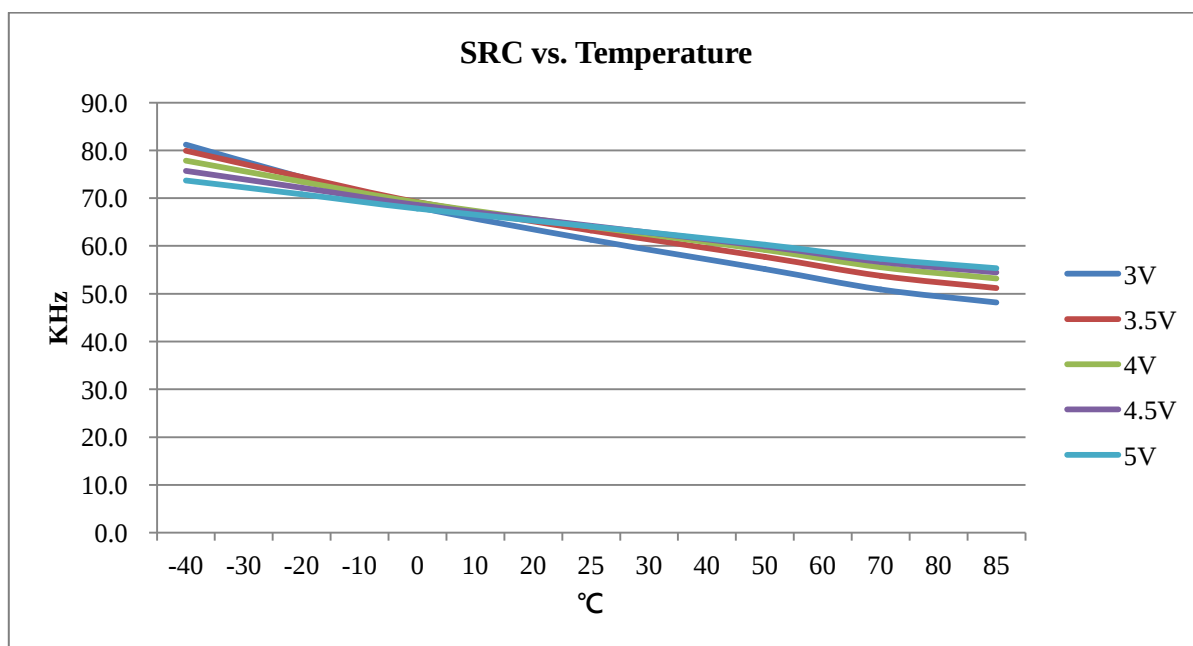
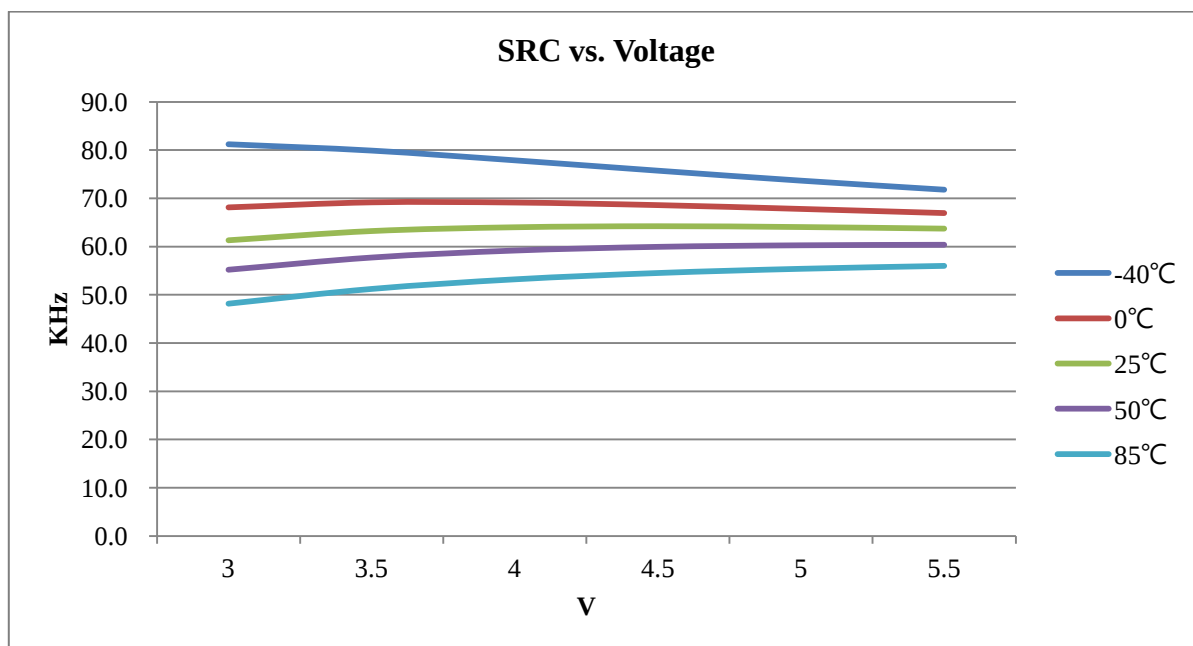
5. 上电特性 ($T_A = 25^{\circ}\text{C}$)

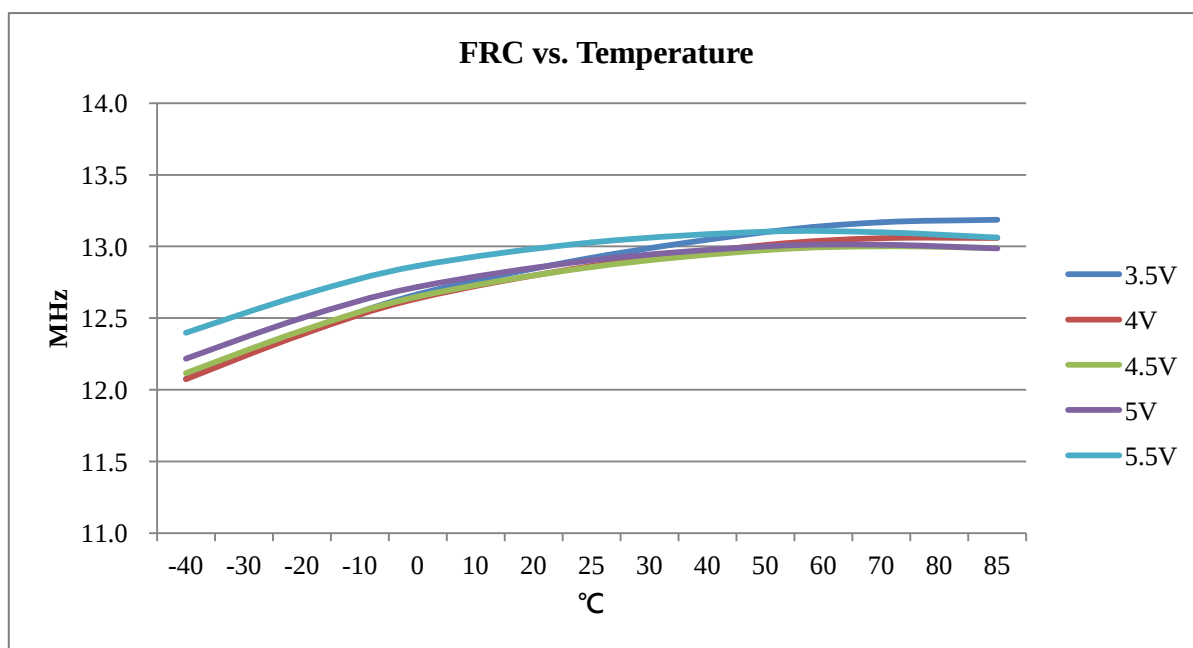
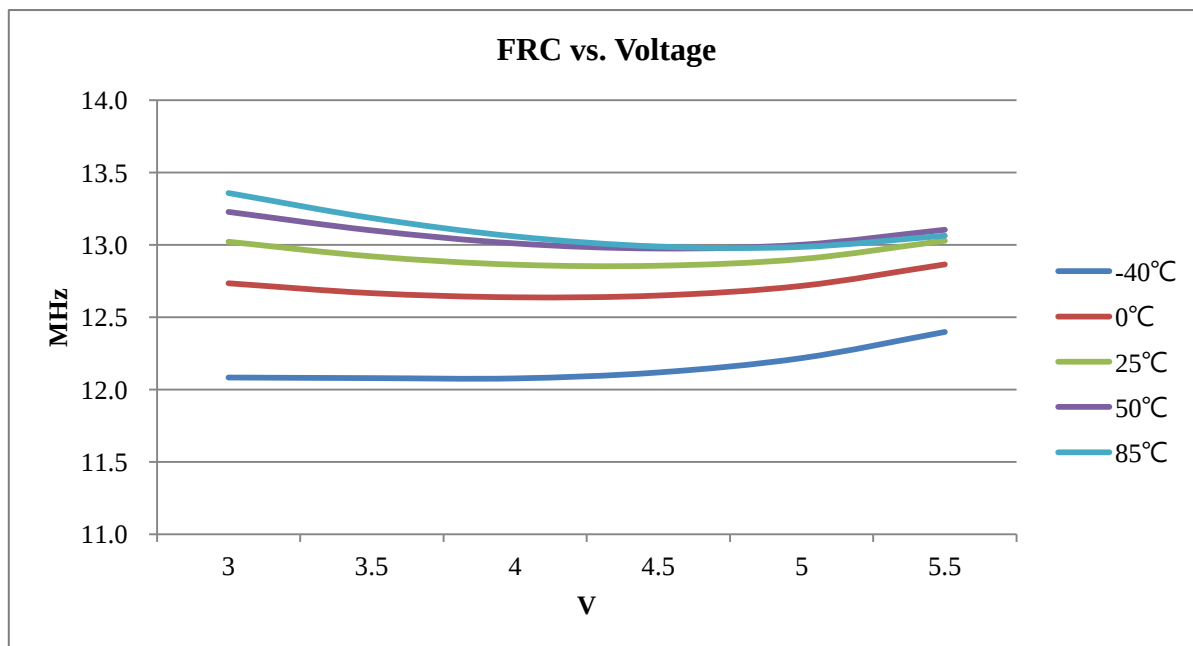
参数	条件	最小值	典型值	最大值	单位
上电 V_{CC} 上升率	Initial @ $V_{CC}-V_{SS} < 0.2\text{V}$	0.05	—	—	V/ms

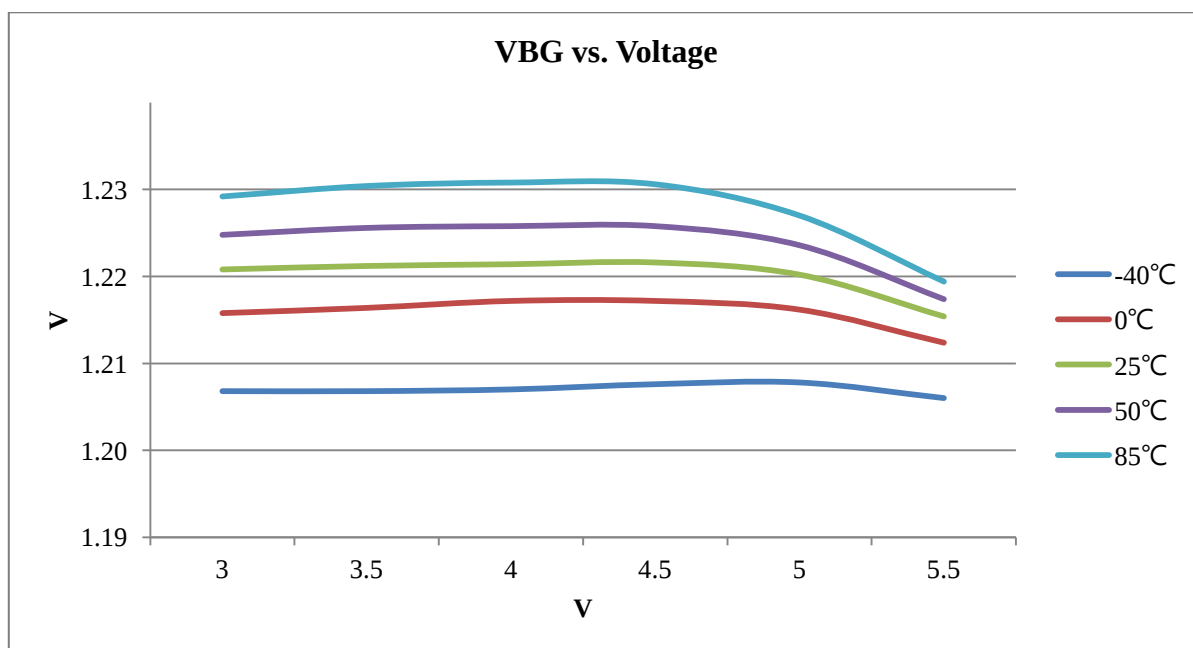
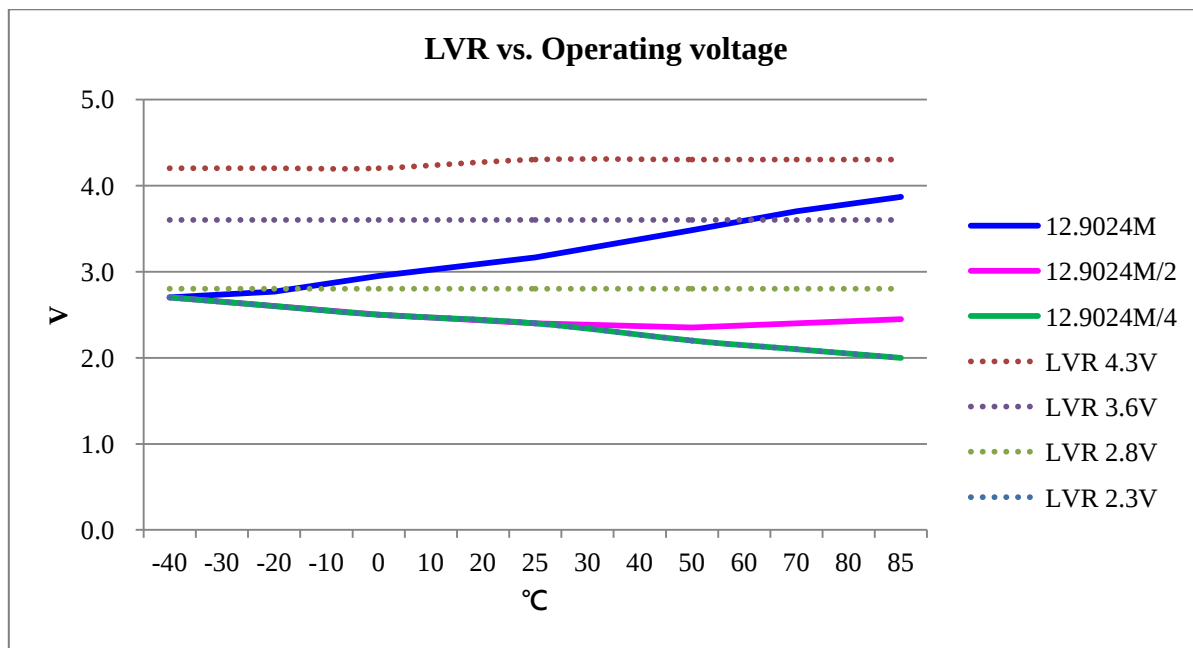
6. ADC 电气特性 ($T_A = 25^{\circ}\text{C}$, $V_{CC} = 3.0\text{V} \sim 5.5\text{V}$, $V_{SS} = 0\text{V}$)

参数	条件	最小值	典型值	最大值	单位
总绝对误差	$V_{CC}=5.12\text{V}$, $V_{SS}=0\text{V}$	—	± 2.5	± 4	LSB
积分非线性误差		—	± 3.2	± 5	
最大输入时钟 (f_{ADC})	信号驱动源阻抗 ($R_s < 10\text{K ohm}$)	—	1	—	MHz
	信号驱动源阻抗 ($R_s > 10\text{K ohm}$)	—	0.5	—	
转换时间	$F_{\text{ADC}} = 1\text{MHz}$	—	50	—	μs
内部基准电压源 (VBG)	25°C, $V_{CC} = 5\text{V} \sim 3\text{V}$	-1%	1.22	+1%	V
	25°C~85°C, $V_{CC} = 5\text{V} \sim 3\text{V}$	-1%	1.22	+1.5%	V
	-20°C~85°C, $V_{CC} = 5\text{V} \sim 3\text{V}$	-2%	1.22	+1.5%	V
输入电压	—	V_{SS}	—	V_{CC}	V

7. 特性曲线图







封装说明

请注意，此处提供的包装信息仅供参考。由于此信息经常更新，因此用户可以联系销售人员以咨询最新的包装信息和库存。

订购须知

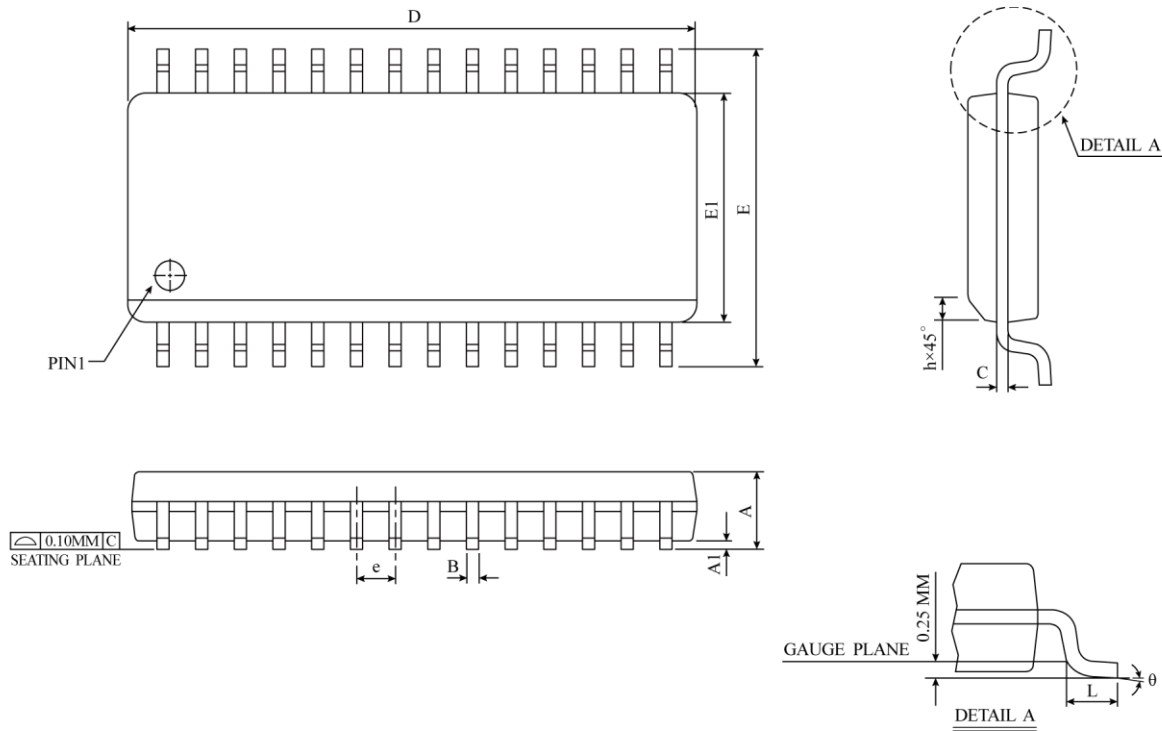
Ordering number	Package
TM52F8273-MTP	Wafer/Dice blank chip
TM52F8276-MTP	
TM52F8274-MTP	
TM52F8278-MTP	
TM52F8273-COD	Wafer/Dice with code
TM52F8276-COD	
TM52F8274-COD	
TM52F8278-COD	
TM52F8273T-MTP-23	SOP 28-pin (300 mil)
TM52F8276T-MTP-23	
TM52F8274T-MTP-23	
TM52F8278T-MTP-23	
TM52F8273T-MTP-29	SSOP 28-pin (150 mil)
TM52F8276T-MTP-29	
TM52F8274T-MTP-29	
TM52F8278T-MTP-29	
TM52F8273-MTP-A5	QFN 28-pin (5x5x0.75-0.5 mm)
TM52F8276-MTP-A5	
TM52F8274-MTP-A5	
TM52F8278-MTP-A5	

TM52F8273T-MTP-22	SOP 24-pin (300 mil)
TM52F8276T-MTP-22	
TM52F8274T-MTP-22	
TM52F8278T-MTP-22	
TM52F8273T-MTP-28	SSOP 24-pin (150 mil)
TM52F8276T-MTP-28	
TM52F8274T-MTP-28	
TM52F8278T-MTP-28	
TM52F8273-MTP-C0	QFN 24-pin (4x4x0.75-0.5 mm)
TM52F8276-MTP-C0	
TM52F8274-MTP-C0	
TM52F8278-MTP-C0	
TM52F8273T-MTP-21	SOP 20-pin (300 mil)
TM52F8276T-MTP-21	
TM52F8274T-MTP-21	
TM52F8278T-MTP-21	
TM52F8273T-MTP-46	TSSOP 20-pin (173 mil)
TM52F8276T-MTP-46	
TM52F8274T-MTP-46	
TM52F8278T-MTP-46	
TM52F8273T-MTP-05	DIP 20-pin (300 mil)
TM52F8276T-MTP-05	
TM52F8274T-MTP-05	
TM52F8278T-MTP-05	

TM52F8273-MTP-B6	QFN 20-pin (3x3x0.75-0.4 mm)
TM52F8276-MTP-B6	
TM52F8274-MTP-B6	
TM52F8278-MTP-B6	

包装信息

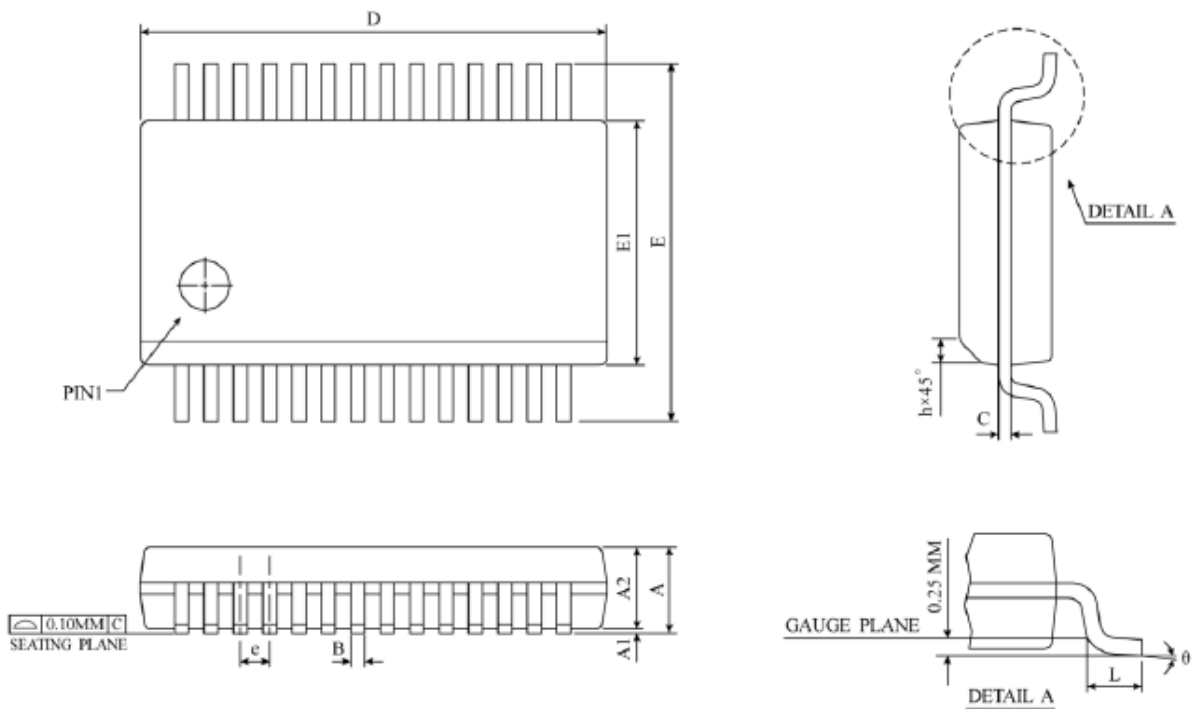
SOP-28 引脚 (300mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.35	2.50	2.65	0.0926	0.0985	0.1043
A1	0.10	0.20	0.30	0.0040	0.0079	0.0118
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.23	0.28	0.32	0.0091	0.0108	0.0125
D	17.70	17.90	18.10	0.6969	0.7047	0.7125
E	10.00	10.33	10.65	0.3940	0.4425	0.4910
E1	7.40	7.50	7.60	0.2914	0.2953	0.2992
e	1.27 BSC			0.050 BSC		
h	0.25	0.50	0.75	0.0100	0.0195	0.0290
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-013 (AE)					

△ * NOTES : DIMENSION " D " DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

SSOP-28 引脚 (150mil) 包装尺寸

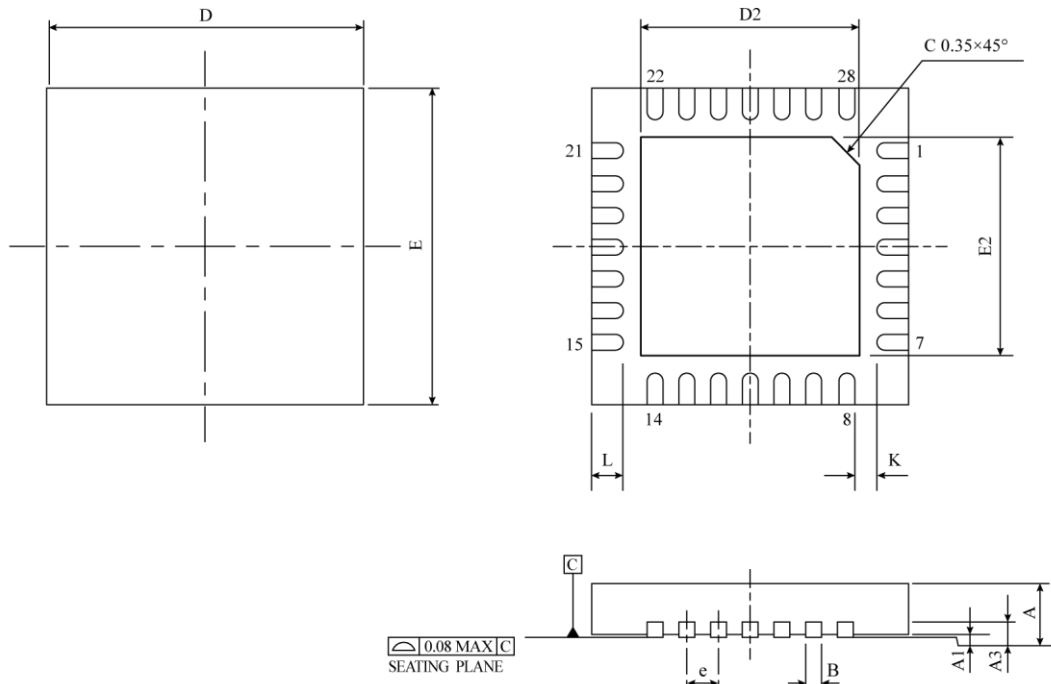


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.50	1.65	1.80	0.06	0.06	0.07
A1	0.102	0.176	0.249	0.004	0.007	0.010
A2	1.40	1.475	1.55	0.06	0.06	0.06
B	0.20	0.25	0.30	0.01	0.01	0.01
C	0.2TYP			0.008TYP		
e	0.635TYP			0.025TYP		
D	9.804	9.881	9.957	0.386	0.389	0.392
E	5.842	6.020	6.198	0.230	0.237	0.244
E1	3.86	3.929	3.998	0.152	0.155	0.157
L	0.406	0.648	0.889	0.016	0.026	0.035
θ	0°	4°	8°	0°	4°	8°
JEDEC	M0-137(AF)					

▲ *NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD PROTRUSIONS OR GATE BURRS.

MOLD PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED 0.006 INCH PER SIDE.

QFN-28 引脚 (5x5x0.75-0.5mm) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.70	0.75	0.80	0.028	0.030	0.031
A1	0.00	0.03	0.05	0.000	0.001	0.002
A3	0.203 REF.			0.008 REF.		
B	0.18	0.24	0.30	0.007	0.010	0.012
D	5.00 BSC			0.197 BSC		
E	5.00 BSC			0.197 BSC		
e	0.50 BSC			0.020 BSC		
K	0.20	-	-	0.008	-	-
E2	3.55	3.63	3.70	0.140	0.143	0.146
D2	3.55	3.63	3.70	0.140	0.143	0.146
L	0.35	0.40	0.45	0.014	0.016	0.018
JEDEC	W(V)HHD-3					

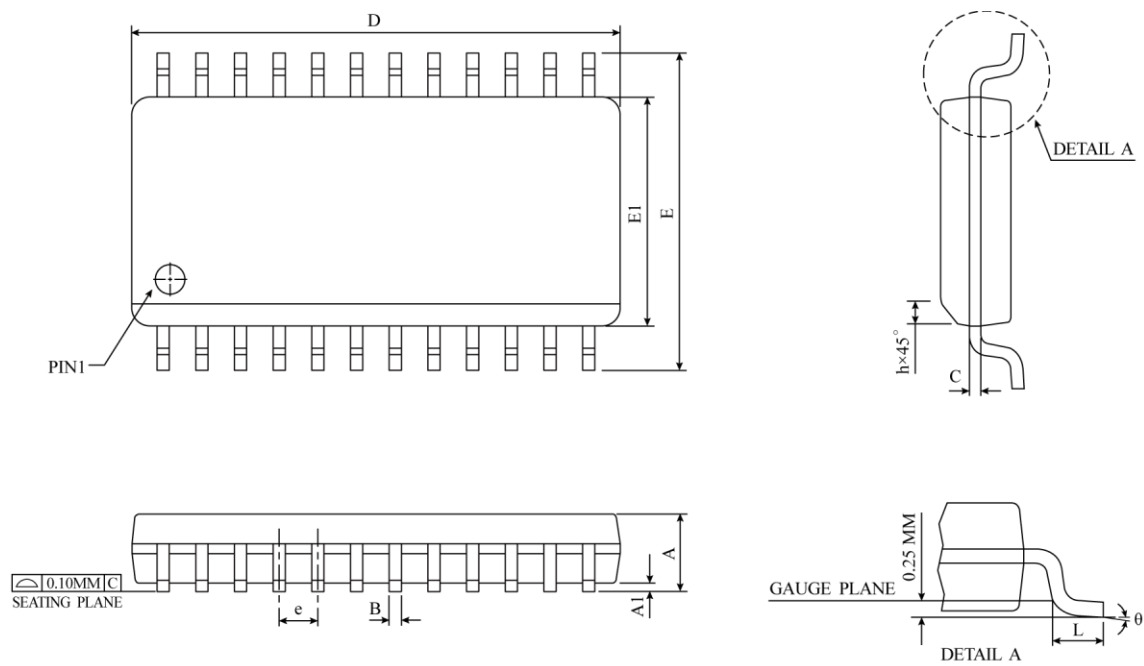
* NOTES : 1. ALL DIMENSION ARE IN MILLIMETRS.

2. DIMENSION B APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15mm AND 0.30mm FROM THE TERMINAL TIP.

IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION B SHOULD NOT BE MEASURED IN THAT RADIUS AREA.

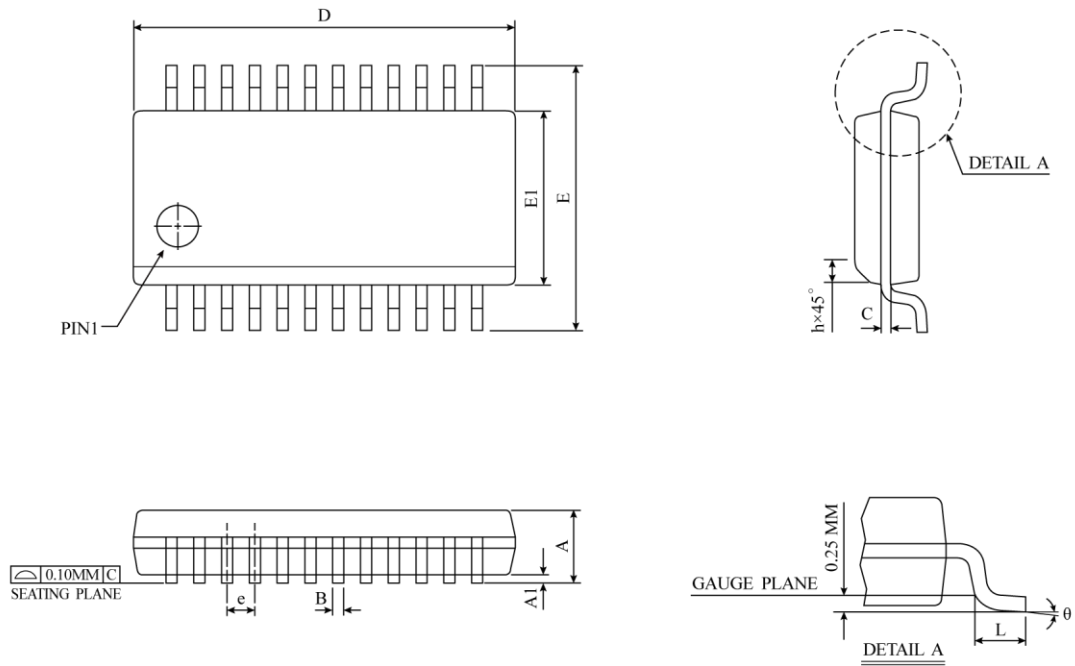
3. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

SOP-24 引脚 (300mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.35	2.50	2.65	0.0926	0.0985	0.1043
A1	0.10	0.20	0.30	0.0040	0.0079	0.0118
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.23	0.28	0.32	0.0091	0.0108	0.0125
D	15.20	15.40	15.60	0.5985	0.6063	0.6141
E	10.00	10.33	10.65	0.3940	0.4425	0.4910
E1	7.40	7.50	7.60	0.2914	0.2953	0.2992
e	1.27 BSC			0.050 BSC		
h	0.25	0.50	0.75	0.0100	0.0195	0.0290
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-013 (AD)					

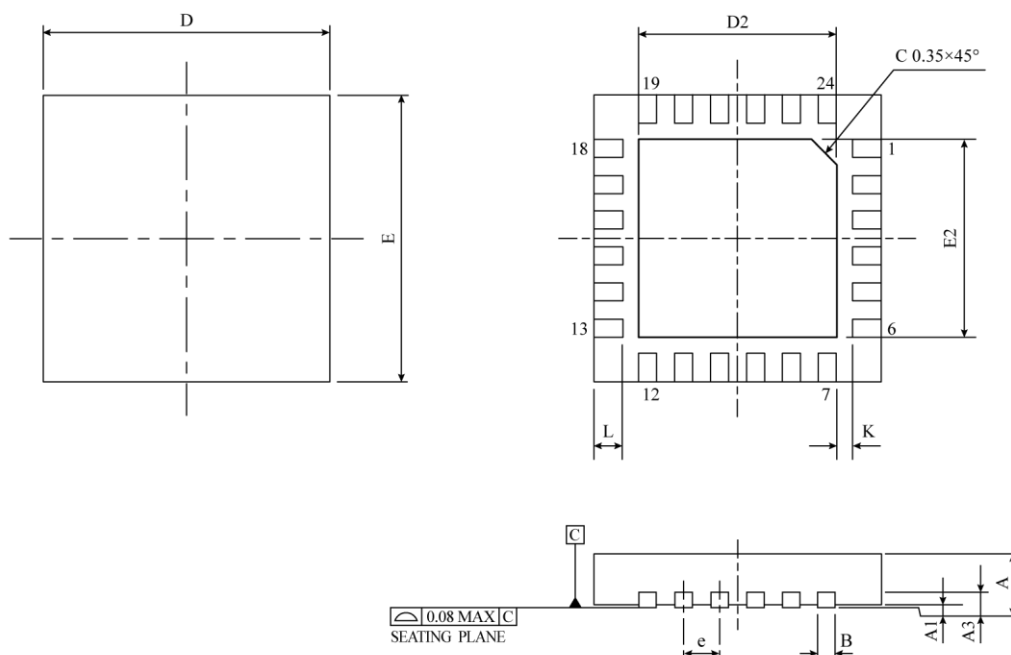
△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

SSOP-24 引脚 (150mil) 包装尺寸


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.55	1.75	0.053	0.061	0.069
A1	0.10	0.18	0.25	0.004	0.007	0.010
A2	-	-	1.50	-	-	0.059
B	0.20	0.25	0.30	0.008	0.010	0.012
C	0.18	0.22	0.25	0.007	0.009	0.010
D	8.56	8.65	8.74	0.337	0.341	0.344
E	5.79	6.00	6.20	0.228	0.236	0.244
E1	3.81	3.90	3.99	0.150	0.154	0.157
e	0.635 BSC			0.025 BSC		
L	0.41	0.84	1.27	0.016	0.033	0.050
θ	0°	4°	8°	0°	4°	8°
JEDEC	M0-137 (AE)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD PROTRUSIONS OR GAT BURRS.
MOLD PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED 0.006 INCH PER SIDE.

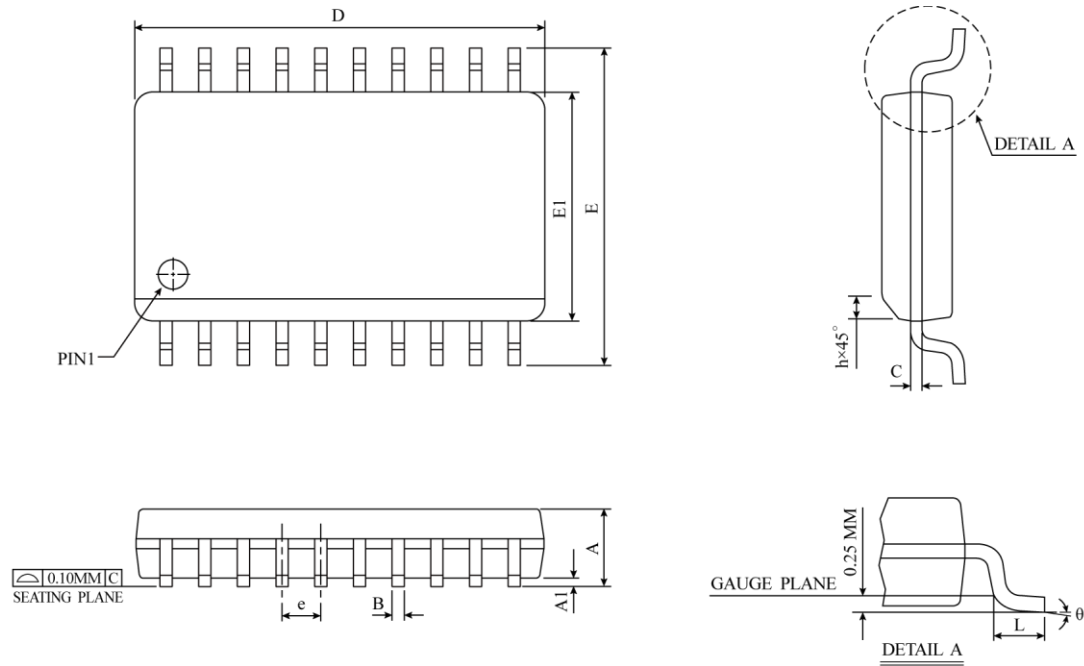
QFN-24 引脚 (4x4x0.75-0.5mm) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.70	0.75	0.80	0.028	0.030	0.031
A1	0.00	0.03	0.05	0.000	0.001	0.002
A3	0.20 REF.			0.008 REF.		
B	0.18	0.24	0.30	0.007	0.010	0.012
D	4.00 BSC			0.157 BSC		
E	4.00 BSC			0.157 BSC		
e	0.50 BSC			0.026 BSC		
K	0.20	-	-	0.008	-	-
E2	2.60	2.68	2.75	0.102	0.105	0.108
D2	2.60	2.68	2.75	0.102	0.105	0.108
L	0.35	0.40	0.45	0.014	0.016	0.018
JEDEC	W(V)GGD-6					

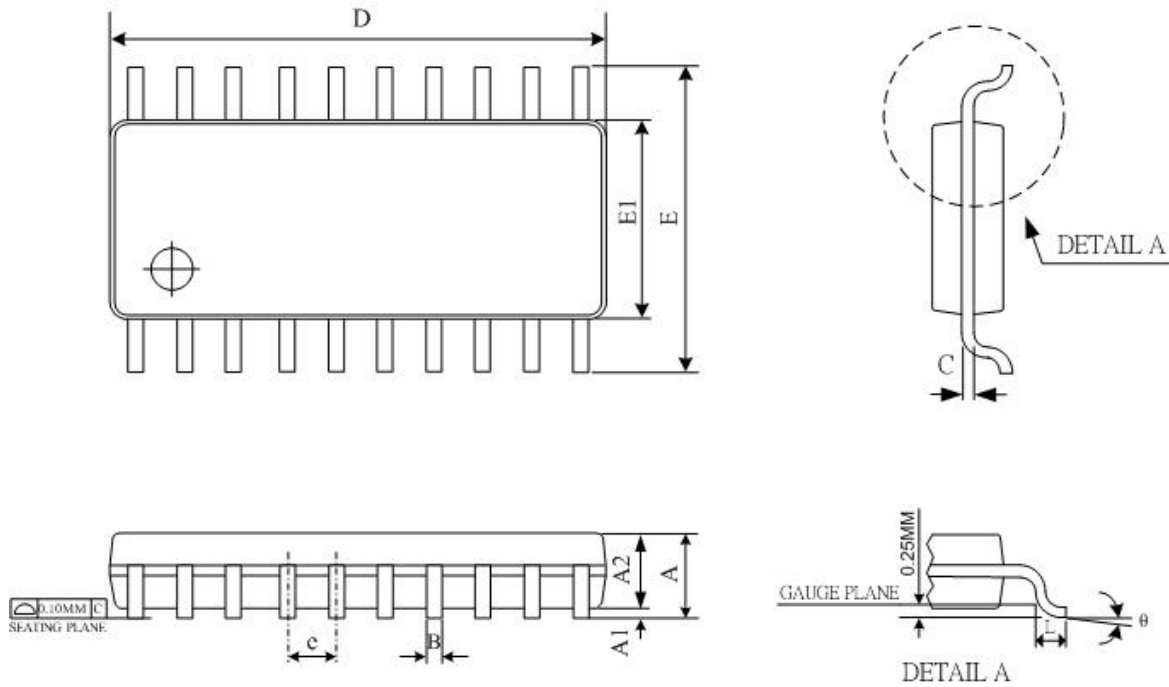
△ * NOTES : DIMENSION B APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15mm AND 0.30mm FROM THE TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION B SHOULD NOT BE MEASURED IN THAT RADIUS AREA. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

SOP-20 引脚 (300mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.35	2.50	2.65	0.0926	0.0985	0.1043
A1	0.10	0.20	0.30	0.0040	0.0079	0.0118
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.23	0.28	0.32	0.0091	0.0108	0.0125
D	12.60	12.80	13.00	0.4961	0.5040	0.5118
E	10.00	10.33	10.65	0.3940	0.4425	0.4910
E1	7.40	7.50	7.60	0.2914	0.2953	0.2992
e	1.27 BSC			0.050 BSC		
h	0.25	0.50	0.75	0.0100	0.0195	0.0290
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-013 (AC)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

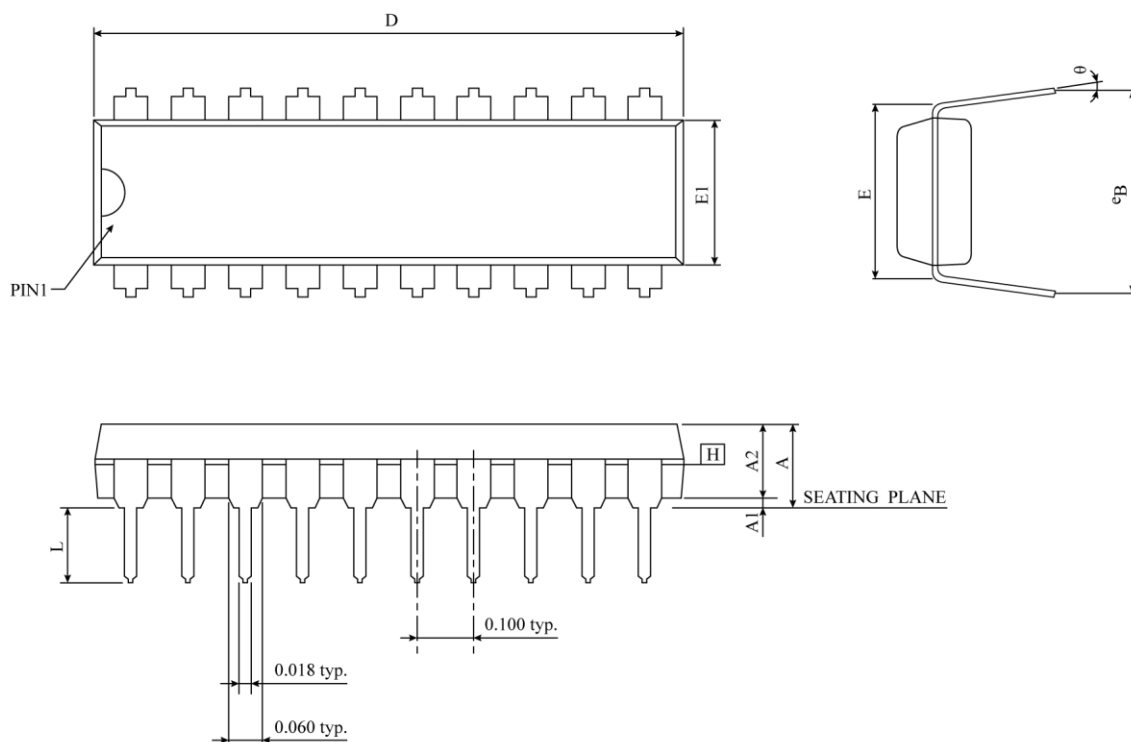
TSSOP-20 引脚 (173mil) 包装尺寸


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	-	-	1.2	-	-	0.047
A1	0.05	0.10	0.15	0.002	0.004	0.006
A2	0.8	0.93	1.05	0.031	0.036	0.041
B	0.19	-	0.3	0.007	-	0.012
D	6.4	6.5	6.6	0.252	0.256	0.260
E	6.25	6.4	6.55	0.246	0.252	0.258
E1	4.3	4.4	4.5	0.169	0.173	0.177
e	0.65 BSC			0.026 BSC		
L	0.45	0.60	0.75	0.018	0.024	0.030
θ	0 °		8 °	0 °		8 °
JEDEC	MO-153 AC REV.F					

Notes :

- 1.DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS. MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.15 PER SIDE.
- 2.DIMENSION "E1" DOES NOT INCLUDE INTERLEAD FLASH OR PROTRUSION. INTERLEAD FLASH OR PROTRUSION SHALL NOT EXCEED 0.25 PER SIDE.
- 3.DIMENSION "B" DOES NOT INCLUDE DAMBAR PROTRUSION.ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08MM TOTAL IN EXCESS OF THE "B" DIMENSION AT MAXIMUM METERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON THE LOWER RADIUS OF THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND ADJACENT LEAD IS 0.07MM.

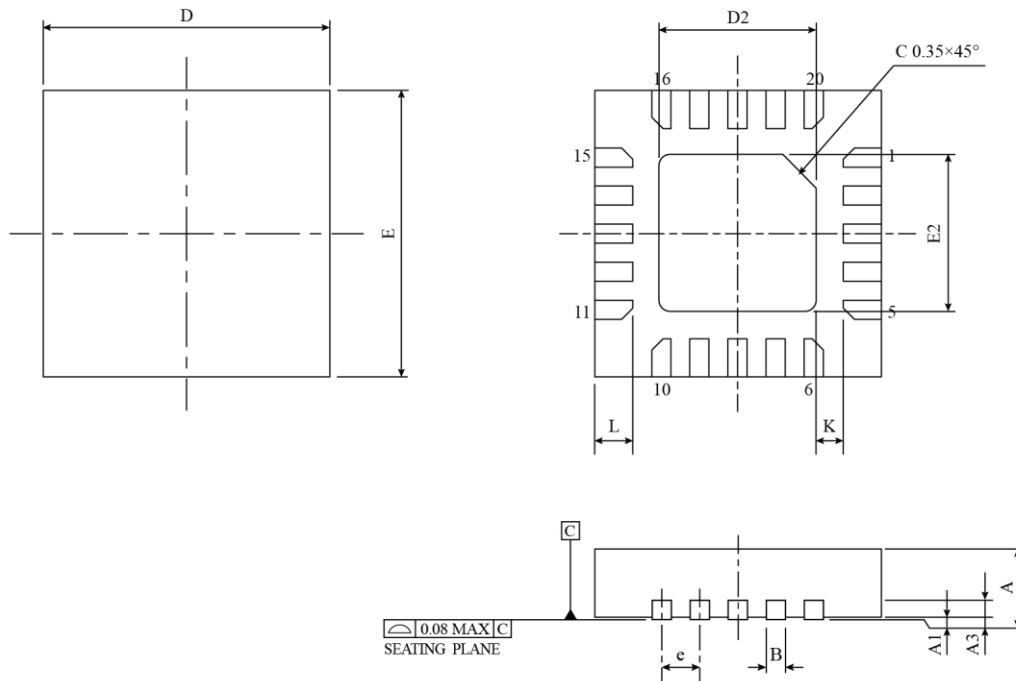
DIP-20 引脚 (300mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	-	-	4.445	-	-	0.175
A1	0.381	-	-	0.015	-	-
A2	3.175	3.302	3.429	0.125	0.130	0.135
D	25.705	26.061	26.416	1.012	1.026	1.040
E	7.620	7.747	7.874	0.300	0.305	0.310
E1	6.223	6.350	6.477	0.245	0.250	0.255
L	3.048	3.302	3.556	0.120	0.130	0.140
eB	8.509	9.017	9.525	0.335	0.355	0.375
θ	0°	7.5°	15°	0°	7.5°	15°
JEDEC	MS-001 (AD)					

NOTES :

1. "D", "E1" DIMENSIONS DO NOT INCLUDE MOLD FLASH OR PROTRUSIONS. MOLD FLASH OR PROTRUSIONS SHALL NOT EXCEED .010 INCH.
2. eB IS MEASURED AT THE LEAD TIPS WITH THE LEADS UNCONSTRAINED.
3. POINTED OR ROUNDED LEAD TIPS ARE PREFERRED TO EASE INSERTION.
4. DISTANCE BETWEEN LEADS INCLUDING DAM BAR PROTRUSIONS TO BE .005 INCH MINIMUM.
5. DATUM PLANE $\square$ COINCIDENT WITH THE BOTTOM OF LEAD, WHERE LEAD EXITS BODY.

QFN-20 引脚 (3x3x0.75-0.4mm) 包装尺寸


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.70	0.75	0.80	0.028	0.030	0.031
A1	0.00	0.02	0.05	0.000	0.001	0.002
A3	0.203 REF.			0.008 REF.		
B	0.15	0.20	0.25	0.006	0.008	0.010
D	3.00 BSC			0.118 BSC		
E	3.00 BSC			0.118 BSC		
e	0.40 BSC			0.016 BSC		
K	0.20	-	-	0.008	-	-
E2	1.60	1.65	1.70	0.063	0.065	0.067
D2	1.60	1.65	1.70	0.063	0.065	0.067
L	0.30	0.40	0.50	0.012	0.016	0.020
JEDEC						

- △ *NOTES : 1. ALL DIMENSION ARE IN MILLIMETERS.
 2. DIMENSION B APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15mm AND 0.30mm FROM THE TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION B SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
 3. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.