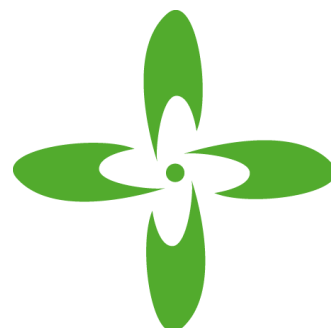




十速

TM52F55A3

规格书

版本 0.90

电磁炉专用

(请在使用前阅读第二页上的注意事项)

tenx reserves the right to change or discontinue the manual and online documentation to this product herein to improve reliability, function or design without further notice. **tenx** does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. **tenx** products are not designed, intended, or authorized for use in life support appliances, devices, or systems. If Buyer purchases or uses **tenx** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **tenx** and its officers, employees, subsidiaries, affiliates and distributors harmless against all claims, cost, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use even if such claim alleges that **tenx** was negligent regarding the design or manufacture of the part.

注意事项

1. 如果 INT_n 引脚是低电平且该唤醒功能启用，则芯片无法进入暂停/停止模式。（ $INT_n=0$ 和 $EX_n=1$ ， $n=0\sim1$ ）
2. 使用 **MOVC** 读取闪存，禁止使用 **MOVX** 读取闪存。

修改记录

版次	生效日	修订内容概要
V0.90	Nov, 2025	新颁

目录

注意事项.....	2
修改记录.....	3
概述.....	7
系统框图.....	7
基本功能.....	8
IC 引脚图	11
引脚描述.....	12
引脚汇总.....	13
功能描述.....	14
1. CPU 核心	14
1.1 累加器(ACC)	14
1.2 B 寄存器(B).....	14
1.3 堆栈指针(SP).....	15
1.4 数据指针(DPTRs).....	15
1.5 程序状态字(PSW)	16
2. 存储器	17
2.1 程序存储器	17
2.2 信息存储器(支持 IAP)	18
2.3 数据存储器	20
3. 低电压复位	23
4. 复位	25
4.1 上电复位	25
4.2 外部引脚复位	25
4.3 软件复位	25
4.4 看门狗定时器复位	25
4.5 低电压复位	25
5. 时钟电路和工作模式	28
5.1 时钟电路	28
5.2 操作模式	30
6. 中断和唤醒	31
6.1 中断使能和优先级控制	31
6.2 引脚中断	34

6.3 空闲模式唤醒和中断	36
6.4 暂停/停止模式唤醒和中断	36
7. I/O 端口	38
7.1 端口 1~端口 3	38
8. Timers	47
8.1 Timer0/1	47
8.2 Timer2	50
8.3 Timer3	52
8.4 T0O, T1O 和 T2O 输出控制	53
9. UART	54
10. PWMs	56
10.1 PWM0	56
10.2 PWM1	61
11. ADC	66
11.1 ADC 通道	67
11.2 ADC 转换时间	68
12. 乘法器和除法器	71
13. 运算放大器	73
14. 模拟比较器	77
15. 可编程脉冲发生器 (PPG)	86
15.1 单脉冲模式	86
15.2 同步模式	87
15.3 比较器事件	88
15.4 PPG 上限/下限值输出控制	92
15.5 PPGL 输出控制	92
16. 相位保护检测器 (PPD)	97
16.1 相位检测器	97
16.2 CMP	97
16.3 PWM0 强制关闭	98
17. 周期型定时器 (PTM) 和增强型定时器 (ETM)	100
18. 主 I ² C 接口	105
19. 从机 I ² C 接口	109
20. 在线仿真器 (ICE) 模式	112
SFR 和 CFGW 映射	114
SFR 和 CFGW 描述	117

指令系统.....	140
电气特性.....	143
1. 最大绝对额定值	143
2. 直流特性	143
3. 时钟时序	144
4. 复位时序特性	144
5. LVR 电路特性	144
6. ADC 电气特性.....	145
7. OPA 特性	145
8. 模拟比较器特性	146
9. 特性曲线图	147
封装说明.....	150

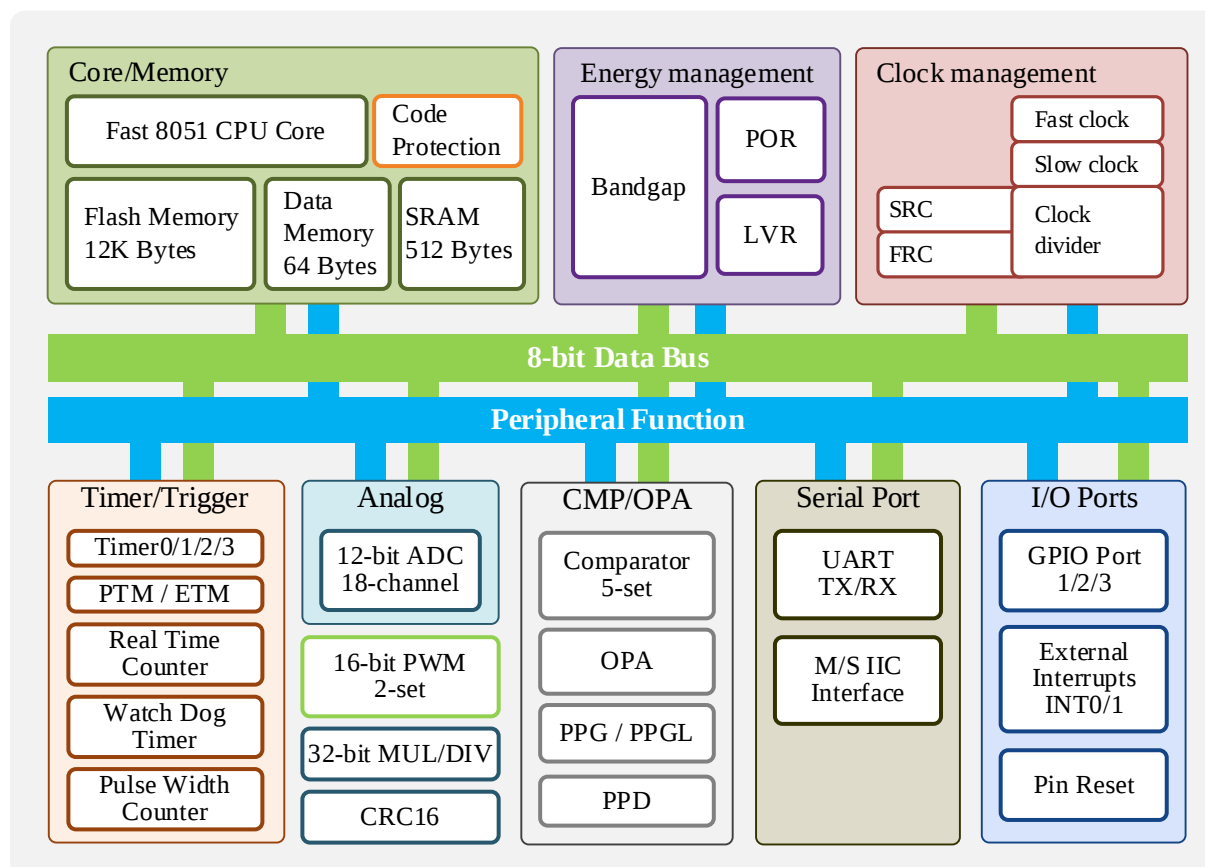
概述

TM52 系列 F55A3 是一个新的，快速的 8051 架构，与业界标准 8051 指令集完全兼容的 8 位单片机，并保持了 8051 外围的功能模块。通常情况下，**TM52-F55A3** 执行指令的速度比传统的 8051 架构快六倍。

TM52-F55A3 通过集成多种功能在芯片上，提供了更高的性能，更低的成本，能快速进入市场。包括 12K 字节闪存(Flash)程序存储器，64 字节数据存储器(信息区)，512 字节 SRAM，低电压复位 (LVR)，双时钟省电工作模式，8051 标准 UART 和定时器 Timer0/1/2，实时计时器 Timer3，周期型定时器 PTM，增强型定时器 ETM，主/从 IIC 接口，运算放大器，5 个电压比较器，2 组 16 位脉冲宽度调制器(PWM)，18 通道的 12 位模数转换器(ADC)，12 位可编程脉冲发生器(PPG)，相位保护检测器(PPD)和看门狗定时器。其高可靠性和低功耗特性可广泛应用于消费电子和家用电器产品。

系统框图

TM52 系列 F55A3



基本功能

1. 标准 8051 指令集，快速的机器周期
 - 指令执行比传统 8051 快六倍
2. 12K 字节 Flash 程序存储器
 - 支持 ICP (在线编程) 的闪存程序码
 - 程序码保护功能
 - 至少 100 次的擦写次数
 - 至少 10 年的数据保存时间
3. 64 字节数据存储器(信息区)
 - 至少 100 次的擦写次数
 - 至少 10 年的数据保存时间
4. 总计 512 字节 SRAM (IRAM+XRAM)
 - 256 字节 IRAM 在 8051 内部数据存储器区
 - 256 字节 XRAM 在 8051 外部数据存储器区(由 MOVX 指令存取)
5. 2 种系统时钟类型选择
 - 快时钟使用内部 RC (FRC, 16.5888 MHz)
 - 慢时钟使用内部 RC (SRC, 137 KHz)
 - 系统时钟可分 1/2/4/16 选项
6. 8051 标准定时器 – Timer0/1/2
 - 16 位 Timer0, 同时支持 T0O 时钟输出供蜂鸣器应用
 - 16 位 Timer1, 同时支持 T1O 时钟输出供蜂鸣器应用
 - 16 位 Timer2, 同时支持 T2O 时钟输出供蜂鸣器应用
7. 15 位 Timer3
 - 时钟源为 SRC/4 或 FRC/512
 - 中断周期可选时钟除以 32768/16384/8192/128 选项
8. 8051 标准 UART
 - 单线 UART 选项
9. 2 个独立的 16 位 PWM, 具有周期调整/缓冲区重载/清除和保持功能
10. 一个主/从 I²C 接口
11. 12 位 ADC, 具有 18 通道外部引脚输入, 2 通道内部参考电压和 1 路 OPA 输出电压
12. 内置运算放大器 x1 用于 IGBT 电流检测
 - 低功耗轨到轨输入/输出

- $V_{os} < |2\text{mV}|$ | 通过校准
- 高增益带宽 2.1 MHz
- 高开环增益 90 dB
- CMRR 80 dB, PSRR 80 dB

13. 内置电压比较器 x5, 适用于 IH 电磁炉应用

- $V_{os} < |2\text{mV}|$ | 通过校准
- $|40\text{mV}|$ 迟滞选项(禁用/启用)
- 相位保护检测器(PPD)

14. 1 个 12 位可编程脉冲发生器(PPG)输出通道

- 单脉冲模式/同步模式
- 直接/进近重载模式
- 可编程输出延迟时间(仅同步模式)
- 自动递减脉冲宽度控制
- 过压/过流保护

15. 乘法和除法

- 8 位乘法器和除法器(标准 8051)
- 16 位乘法器和除法器
- 32 位÷16 位硬件除法器

16. 集成 16 位循环冗余校验功能

17. 22 源, 4 级优先中断

- Timer0/Timer1/Timer2/Timer3 中断
- INT0/INT1 下降沿/低电平中断
- 所有端口引脚电平变化中断
- UART TX/RX 中断
- PTM/ETM 中断
- ADC 中断
- Master/Slave I2C 中断
- PPG/PPD 中断
- CMP1~5 中断
- PWM0/PWM1 中断

18. 引脚中断能将停止模式下的 CPU 唤醒

- P3.2/P3.3(INT0/INT1)中断和唤醒
- 所有端口每个引脚可以定义为中断和唤醒引脚(通过引脚电平变化)

19. 最多 18 个可编程 I/O 引脚

- CMOS 推挽输出
- 伪开漏或开漏输出
- 施密特触发输入
- 引脚上拉可以使能/禁止

20. 独立的 RC 振荡看门狗定时器

- 488ms/244ms/122ms/61ms 可选择的看门狗超时选项

21. 5 种复位

- 上电复位
- 可选的外部引脚复位
- 软件命令复位
- 可选的看门狗定时器复位
- 可选的低电压复位

22. 16 级低电压复位

- 2.52V~4.41V, POR 2.2V

23. 五种省电操作模式

- 快钟/慢钟/空闲/暂停/停止模式

24. 在板仿真/ICE 接口

- 使用 P3.0/P3.1 或 P3.5/P3.6 引脚
- 与 ICP 编程引脚共享

25. 工作电压和电流

- $V_{CC}=2.1V \sim 5.5V$ @ $F_{SYSCLK}=16.5888\text{ MHz}$
- $V_{CC}=1.5V \sim 5.5V$ @ $F_{SYSCLK}=8.2944\text{ MHz}$
- $I_{CC}=0.3\mu A$ @停止模式, $PWRS\Delta V=1$, $V_{CC}=5V$
- $I_{CC}=10\mu A$ @暂停模式, $PWRS\Delta V=1$, $V_{CC}=5V$
- $I_{CC}=18\mu A$ @空闲模式, $PWRS\Delta V=1$, $V_{CC}=5V$

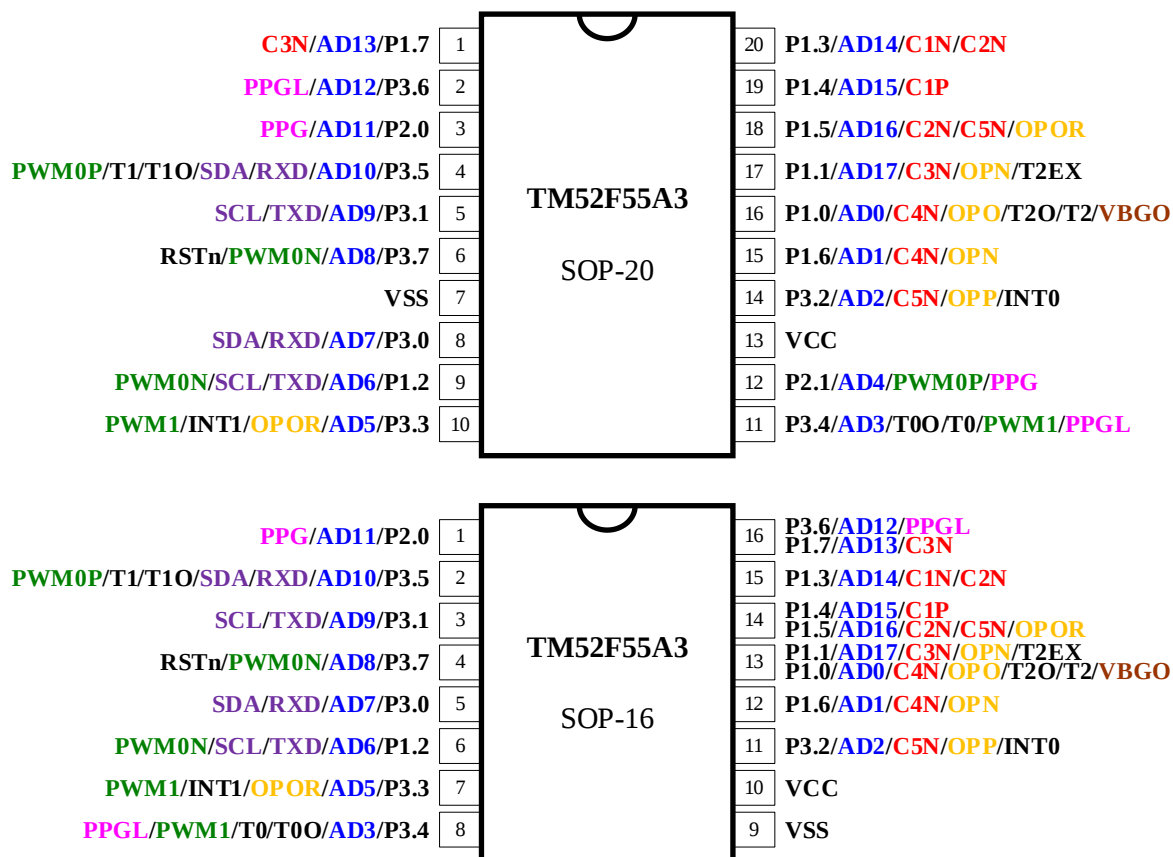
26. 工作温度范围

- $-40^{\circ}C \sim +105^{\circ}C$

27. 封装类型

- SOP 20-pin (300 mil)
- SOP 16-pin (150 mil)

IC 引脚图



引脚描述

引脚名称	输入/ 输出	引脚描述
P3.3~P3.7 P2.0~P2.1 P1.0~P1.7	I/O	位编程输入/输出端口，可施密特触发输入，CMOS 推挽输出或开漏输出。上拉电阻是由软件分配。这些引脚的电平变化可以唤醒 CPU 的空闲/暂停/停止模式。
P3.0~P3.2	I/O	位编程输入/输出端口，可施密特触发输入，CMOS 推挽输出或伪开漏输出。上拉电阻是由软件分配。这些引脚的电平变化可以唤醒 CPU 的空闲/暂停/停止模式。
INT0, INT1	I	外部低电平或下降沿中断输入，空闲/停止模式唤醒输入。
RXD	I/O	UART 模式 1/3 接收数据。
TXD	I/O	UART 模式 1/3 发送数据。在单线 UART 模式时，该引脚发送和接收串行数据。
T0, T1, T2	I	Timer0, Timer1, Timer2 事件计数引脚输入
T0O	O	Timer0 溢出除以 64 输出
T1O	O	Timer1 溢出除以 2 输出
T2O	O	Timer2 溢出除以 2 输出
T2EX	I	Timer2 外部触发输入
VBGO	O	带隙基准电压输出
PWM0P PWM0N PWM1	O	16 位 PWM 输出
AD0~AD17	I	ADC 输入
OPP	I	运算放大器非反相输入
OPN	I	运算放大器反相输入
OPO	O	运算放大器输出
OPOR	O	运算放大器串联电阻输出
C1P	I	模拟比较器 1 同相输入
C1N	I	模拟比较器 1 反相输入
C2N	I	模拟比较器 2 反相输入
C3N	I	模拟比较器 3 反相输入
C4N	I	模拟比较器 4 反相输入
C5N	I	模拟比较器 5 反相输入
SCL	I/O	主 IIC SCL 输出或从 IIC SCL 输入
SDA	I/O	主/从 IIC SDA 输入或输出
PPG	O	PPG 输出
PPGL	O	PPGL 输出
RSTn	I	外部低有效复位输入
VCC, VSS	P	电源输入引脚和地

引脚汇总

TM52F55A3

引脚 编号	SOP-20 SOP-16	引脚名称	类型	输入			输出			交替功能							其它
				上 拉 电 阻	唤 醒	外 部 中 断	推 挽	伪 开 漏	开 漏	OPA	ADC	COMP	IIC	UART	PWM	定 时 器	
1	16	C3N/AD13/P1.7	I/O	●	●		●		●		●	●					
2	16	PPGL/AD12/P3.6	I/O	●	●		●		●		●						●
3	1	PPG/AD11/P2.0	I/O	●	●		●		●		●						●
4	2	PWM0P/T1/T1O/SDA/RXD/AD10/P3.5	I/O	●	●		●		●		●		●	●	●	●	
5	3	SCL/TXD/AD9/P3.1	I/O	●	●		●	●			●		●	●			
6	4	RSTn/PWM0N/AD8/P3.7	I/O	●	●		●		●		●				●		Reset
7	9	VSS	P														
8	5	SDA/RXD/AD7/P3.0	I/O	●	●		●	●			●		●	●			
9	6	PWM0N/SCL/TXD/AD6/P1.2	I/O	●	●		●		●		●		●	●	●		
10	7	PWM1/INT1/OPOR/AD5/P3.3	I/O	●	●	●	●		●	●	●				●		
11	8	PPGL/PWM1/T0/T0O/AD3/P3.4	I/O	●	●		●		●		●				●	●	●
12		PPG/PWM0P/AD4/P2.1	I/O	●	●		●		●		●				●		●
13	10	VCC	P						●								
14	11	INT0/OPP/C5N/AD2/P3.2	I/O	●	●	●	●	●		●	●	●					
15	12	OPN/C4N/AD1/P1.6	I/O	●	●		●		●	●	●	●					
16	13	VBGO/T2/T2O/OPO/C4N/AD0/P1.0	I/O	●	●		●		●	●	●	●				●	VBGO
17	13	T2EX/OPN/C3N/AD17/P1.1	I/O	●	●		●		●	●	●	●					
18	14	OPOR/C5N/C2N/AD16/P1.5	I/O	●	●		●		●	●	●	●					
19	14	C1P/AD15/P1.4	I/O	●	●		●		●		●	●					
20	15	C2N/C1N/AD14/P1.3	I/O	●	●		●		●		●	●					

PS:

1. ● Port1, Port2, Port3 这些引脚上拉电阻由操作模式控制。

功能描述

1. CPU 核心

采用 8051 的架构, C 语言作为开发平台。TM52 装置拥有一个快速 8051 内核的高度集成微控制器, 可以使开发人员实现比传统 8051 芯片更高的性能。TM52 系列微控制器提供标准 8051 指令集兼容的完整的二进制代码, 以确保一个简单的移植路径, 以加快系统产品的开发速度。CPU 核心包括了 ALU, 程序状态字(PSW), 累加器(ACC), B 寄存器, 堆栈指针(SP), 数据指针, 编程计数器, 指令译码器, 以及核心的特殊功能寄存器(SFRs)。

1.1 累加器(ACC)

该寄存器提供了一个运算数供给大多数的 ALU 操作。累加器通常被称为 A 或 ACC 和有时被称为寄存器 A。在本文档中, 累加器被表示为“A”或“ACC”, 包括指令表。累加器, 正如其名称所示, 被用作通用寄存器累积了大量的指令的中间结果。累加器是完成算术运算和逻辑运算的最重要、最频繁的寄存器。它保存大多数算术和逻辑运算的中间结果, 以协助数据运送。

SFR E0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E0h.7~0 ACC: 累加器

1.2 B 寄存器(B)

“B”寄存器和 ACC 是非常相似, 可保存 1 个字节的值。该寄存器提供了乘法或除法指令的第二个运算数。否则, 它可被用作一个暂存寄存器。B 寄存器只有用于两个 8051 的指令, MUL 和 DIV。当 A 乘或除以另一个数, 另一个数字就存储在 B 中。对于 MUL 和 DIV 指令, 有必要将这两个运算数放在 A 和 B。

ex: DIV AB

当执行该指令, 将 A 和 B 内部的数据相除, 答案存储在 A 内。

SFR F0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F0h.7~0 B: B 寄存器

1.3 堆栈指针(SP)

SP 寄存器包含堆栈指针。执行 LCALL, ACALL 和 PUSH 指令时, 堆栈指针先加 1, 再将程序计数器加载到堆栈中。执行 RET, RETI 和 POP 指令时, 堆栈数据退回程序计数器后, 堆栈指针再减 1。

SFR 81h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SP	SP							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	1	1	1

81h.7~0 **SP:** 堆栈指针

1.4 数据指针(DPTRs)

TM52 装置有两个数据指针, 它们共享相同的 SFR 地址。每个 DPTR 的大小是 16 位, 由两个数据指针寄存器: 高字节(DPH)和低字节(DPL)。该 DPTR 用于 16 位地址的外部存储器存取, 偏移字节代码读取和偏移程序跳转。设置 DPSEL 控制位允许程序代码在两个物理数据指针之间切换。

SFR 82h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPL	DPL							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

82h.7~0 **DPL:** 数据指针低字节

SFR 83h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPH	DPH							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

83h.7~0 **DPH:** 数据指针高字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	CLRPWM0	CLRPWM1	T1SEL	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	1	1	0	0

F8h.0 **DPSEL:** 活动 DPTR 选择

1.5 程序状态字(PSW)

该寄存器包含 CPU 和 ALU 操作导致的状态信息。会影响 PSW 的指令如下所示。

指令	标志		
	C	OV	AC
ADD	X	X	X
ADDC	X	X	X
SUBB	X	X	X
MUL	0	X	
DIV	0	X	
DA	X		
RRC	X		
RLC	X		
SETB C	1		

指令	标志		
	C	OV	AC
CLR C	0		
CPL C	X		
ANL C, bit	X		
ANL C, /bit	X		
ORL C, bit	X		
ORL C, /bit	X		
MOV C, bit	X		
CJNE	X		

“0”表示标志被清零，“1”表示标志被设置和“X”表示标志的状态取决于操作的结果。

SFR D0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PSW	CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

D0h.7 **CY**: ALU 进位标志

D0h.6 **AC**: ALU 辅助进位标志

D0h.5 **F0**: 用户的自定义标志位

D0h.4~3 **RS1, RS0**: (RS1,RS0)的内容所启动之工作寄存器存储区为:

00: 存储区 0 (00h~07h)

01: 存储区 1 (08h~0Fh)

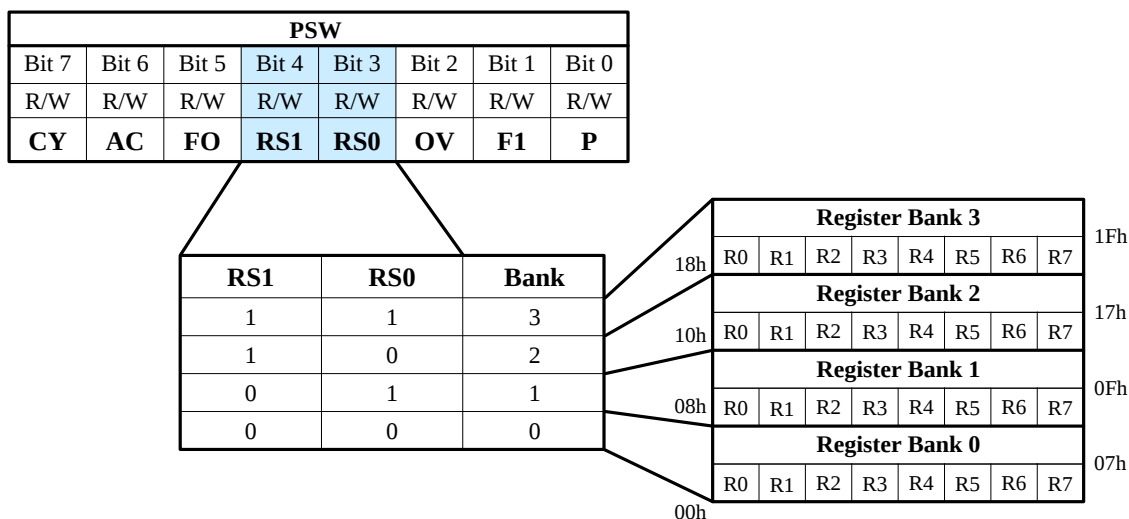
10: 存储区 2 (10h~17h)

11: 存储区 3 (18h~1Fh)

D0h.2 **OV**: ALU 溢出标志

D0h.1 **F1**: 用户的自定义标志位

D0h.0 **P**: 奇偶标志。由硬件于每个指令周期设置/清零来表示在累加器“1”位之奇/偶数。



2. 存储器

2.1 程序存储器

此芯片具有 12K 字节的闪存程序存储器，可以支持在线编程 (ICP) 功能模式。此闪存可反复擦写至少 100 次以上。闪存程序存储器的连续地址空间 (0000h~2FFFh) 被划分为多个扇区以供设备操作。

2.1.1 程序存储器的功能分区

程序存储器的最后 16 个字节 (2FF0h~2FFFh) 被定义为芯片配置字 (CFGW)，在上电复位 (POR) 时被装载到装置控制寄存器。按照标准 8051 定义，地址空间 0000h~007Fh 由复位/中断向量占用。在线仿真模式下，用户还需要为 ICE 系统通信预留 0D00h~0FFFh 地址空间。CRC16H/L 是校验和的保留区域。Tenx 可以提供一个 CRC 校验子程序，用户可以通过 CRC 校验子程序计算校验和，与 CRC16H/L 进行比较，并检查 ROM 代码的有效性。

12K 字节程序存储器	
0000h	复位/中断向量 Reset/Interrupt Vector
007Fh	
0080h	用户程序 User Code area
0CFFh	
0D00h	在线仿真预留区域 ICE mode reserve area
0FFFh	
1000h	用户程序 User Code area
2FEFh	
2FF0h	CRC16L
2FF1h	CRC16H
2FF2h	tenx reserved area
2FF7h	
2FF9h	CFGOP
2FFBh	CFGGBG
2FFDh	CFGWL (FRC)
2FFFh	CFGWH

2.1.2 闪存 ICP 模式

闪存存储器可以通过烧录器工具写入程序，录器工具至少需要四根线 (VCC、VSS、P3.0 和 P3.1 引脚) 连接到该芯片以进行编程。如果用户想在目标电路板上对闪存进行编程 (在电路编程, ICP)，这些引脚必须保留足够的自由来连接到烧录器。

连接线数目	连接管脚
4-Wire	VCC, VSS, P3.0, P3.1

2.2 信息存储器(支持 IAP)

芯片有一个 128 字节的信息存储器。信息内存地址连续空间 (E500h~E57Fh) 被划分为多个扇区，用于设备操作。前 64 字节 (E500h~E53Fh) 是一个保留的区域，定义生产信息，如 ID，特殊规定，编码号码，校验和。后 64 字节 (E540h~E57Fh) 提供用户使用，用户可透过 IAP 方式写入和读取该区域。此区域具有至少 100 次的写入/擦除周期耐久性。

信息区 IAP 写入：

简单地通过“MOVX @DPTR, A”指令来实现，而 DPTR 包含信息区的目标地址 (E540h~E57Fh)，ACC 包含要写入的数据。写入大约需要 2ms@V_{CC}=3V，1ms@V_{CC}=5V。在 IAP 期间，CPU 保持在等待状态，但所有外设模块在写入时间内继续运行，而 WDT 则暂停计数，若恰好产生溢出复位信号将被忽略。软件必须在数据写入完成后处理期间产生的中断。芯片内置 IAPTE (F7h.2~1) 选择的写超时功能，可避开写失败状态。IAP 写入需要 V_{CC}>3.0V。

信息区 IAP 读取：

只要将目标地址指向 E540h~E57Fh 区域，就可以由“MOVX”指令执行。信息区的 IAP 读取不需要额外的 CPU 等待时间。

```
; Info example code
; need VCC>3.0V
MOV     DPTR, #E540h      ; DPTR=E540h=target IAP address
MOV     A, #5Ah           ; A=5Ah=target IAP write data
MOV     AUX2, #02h        ; IAP Time-Out function enable
MOV     IAPCON, #A1h      ; Info ROM IAP write enable
MOVX    @DPTR, A          ; Info ROM[E540h] =5Ah, after IAP write
                           ; 1ms~2ms H/W writing time, CPU wait

MOV     A, IAPCON          ; Check IAPTO flag
MOV     IAPCON, #00h      ; Info ROM IAP write disable, immediately after IAP write
MOVX    A, @DPTR          ; Read Info ROM. A=5Ah
```

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPCON	IAPCON							
	—	IAPTO	—	INFOWE	—	—	—	—
R/W	W	R/W	W	R/W	W	W	W	W
Reset	—	0	—	0	—	—	—	—

C9h.7~0 **IAPCON (W):** 写 A1h 设置 INFOWE 控制标志；写其他值表示清除 INFOWE 标志。建议在写入 Info ROM 后立即清除。

C9h.6 **IAPTO (R):** IAP 写入超时标志，当 IAP 写入超时时，由 H/W 设定。当 INFOWE=0 时，由 H/W 清除。

C9h.4 **INFOWE (R):** 标志表示 Info ROM 是否可以写入，1=Info ROM 写入启用。

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	1	1	0

F7h.2~1 **IAPTE:** IAP 写看门狗定时器启用。

00: 禁用

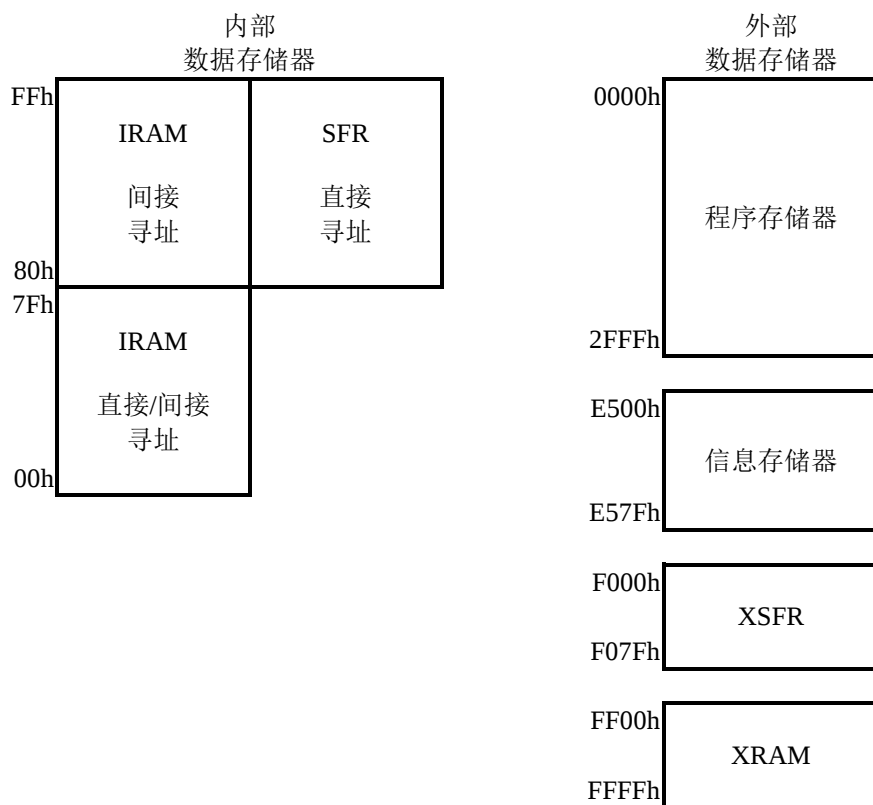
01: 等待 7.5mS 触发看门狗超时标志，并退出写入失败状态

10: 等待 30mS 触发看门狗超时标志，并退出写入失败状态

11: 等待 60mS 触发看门狗超时标志，并退出写入失败状态

2.3 数据存储器

正如标准的 8051，该芯片有内部和外部数据存储器空间。内部数据存储空间由 256 字节 IRAM 和 117 个 SFR 组成，可通过丰富的指令集进行访问。外部数据存储空间由 256 字节 XRAM、13 字节 XSFR 和 128 字节信息存储器组成，只能通过 MOVX 指令访问。



2.3.1 IRAM

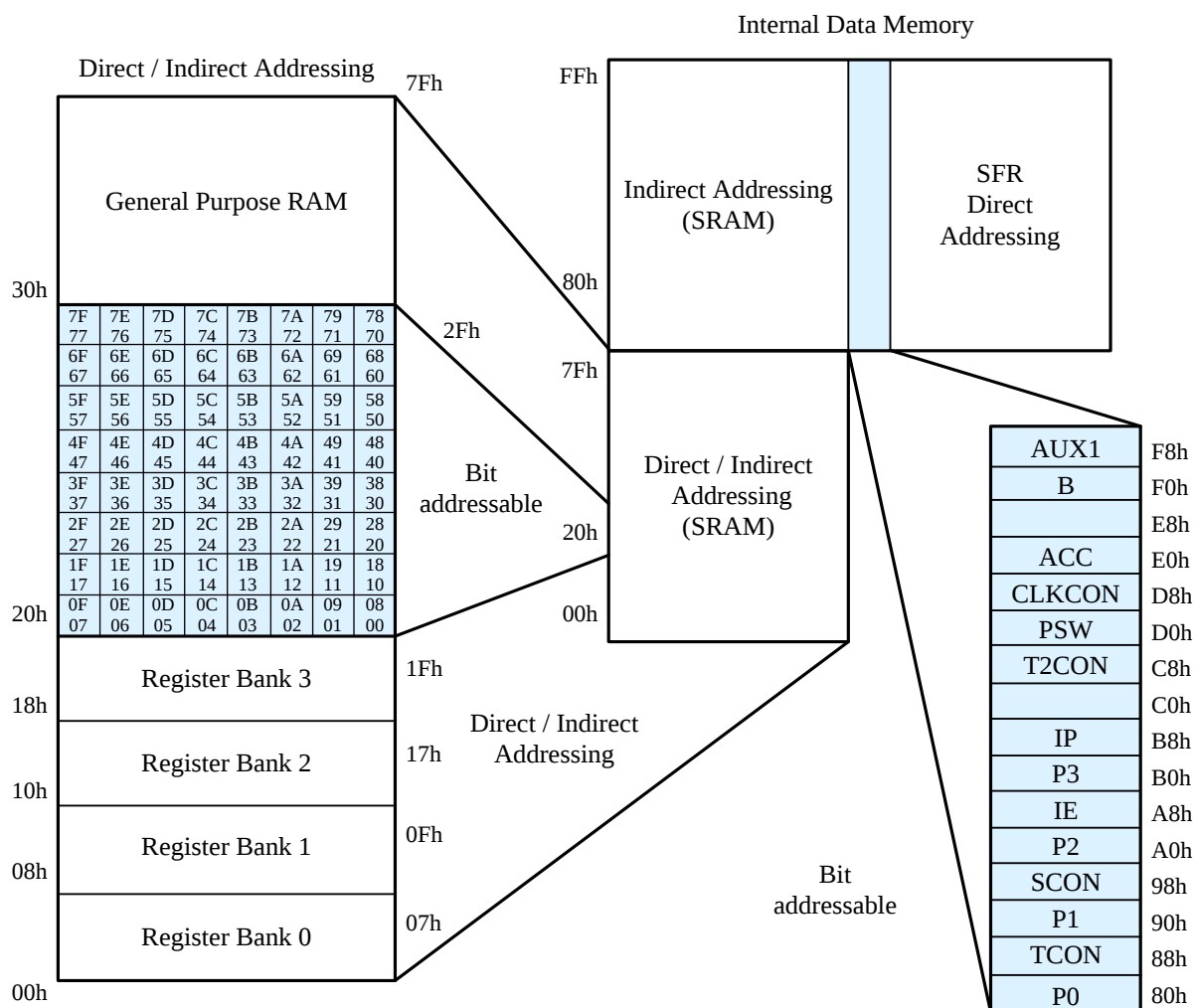
IRAM 位于 8051 内部数据存储空间。整个 256 字节 IRAM 都可以使用间接寻址存取,只有较低的 128 字节可以使用直接寻址存取。有四个直接寻址寄存器组(通过 PSW 切换),占据 IRAM 空间从 00h 到 1Fh。地址 20h 到 2Fh 的 16 字节 IRAM 空间可以使用位寻址。IRAM 可以作为一般寄存器和程序堆栈。

2.3.2 XRAM

XRAM 位于 8051 外部数据存储器空间(地址从 FF00h 到 FFFFh)。256 字节 XRAM 只能通过“MOVX”指令存取。

2.3.3 SFRs

芯片的所有外围功能模块(例如 I/O 端口、定时器和 UART)均通过特殊功能寄存器(SFR)存取设置。这些寄存器占据直接数据存储空间位置的高 128 字节,范围为 80h 至 FFh。有 14 个可位寻址的 SFR(这意味着单个字节内的 8 个独立位是可寻址的),如 ACC、B、PSW、TCON、SCON 等寄存器。其它的 SFR 只能按字节寻址。SFR 提供了内部资源和外围设备的数据交换和控制。TM52 系列微控制器提供具有标准 8051 指令集兼容性的完整二进制代码。除了标准 8051 功能寄存器外,该芯片还实现了额外的 SFR,这些 SFR 用于配置和访问该芯片独有的子系统,例如 ADC / PWM。该芯片另有扩充 SFR (XSFR),地址空间 F000h~F07Fh,只能通过“MOVX”指令存取。



	8/0	9/1	A/2	B/3	C/4	D/5	E/6	F/7
F8h	AUX1							
F0h	B	CRCDL	CRCDH	CRCIN		CFGBG	CFGWL	AUX2
E8h		CMP1CAL	CMP2CAL	CMP3CAL	CMP4CAL	CMP5CAL	OPCON	OPCAL
E0h	ACC	MICON	MIDAT	PPGCON2	SYNDLY	LVRCON	EXA	EXB
D8h	CLKCON	PWM0PRDH	PWM0PRDL	PWM1PRDH	PWM1PRDL	CERC	CERD	CERE
D0h	PSW	PWM0DH	PWM0DL	PWM1DH	PWM1DL	CERA	CERB	CMPIEDG
C8h	T2CON	IAPCON	RCP2L	RCP2H	TL2	TH2	EXA2	EXA3
C0h		CMP1CON	CMP2VRF	CMP3VRF	CMP4VRF	CMP5VRF	CMP23EQ	CMP45EQ
B8h	IP	IPH	IP1	IP1H	SIADR	SICON	CMP25CON	CMPEQI
B0h	P3	PPGCON0	PPGCON1	PPGRLDL	PPGLCON	CMPCON	PPGTML	PPGTMH
A8h	IE	INTE1	ADCDL	ADCDH	SIRCD1	SITXRCD2	CHSEL	UARTBRP
A0h	P2	PWMCON	PETMCON	ETMCON	ETMDT	PWM0PGP	PWM0APH	PWMCON2
98h	SCON	SBUF	PPDCON	PPDSTA	PPDTH	PPDIES	CCRP	
90h	P1	PIFS0	POFS0	POFS1	OPTION	INTFLG	PIFS1	SWCMD
88h	TCON	TMOD	TL0	TL1	TH0	TH1	INTETM	INTFTM
80h	P0	SP	DPL	DPH	INTE2	INTFLG2	FRCFTCON	PCON

	8/0	9/1	A/2	B/3	C/4	D/5	E/6	F/7
F008h	P1MODL	P1MODH	P1WKUP					
F010h	P2MODL		P2WKUP					
F018h	P3MODL	P3MODH	P3WKUP					
F070h	PPGLIMLL	PPGLIMLH	PPGLIMHL	PPGLIMHH				
F078h							EFTCON	

3. 低电压复位

该芯片提供低电压复位 (LVR) 功能。SFR LVRCON 可以选择 16 级 LVR。SFR PWRSV 位也影响 LVR 功能，如下表所示。

操作模式	SFR			低电压复位 (LVR)	功能	电流消耗
	LVRPD	PWRSV	LVRSEL			
快钟模式 慢钟模式	0	X	0000	ON	LV Reset 2.52V	
	0	X	0001	ON	LV Reset 2.65V	
	0	X	0010	ON	LV Reset 2.76V	
	0	X	0011	ON	LV Reset 2.89V	
	0	X	0100	ON	LV Reset 3.02V	
	0	X	0101	ON	LV Reset 3.15V	
	0	X	0110	ON	LV Reset 3.27V	
	0	X	0111	ON	LV Reset 3.40V	
	0	X	1000	ON	LV Reset 3.53V	
	0	X	1001	ON	LV Reset 3.65V	
	0	X	1010	ON	LV Reset 3.77V	
	0	X	1011	ON	LV Reset 3.89V	
	0	X	1100	ON	LV Reset 4.03V	
	0	X	1101	ON	LV Reset 4.15V	
	0	X	1110	ON	LV Reset 4.28V	
	0	X	1111	ON	LV Reset 4.41V	
空闲模式 暂停模式 停止模式	0	0	0000	ON	LV Reset 2.52V	空闲: 85uA@5V 暂停: 77uA@5V 停止: 67uA@5V
	0	0	0001	ON	LV Reset 2.65V	
	0	0	0010	ON	LV Reset 2.76V	
	0	0	0011	ON	LV Reset 2.89V	
	0	0	0100	ON	LV Reset 3.02V	
	0	0	0101	ON	LV Reset 3.15V	
	0	0	0110	ON	LV Reset 3.27V	
	0	0	0111	ON	LV Reset 3.40V	
	0	0	1000	ON	LV Reset 3.53V	
	0	0	1001	ON	LV Reset 3.65V	
	0	0	1010	ON	LV Reset 3.77V	
	0	0	1011	ON	LV Reset 3.89V	
	0	0	1100	ON	LV Reset 4.03V	
	0	0	1101	ON	LV Reset 4.15V	
	0	0	1110	ON	LV Reset 4.28V	
	0	0	1111	ON	LV Reset 4.41V	
空闲模式	0	1	XXXX	OFF	POR 2.2V (PORPD=0)	18uA@5V
	1	X	XXXX			
暂停模式 停止模式	X	1	XXXX	OFF	—	暂停: 10uA@5V 停止: 0.3uA@5V
	1	X	XXXX			

SFR E5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVRCON	–	–	PORPD	LVRPD	LVRSEL			
R/W	–	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	–	–	0	0	0	0	0	0

E5h.5 **PORPD:** 上电复位功能选择

0: POR 使能

1: POR 禁用

E5h.4 **LVRPD:** 低电压复位功能选择

0: LVR 使能

1: LVR 禁用

E5h.3~0 **LVRSEL:** 低电压复位电压选择

0000: 将 LVR 设置为 2.52V

1000: 将 LVR 设置为 3.53V

0001: 将 LVR 设置为 2.65V

1001: 将 LVR 设置为 3.65V

0010: 将 LVR 设置为 2.76V

1010: 将 LVR 设置为 3.77V

0011: 将 LVR 设置为 2.89V

1011: 将 LVR 设置为 3.89V

0100: 将 LVR 设置为 3.02V

1100: 将 LVR 设置为 4.03V

0101: 将 LVR 设置为 3.15V

1101: 将 LVR 设置为 4.15V

0110: 将 LVR 设置为 3.27V

1110: 将 LVR 设置为 4.28V

0111: 将 LVR 设置为 3.40V

1111: 将 LVR 设置为 4.41V

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAPV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	1	1	0

F7h.5 **PWRSAPV:** 省电模式控制

0: 不省电

1: 省电, 在空闲/暂停/停止模式下禁用 LVR

4. 复位

该芯片有五种类型的复位方法。上电复位(POR)，外部引脚复位(XRST)，软件复位(SWRST)，看门狗定时器复位(WDTR)和低电压复位(LVR)。CFGW 控制复位功能。复位后，SFR/XSFR 返回到其默认值。LVRCON (SFR E5h) 设定值只有在上电复位(POR)后返回其默认值，其余类型复位不受影响。

4.1 上电复位

上电复位后，设备停留在复位状态，进行 27mS 的芯片预热，然后从 Flash 的最后 16 个字节下载 CFGW 寄存器。上电复位需要 VCC 引脚的电压先放电到接近 VSS 电平，然后再上升超过 2.2V。在 VCC 超过 POR(2.2V) 电压点之前，IOPAD 有可能处于不确定之输出状态。上电复位可以由 PORPD (SFR E5h.5) 使能/禁止，在暂停/停止模式下关闭。

4.2 外部引脚复位

外部引脚复位低电平有效。RSTn 引脚需要保持至少两个 SRC 时钟周期长到芯片可采样。外部引脚复位可以由 CFGWH 使能/禁止。

4.3 软件复位

软件复位是通过将数据 56h 写入 SWCMD (SFR 97h) 来产生。软件复位会重新下载 CFGW 寄存器。

4.4 看门狗定时器复位

WDT 溢出复位透过 (SFR F7h.7~6) 来控制。WDT 使用 SRC 作为计数时基。它在快钟/慢钟模式运行，在空闲/暂停/停止模式下可选运行或停止。看门狗定时器溢出速度可通过 WDTOSC (SFR 94h.5~4) 定义。WDT 由 CLRWDT (SFR F8h.7) 或复位清零。

4.5 低电压复位

低电压复位(LVR) 功能可以由 LVRPD (SFR E5h.4) 使能/禁止。并通过 LVRSEL (SFR E5h.3~0) 选择 16 阶不同电压门槛值。当 PWRSV (SFR F7h.5)=1 时，LVR 会在芯片进入空闲/暂停/停止模式时自动关闭。

注： 详情请参考 AP-TM52XXXXX_02S 有关 LVR 应用说明。

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	TM3CKS	WDTPSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

94h.5~4 **WDTPSC:** 看门狗定时器预分频时间选择

00: 488ms WDT 溢出率
01: 244ms WDT 溢出率
10: 122ms WDT 溢出率
11: 61ms WDT 溢出率

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	SWRST							
	—						WDTO	—
R/W	W						R/W	W
Reset	—						0	—

97h.7~0 **SWRST:** 写入 56h 以产生软件复位

SFR E5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVRCON	—	—	PORPD	LVRPD	LVRSEL			
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

E5h.5 **PORPD:** 上电复位功能选择

0: POR 使能
1: POR 禁用

E5h.4 **LVRPD:** 低电压复位功能选择

0: LVR 使能
1: LVR 禁用

E5h.3~0 **LVRSEL:** 低电压复位电压选择

0000: 将 LVR 设置为 2.52V	1000: 将 LVR 设置为 3.53V
0001: 将 LVR 设置为 2.65V	1001: 将 LVR 设置为 3.65V
0010: 将 LVR 设置为 2.76V	1010: 将 LVR 设置为 3.77V
0011: 将 LVR 设置为 2.89V	1011: 将 LVR 设置为 3.89V
0100: 将 LVR 设置为 3.02V	1100: 将 LVR 设置为 4.03V
0101: 将 LVR 设置为 3.15V	1101: 将 LVR 设置为 4.15V
0110: 将 LVR 设置为 3.27V	1110: 将 LVR 设置为 4.28V
0111: 将 LVR 设置为 3.40V	1111: 将 LVR 设置为 4.41V

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAPV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	1	1	0

F7h.7~6 **WDTE:** 看门狗定时器复位控制

0x: 看门狗定时器复位关闭
10: 看门狗定时器复位位于快钟/慢钟模式下使能，在空闲/暂停/停止模式时禁止
11: 看门狗定时器复位始终启用

F7h.5 **PWRSAPV:** 省电模式控制

0: 不省电
1: 省电，在空闲/暂停/停止模式下禁用 LVR

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	–	ADSOC	CLRPWM0	CLRPWM1	T1SEL	DPSEL
R/W	R/W	R/W	–	R/W	R/W	R/W	R/W	R/W
Reset	0	0	–	0	1	1	0	0

F8h.7 **CLRWDT:** 设置以清除看门狗定时器，H/W 自动在两个时钟周期清除它

Flash 2FFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	–	–	–	–	–	–

2FFh.6 **XRSTE:** 外部引脚复位控制

0: 禁用外部引脚复位

1: 启用外部引脚复位

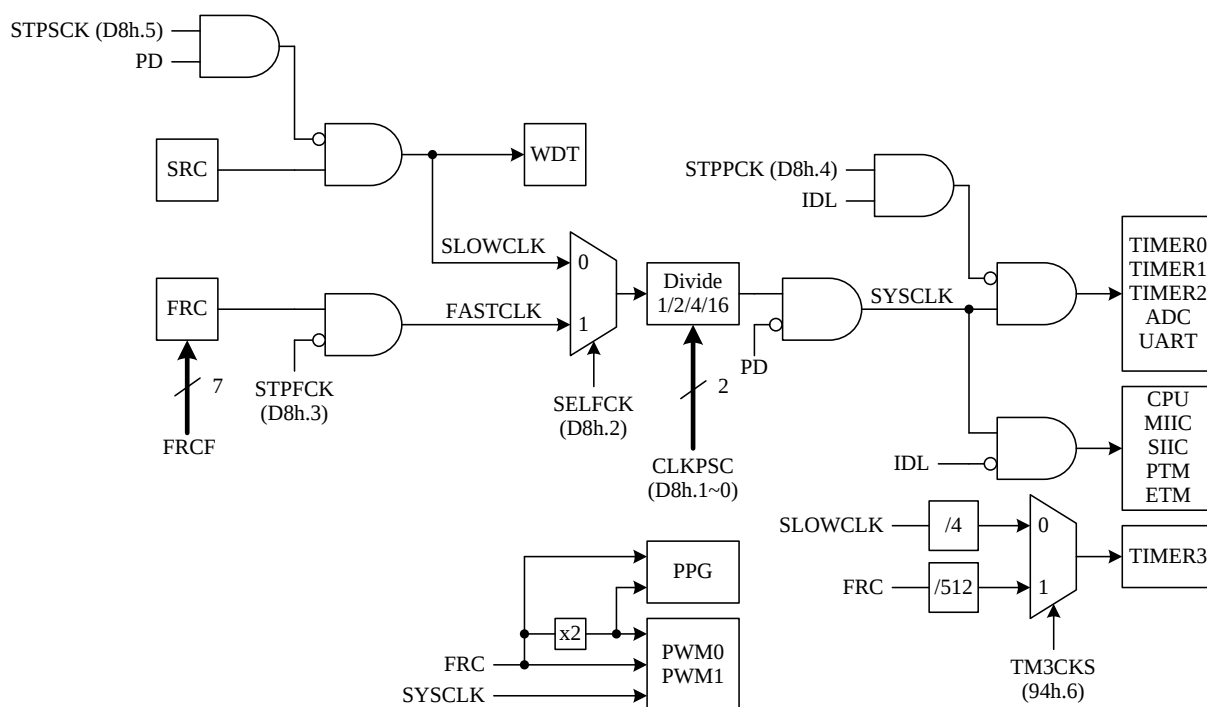
5. 时钟电路和工作模式

5.1 时钟电路

- 该芯片设计有双时钟系统。在运行时，用户可以从快钟到慢钟或由慢钟到快钟自由切换。
- 可以选择除以 1, 2, 4 或 16 的时钟分频器。
- 快时钟为 FRC (快速内部 RC, 16.5888 MHz)。
- 慢时钟为 SRC (慢速内部 RC, 137 KHz)。
- 快/慢时钟被定义为快钟模式和慢钟模式时的 CPU 运行速度。
- 16.5888 MHz 的系统时钟频率需要 $V_{CC} > 2.0V$ 。

复位后，该设备在慢钟模式 137 KHz 的 SRC 运行。S/W 应该正确选择安全的芯片运行时钟速率。较高的 V_{CC} 允许芯片在更高的系统时钟频率运行。

CLKCON SFR 控制系统时钟的正常运行。H/W 自动阻断 S/W 异常设置该寄存器。S/W 只能在快钟模式下改变慢时钟类型，在慢钟模式下改变快时钟类型。千万不要同时写 STPFCK=1 和 SELFCK=1。建议在写这个 SFR 时一次只写一个位。



SYSCLK	CLKCON (D8h)	
	Bit3 STPFCK	Bit2 SELFCK
Fast FRC	0	1
Slow SRC	0/1	0
Stop FRC	0 → 1	0
Switch to FRC	0	0 → 1
Switch to SRC	0	1 → 0

快时钟提供频率微调功能，设定 FRCFTM (SFR 86h.7~6) 可选择软件或硬件微调模式。软件模式可直接经由 FRCFT (SFR 86h.4~0) 进行频率微调。而硬件模式将会由硬件做周期性的微调，从 10h 开始先递增至 FRCFTM 所选的最大值，再递减至最小值，之后再递增回到 10h，完成一个微调周期。每一次递增或递减的时间为一个 SRC 周期。

Flash 2FFDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	—	FRCF						

1FFBh.6~0 **FRCF**: FRC 频率调整

在芯片制造中，FRC 被调整为 16.5888 MHz。FRCF 记录了调整数据。

SFR 86h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
FRCFTCON	FRCFTM		—	FRCFT				
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	1	0	0	0	0

86h.7~6 **FRCFTM**: FRC 频率微调模式

00: 软件模式

01: 硬件模式，微调范围 0Dh~13h (±3 阶)

10: 硬件模式，微调范围 0Ch~14h (±4 阶)

11: 硬件模式，微调范围 0Bh~15h (±5 阶)

86h.4~0 **FRCFT**: FRC 微调数据

00h~1Fh: 最小~最大(默认: 10h 中心值)

SFR F6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	—	FRCF						
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	—	—	—	—	—	—

F6h.6~0 **FRCF**: FRC 频率调整(上电自动加载校准值)

00 =最低频率，7Fh =最高频率

频率范围大约为 13MHz (FRCF = 00h)到 20MHz (FRCF = 7Fh)，并且接近线性。由于芯片工艺问题，每个芯片之间的频率范围不同。

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	—	—	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	1	1

D8h.5 **STPSCK**: 设置 1 以在 PD=1 后停止慢时钟(暂停/停止模式控制)

D8h.4 **STPPCK**: 设为 1，停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。

D8h.3 **STPFCK**: 设为 1，停止快时钟以节省慢钟/空闲模式的电力。该位只能在慢钟模式时改变。

D8h.2 **SELFCK**: 系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0: 慢时钟

1: 快时钟

D8h.1~0 **CLKPSC**: 系统时钟分频器

00: 系统时钟是快/慢时钟除以 16

01: 系统时钟是快/慢时钟除以 4

10: 系统时钟是快/慢时钟除以 2

11: 系统时钟是快/慢时钟除以 1

注: 由于 CLKPSC 延迟，在将慢时钟切换为快时钟之前，它需要等待16个时钟周期(最大)。关于系统时钟应用注意事项，另请参考 AP-TM52 XXXX _ 01S 和 AP-TM52 XXXX _ 02S。

5.2 操作模式

这个设备有五种操作模式。**快钟模式**被定义为在快速时钟速度运行的 CPU。**慢钟模式**被定义为慢时钟运行的 CPU。当系统时钟速度较低，功耗较低。

空闲模式通过设置 PCON 中的 IDL 位进入。快或慢时钟都可设置为在空闲模式下的系统时钟源，但慢时钟的省电越好。在空闲模式下，CPU 进入睡眠，而片上外围设备保持活跃。在 CLKCON SFR 中的“STPPCK”位可以设置为进一步降低空闲模式下的电流。如果 STPPCK=1，Timer0/1/2，ADC 和 UART 在空闲模式时停止。较慢的系统时钟频率也有助于节省电流。它可以通过设置 CLKPSC SFR 降低系统时钟频率来实现。空闲模式是通过复位或使能的中断来唤醒。

停止模式是通过设置 PCON 中的 PD 位及设置 CLKCON 中的 STPSCK 位进入，并且关闭 WDT。这种模式在标准的 8051 是所谓的“省电”模式。在停止模式下所有时钟停止。停止模式可以通过复位或引脚唤醒来结束。

暂停模式是通过设置 PCON 中的 PD 位及清除 CLKCON 中的 STPSCK 位进入。在暂停模式下，所有时钟都停止，但如果启用了 Timer3 和 WDT，则它们可能处于开启状态。暂停模式可以通过复位，引脚唤醒或 Timer3 中断来终止。

注：如果 INTn 引脚是低电平且该唤醒功能启用，则芯片无法进入暂停/停止模式。(INTn=0 and EXn=1,n=0,1)。
注：FW 必须关闭带隙以获得微小电流(PWRSV=1，关闭 OPA 和 CMP)

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

87h.1 **PD:** 停止位，如果 1 进入暂停/停止模式。

87h.0 **IDL:** 空闲位，如果 1 进入空闲模式。

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	—	—	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	1	1

D8h.5 **STPSCK:** 设置 1 以在 PD=1 后停止慢时钟(暂停/停止模式控制)

D8h.4 **STPPCK:** 设为 1，停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。

D8h.3 **STPFCK:** 设为 1，停止快时钟以节省慢钟/空闲模式的电力。该位只能在慢钟模式时改变。

D8h.2 **SELFCK:** 系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0: 慢时钟

1: 快时钟

D8h.1~0 **CLKPSC:** 系统时钟分频器

00: 系统时钟是快/慢时钟除以 16

01: 系统时钟是快/慢时钟除以 4

10: 系统时钟是快/慢时钟除以 2

11: 系统时钟是快/慢时钟除以 1

6. 中断和唤醒

- 该芯片有 22 源四级中断优先级结构
- 所有的中断都可以从空闲模式唤醒 CPU
- 只有引脚中断可以从停止模式唤醒 CPU
- 暂停模式可由 Timer3 和引脚中断唤醒

每个中断源都有自己的使能控制位。不管它的中断使能控制位是 0 还是 1，中断事件将设置其个别的中断标志。中断向量和标志如下所示。

向量	标志	描述
0003	IE0	INT0 外部引脚中断(可以唤醒暂停/停止模式)
000B	TF0	Timer0 中断
0013	IE1	INT1 外部引脚中断(可以唤醒暂停/停止模式)
001B	TF1	Timer1 中断
0023	RI+TI	串口(UART)中断
002B	TF2+EXF2	Timer2 中断
0033	—	保留为 ICE 模式使用
003B	TF3	Timer3 中断(可以唤醒暂停模式)
0043	PXIF	Port1~Port3 外部引脚电平变化中断(可以唤醒暂停/停止模式)
004B	PTMIF+ETMIF	PTM/ETM 中断
0053	ADIF	ADC 中断
005B	MIICIF+SIICIF	MIIC/SIIC 中断
0063	PPGIF+PPDIF	PPG/PPD 中断
006B	CMPIF	比较器 1~5 中断
0073	PWMIF	PWM0~1 中断

中断向量和标志

6.1 中断使能和优先级控制

IE 和 INTE1 的寄存器决定 CPU 是否执行中断服务程序。IP, IPH, IP1 和 IP1H 的 SFR 决定中断优先级。中断服务程序被执行的前提，是相同或者更高优先级的中断服务程序没有正在执行。如果相同或更高优先级的中断服务程序正在执行，新的中断服务程序需要等待，直到它之前的中断服务程序执行完成。如果较低优先级中断服务程序正在执行，将发生中断嵌套。低优先级中断将被中止，开始新的中断服务程序，当新的中断结束后，被中止的较低优先级的中断才会被继续完成。

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	–	ET2	ES	ET1	EX1	ET0	EX0
R/W	R/W	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	–	0	0	0	0	0	0

- A8h.7 **EA**: 总中断使能控制
0: 禁用所有中断
1: 每个中断通过其各个中断控制位使能或禁止
- A8h.5 **ET2**: Timer2 中断使能控制
0: 禁用 Timer2 中断
1: 允许 Timer2 中断
- A8h.4 **ES**: 串口(UART)中断使能控制
0: 禁用串口(UART)中断
1: 允许串口(UART)中断
- A8h.3 **ET1**: Timer1 中断使能控制
0: 禁用 Timer1 中断
1: 允许 Timer1 中断
- A8h.2 **EX1**: INT1 引脚中断和暂停/停止模式唤醒使能控制
0: 禁用 INT1 引脚中断和暂停/停止模式唤醒
1: 允许 INT1 引脚中断和暂停/停止模式唤醒, 不管 EA 为 0 或 1, 都可以从暂停/停止模式下唤醒 CPU。
- A8h.1 **ET0**: Timer0 中断使能控制
0: 禁用 Timer0 中断
1: 允许 Timer0 中断
- A8h.0 **EX0**: INT0 引脚中断和暂停/停止模式唤醒使能控制
0: 禁用 INT0 引脚中断和暂停/停止模式唤醒
1: 允许 INT0 引脚中断和暂停/停止模式唤醒, 不管 EA 为 0 或 1, 都可以从暂停/停止模式下唤醒 CPU。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	PPGDIE	I2CIE	ADIE	PETMIE	PXIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- A9h.7 **PWMIE**: PWM0/1 中断使能控制
0: 禁止 PWM0/1 中断
1: 允许 PWM0/1 中断
- A9h.6 **CMPIE**: CMP1~5 中断使能控制
0: 禁用 CMP1~5 中断
1: 允许 CMP1~5 中断
- A9h.5 **PPGDIE**: PPG/PPD 中断使能控制
0: 禁用 PPG/PPD 中断
1: 允许 PPG/PPD 中断
- A9h.4 **I2CIE**: I²C 中断使能控制
0: 禁用 I²C 中断
1: 启用 I²C 中断
- A9h.3 **ADIE**: ADC 中断使能控制
0: 禁用 ADC 中断
1: 允许 ADC 中断
- A9h.2 **PETMIE**: PTM/ETM 中断使能控制
0: 禁用 PTM/ETM 中断
1: 允许 PTM/ETM 中断
- A9h.1 **PXIE**: 端口 1/2/3 引脚电平变化中断使能控制

0: 禁用端口 1/2/3 引脚电平变化中断

1: 允许端口 1/2/3 引脚电平变化中断

A9h.0 **TM3IE**: Timer3 中断和暂停模式唤醒使能控制

0: 禁用 Timer3 中断和暂停模式唤醒

1: 允许 Timer3 中断和暂停模式唤醒，不管 EA 为 0 或 1，都可以从暂停模式下唤醒 CPU。

SFR B9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPH	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

SFR B8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP	—	—	PT2	PS	PT1	PX1	PT0	PX0
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

B9h.5, B8h.5 **PT2H, PT2**: Timer2 中断优先级控制。(PT2H, PT2)=

00: 0 级(最低优先级)

01: 1 级

10: 2 级

11: 3 级(最高优先级)

B9h.4, B8h.4 **PSH, PS**: 串行端口(UART)中断优先级控制。定义如上。

B9h.3, B8h.3 **PT1H, PT1**: Timer1 中断优先级控制。定义如上。

B9h.2, B8h.2 **PX1H, PX1**: INT1 引脚中断优先级控制。定义如上。

B9h.1, B8h.1 **PT0H, PT0**: Timer0 中断优先级控制。定义如上。

B9h.0, B8h.0 **PX0H, PX0**: INT0 引脚中断优先级控制。定义如上。

SFR BBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1H	PPWMH	PCMPH	PPPGDH	PI2CH	PADH	PPETMH	PPXH	PT3H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

SFR BAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1	PPWM	PCMP	PPPGD	PI2C	PAD	PPETM	PPX	PT3
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

BBh.7, BAh.7 **PPWMH, PPWM**: PWM0~1 中断优先级控制。定义如上。

BBh.6, BAh.6 **PCMPH, PCMP**: CMP1~5 中断优先级控制。定义如上。

BBh.5, BAh.5 **PPPGDH, PPPGD**: PPG/PPD 中断优先级控制。定义如上。

BBh.4, BAh.4 **PI2CH, PI2IC**: 主/从 IIC 中断优先级控制。定义如上。

BBh.3, BAh.3 **PADH, PAD**: ADC 中断优先级控制。定义如上。

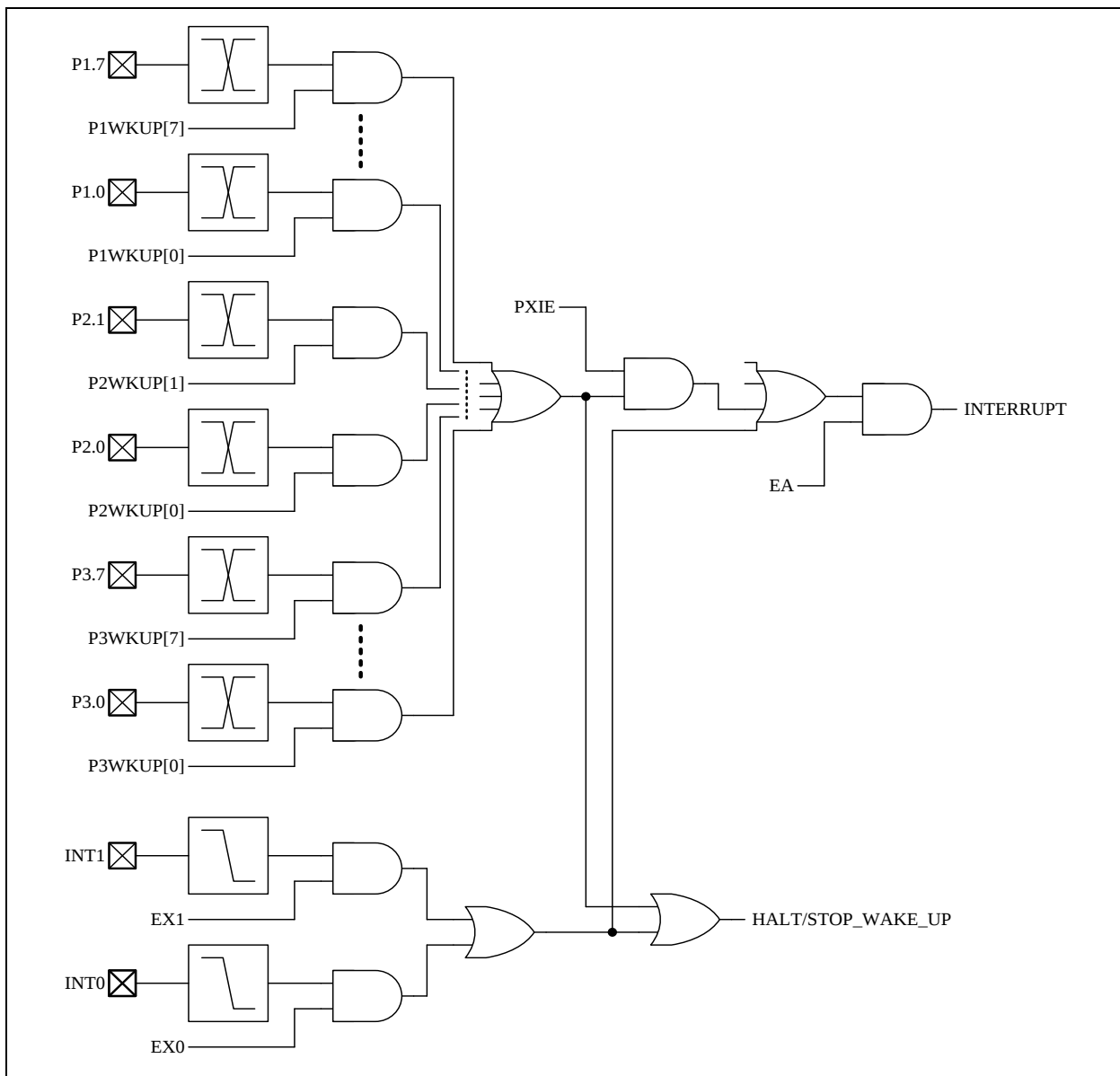
BBh.2, BAh.2 **PPETMH, PPETM**: PTM/ETM 中断优先级控制。定义如上。

BBh.1, BAh.1 **PPXH, PPX**: 端口 1/2/3 引脚电平变化中断优先级控制。定义如上。

BBh.0, BAh.0 **PT3H, PT3**: Timer3 中断优先级控制。定义如上。

6.2 引脚中断

- 引脚中断包括 INT0~1 和端口 1~3 引脚电平变化中断。
- INT0~1 和端口 1~3 的引脚电平变化也具有暂停/停止模式唤醒功能。
- INT0 和 INT1 为 8051 标准触发的下降沿或低电平。
- 端口 1~3 引脚变化中断由 IO 状态更改触发。



引脚中断和唤醒

注: 如果 INTn 引脚是低电平且该唤醒功能启用, 则芯片无法进入暂停/停止模式。(INTn=0 和 EXn=1, n=0~1)

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.3 **IE1:** 外部中断 1 (INT1 引脚) 边沿标志
 设置于 H/W 检测到 INT1 引脚下降沿时, 不管 EX1 是 0 或 1。
 程序执行中断服务时, 它会被自动清除。
- 88h.2 **IT1:** 外部中断 1 控制位
 0: 低电平有效 (电平触发) 的 INT1 引脚
 1: 下降沿有效 (边沿触发) 的 INT1 引脚
- 88h.1 **IE0:** 外部中断 0 (INT0 引脚) 边沿标志
 设置于 H/W 检测到 INT1 引脚下降沿时, 不管 EX1 是 0 或 1。
 程序执行中断服务时, 它会被自动清除。
- 88h.0 **IT0:** 外部中断 0 控制位
 0: 低电平有效 (电平触发) 的 INT0 引脚
 1: 下降沿有效 (边沿触发) 的 INT0 引脚

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	—	—	—	ADIF	—	—	PXIF	TF3
R/W	—	—	—	R/W	—	—	R/W	R/W
Reset	—	—	—	0	—	—	0	0

- 95h.1 **PXIF:** 端口 1/2/3 引脚电平变化中断标志
 当检测到端口 1/2/3 引脚电平变化且其中断允许位被置 1 时, 由 H/W 置 1。
 PXIE 不影响该标志的设置。
 程序执行中断服务时, 它会被自动清除。
 S/W 将 FDh 写入 INTFLG 以清除该位。

XSFR F00Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1WKUP	P1WKUP							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- F00Ah.7~0 **P1WKUP:** P1.7~P1.0 个别引脚唤醒/中断使能控制
 0: 关闭
 1: 开启

XSFR F012h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2WKUP	—	—	—	—	—	—	P2WKUP	
R/W	—	—	—	—	—	—	R/W	R/W
Reset	—	—	—	—	—	—	0	0

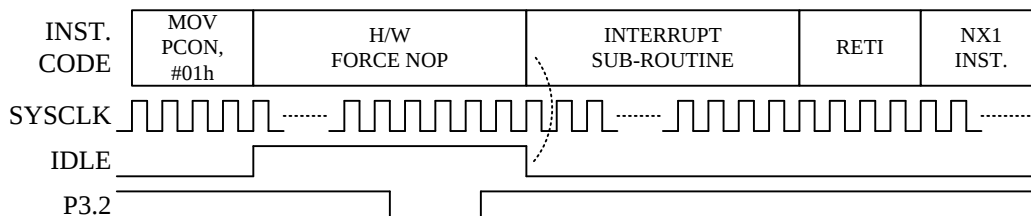
- F012h.1~0 **P2WKUP:** P2.1~P2.0 个别引脚唤醒/中断使能控制
 0: 关闭
 1: 开启

XSFR F01Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3WKUP	P3WKUP							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- F01Ah.7~0 **P3WKUP:** P3.7~P3.0 个别引脚唤醒/中断使能控制
 0: 关闭
 1: 开启

6.3 空闲模式唤醒和中断

空闲模式下被启用的中断唤醒，这意味着必须将各个中断使能位(如：EX0)和 EA 位都设置为 1 以建立空闲模式唤醒功能。所有被允许的中断(引脚，定时器，ADC，CMP，MIIC，PWM 和 UART)，可以将 CPU 从空闲模式唤醒。当空闲被唤醒，立即进入中断服务程序。当中断服务程序返回后，“IDL(PCON.0)设置后的第一条指令”将被执行。



EA=EX0=1, P3.2(INT0)空闲模式唤醒和中断

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	—	—	—	GF1	GF0	PD	IDL
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
Reset	0	—	—	—	0	0	0	0

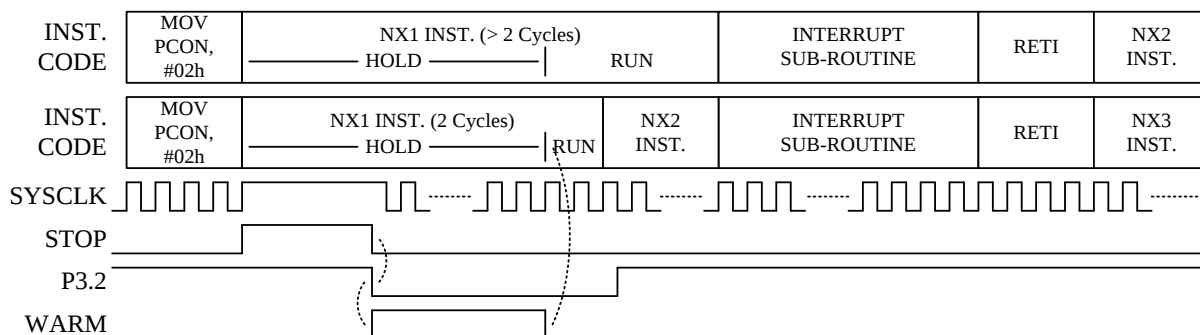
87h.1 PD: 停止位，如果 1 进入暂停/停止模式。

87h.0 IDL: 空闲位，如果 1 进入空闲模式。

6.4 暂停/停止模式唤醒和中断

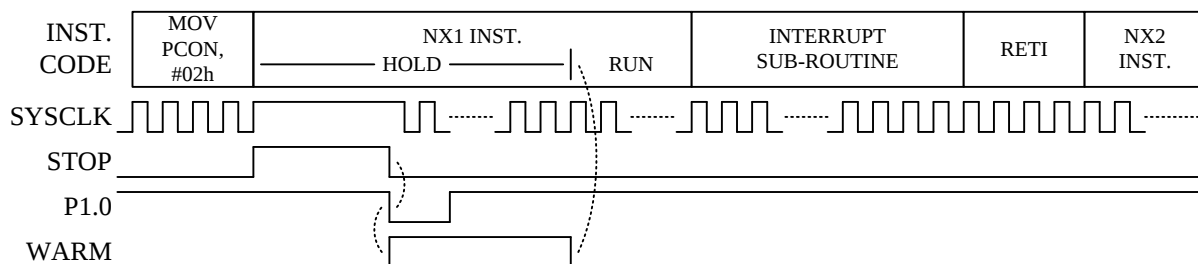
暂停/停止模式唤醒很简单，只要把各个引脚的中断使能位(如:EX0)设置，该引脚唤醒功能启用。或设置 P1WKUP/P2WKUP/P3WKUP 可启用端口 1~3 暂停/停止模式唤醒功能。一旦暂停/停止被唤醒，“PD(PCON.1)设置后的第一条指令”立即在中断服务之前被执行。中断进入需要 EA=1 和该引脚触发状态停留足够长，以被系统时钟采样到。此功能可让 CPU 暂停/停止模式唤醒后，进入或不进入中断子程序。**注：**如下图，建议在 NX1/NX2 指令位置，放置 NOP 指令。

注：如果 INTn 引脚是低电平且该唤醒功能启用，则芯片无法进入暂停/停止模式。(INTn=0 和 EXn=1, n=0~1)



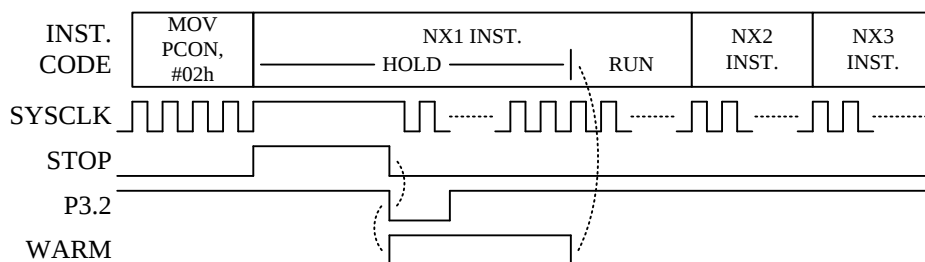
EA=EX0=1

P3.2 (INT0)预热后被采样，暂停/停止模式唤醒和中断



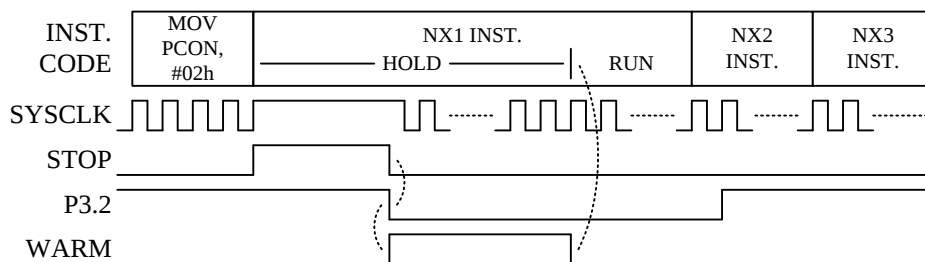
EA=PXIE=P1WKUP[0]=1

P1.0 变化(不需要时钟采样)，暂停/停止模式唤醒和中断



EA=EX0=1

P3.2 脉冲太窄，暂停/停止模式唤醒，但没有中断



EX0=1, EA=0

暂停/停止模式唤醒，但没有中断

7. I/O 端口

该芯片总共有 18 个多功能 I/O 引脚。所有的 I/O 引脚遵循标准的 8051 “读-修改-写”功能。读取 SFR 的，而不是引脚状态的指令，会读取一个端口或端口位的值，可能改变它，然后将它改写到 SFR。（例如：ANL P1, A; INC P2; CPL P3.0）。

7.1 端口 1~端口 3

I/O 引脚可以按以下不同方式定义。

端口模式	端口 1~端口 3 引脚功能		Px.n SFR 数据	引脚状态	电阻上拉	数位输入	
	P3.2~P3.0	Others					
模式 0	伪开漏输出	开漏输出	0	驱动低	N	N	
			1	电阻上拉	Y	Y	
模式 1	伪开漏输出	开漏输出	0	驱动低	N	N	
			1	高阻抗	N	Y	
模式 2	CMOS 推挽输出		0	驱动低	N	N	
			1	驱动高	N	N	
模式 3	替代功能，如 ADC		X	—	N	N	

端口 1~端口 3 I/O 引脚菜单

如果一个端口 1~端口 3 引脚用于施密特触发输入，S/W 必须设置 I/O 引脚到模式 0 或模式 1，并设置相应的端口数据 SFR 为 1 来禁止该引脚的输出驱动电路。

除了 I/O 端口功能外，每个端口 1~端口 3 引脚还具有一个或多个替代功能，例如 ADC，CMP 和 OPA。通过将单独的引脚模式控制 SFR 设置为模式 3，可以激活大多数功能。端口 1/端口 3 引脚具有标准的 8051 辅助定义，例如 INT0/1，T0/1/2 或 RXD/TXD。这些引脚功能需要将引脚模式 SFR 设置为模式 0 或模式 1，并将 P1.n / P3.n SFR 保持为 1。

引脚名称	8051	唤醒/中断	CKO	ADC	CMP/OPA/PPG	Others	模式 3
P1.0	T2	Y	T2O	AD0	C4N/OPO	VBGO	AD0
P1.1	T2EX	Y		AD17	C3N/OPN		AD17
P1.2		Y		AD6		PWM0N/SCL/TXD	AD6
P1.3		Y		AD14	C1N/C2N		AD14
P1.4		Y		AD15	C1P		AD15
P1.5		Y		AD16	C2N/C5N/OPOR		AD16
P1.6		Y		AD1	C4N/OPN		AD1
P1.7		Y		AD13	C3N/C5N		AD13
P2.0		Y		AD11	PPG		AD11
P2.1		Y		AD4	PPG	PWM0P	AD4
P3.0	RXD	Y		AD7		SDA	AD7
P3.1	TXD	Y		AD9		SCL	AD9
P3.2	INT0	Y		AD2	C5N/OPP		AD2
P3.3	INT1	Y		AD5	OPOR	PWM1	AD5
P3.4	T0	Y	T0O	AD3	PPGL	PWM1	AD3
P3.5	T1	Y	T1O	AD10		PWM0P/SDA/RXD	AD10
P3.6		Y		AD12	PPGL		AD12
P3.7		Y		AD8		PWM0N	AD8

端口 1~端口 3 多重菜单

下面列出了端口 1~端口 3 引脚的替代功能所需的 SFR 设置。

替代功能	模式	Px.n SFR 数据	引脚状态	其他必要的 SFR 设置
T0, T1, T2, T2EX, INT0, INT1	0	1	输入上拉	
	1	1	输入	
RXD, TXD	0	1	输入上拉/伪开漏输出	PIFS1
	1	1	输入/伪开漏输出	
T0O, T1O, T2O	0	X	带上拉的时钟开漏输出	POFS0
	1	X	时钟开漏输出	
	2	X	时钟输出 (CMOS 推挽)	
C1P, C1N	X	X	比较器 1 电压输入	CMP1CON
C2N	X	X	比较器 2 电压输入	CMP25CON PIFS0
C3N	X	X	比较器 3 电压输入	
C4N	X	X	比较器 4 电压输入	
C5N	X	X	比较器 5 电压输入	
OPP, OPN	X	X	运算放大器输入	OPCON OPCAL
OPO, OPOR	X	X	运算放大器输出	OPCON POFS0
PWM0P, PWM0N, PWM1	0	X	带上拉的 PWM 开漏输出	POFS0 POFS1
	1	X	PWM 开漏输出	
	2	X	PWM 输出 (CMOS 推挽)	
SDA	0	X	输入带上拉/开漏输出	MICON PIFS1
	1	X	输入/开漏输出	
SCL	0	X	带上拉的主 IIC 时钟开漏输出	MICON PIFS1
	1	X	主 IIC 时钟开漏输出	
	2	X	主 IIC 时钟输出 (CMOS 推挽)	

端口 1~端口 3 替代功能的模式设置

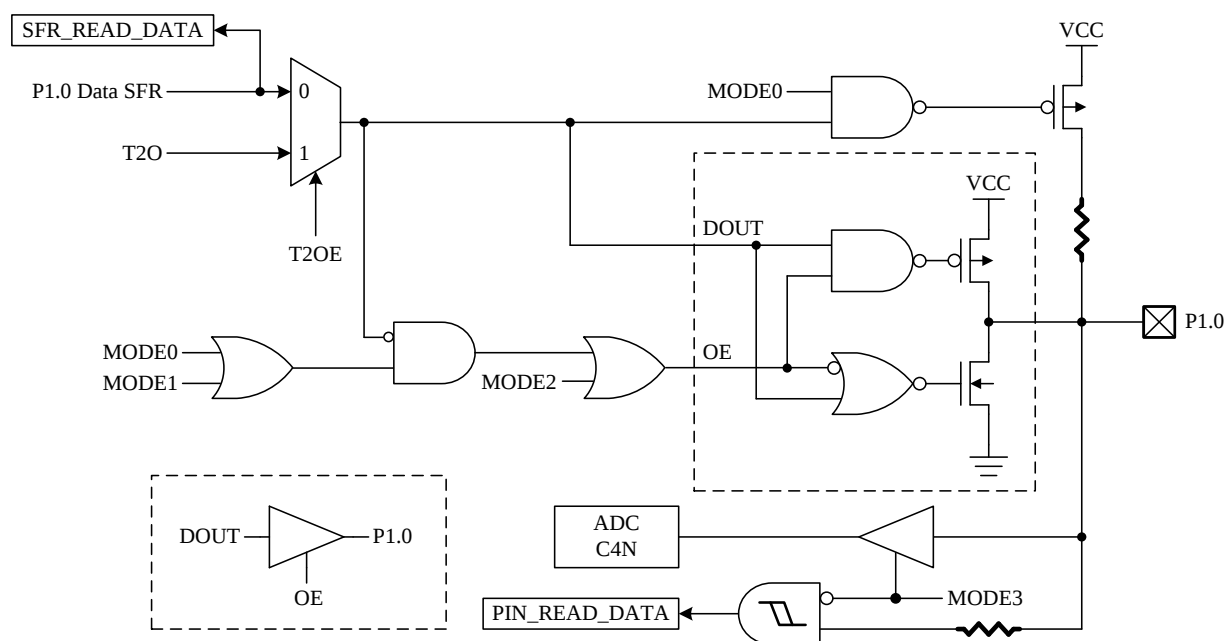
对于上表中，“**CMOS 推挽**”引脚意味着它可以吸收和驱动至少 4 mA 的电流。我们不建议使用这种引脚作为输入功能。

一个“**开漏**”引脚意味着它可以吸收至少 4 mA 电流，但只能驱动小电流(<20 μ A)。它可以用作输入或输出功能，并且通常需要一个外部上拉电阻。

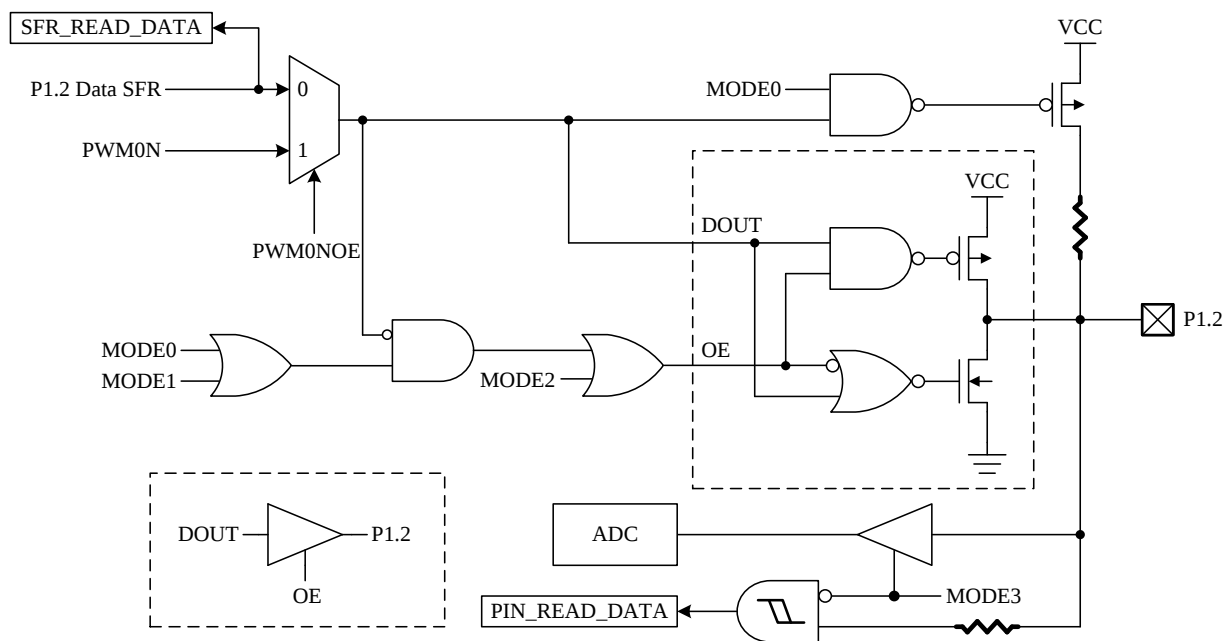
8051 标准引脚是一个“**伪开漏**”引脚。它可以吸收至少 4 mA 电流于低电平输出，并于输出从低到高时，驱动至少 4 mA 电流 1~2 个时钟周期，然后开为小电流(<20 μ A)，以维持引脚在高电平。它可以用作输入或输出功能。

部份替代功能引脚模式由硬件自动设定为模式 3，相关引脚如下：

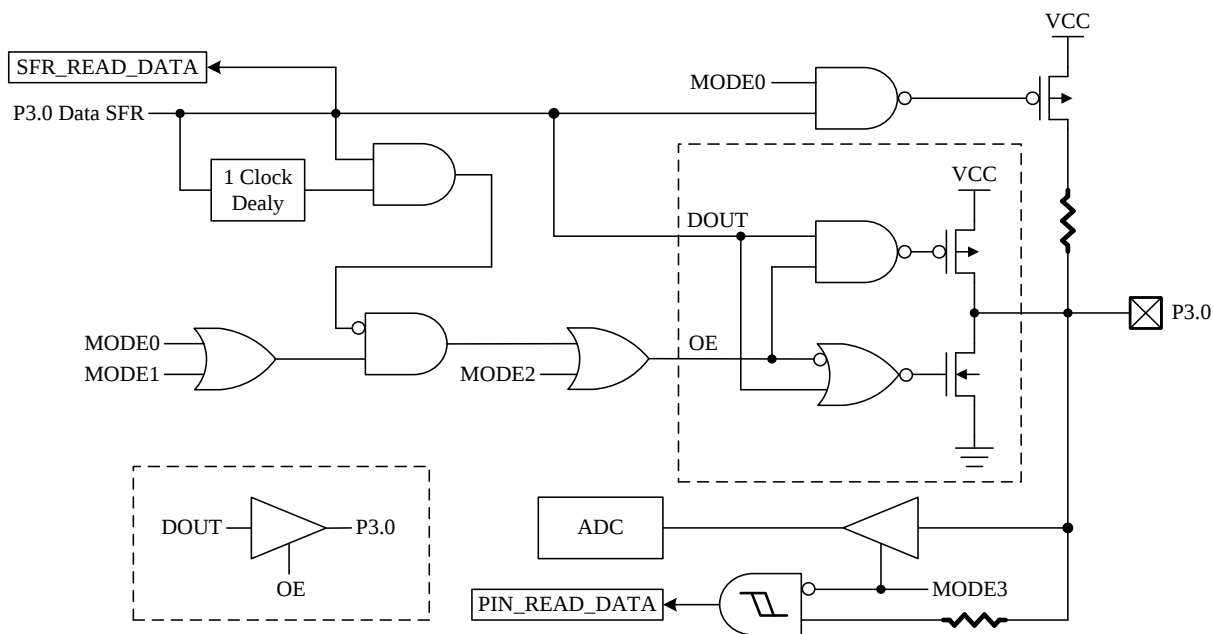
替代功能	条件	影响引脚
OPA	OPAEN=1,OPOE=1,OPMOD=0	P1.0
OPA	OPAEN=1,OPOE=1,OPMOD=1,OPFUNC!=0	P1.0
CMP4	CMP4EN=1,CMP4MOD=0,C4NS=1	P1.0
VBG	VBGOUT=1	P1.0
OPA	OPAEN=1,OPMOD=0,OPFUNC!=0,OPNS=0	P1.1
OPA	OPAEN=1,OPMOD=1,OPFUNC=3,OPNS=0	P1.1
CMP3	CMP3EN=1,CMP3MOD=0,C3NS=1	P1.1
CMP1	CMP1EN=1,CMP1MOD=0	P1.3
CMP2	CMP2EN=1,CMP2MOD=0,C2NS=1	P1.3
CMP1	CMP1EN=1,CMP1MOD=0	P1.4
OPA	OPOROE0=1	P1.5
CMP2	CMP2EN=1,CMP2MOD=0,C2NS=0	P1.5
CMP5	CMP5EN=1,CMP5MOD=0,C5NS=1	P1.5
OPA	OPAEN=1,OPMOD=0,OPFUNC!=0,OPNS=1	P1.6
OPA	OPAEN=1,OPMOD=1,OPFUNC=3,OPNS=1	P1.6
CMP4	CMP4EN=1,CMP4MOD=0,C4NS=0	P1.6
CMP3	CMP3EN=1,CMP3MOD=0,C3NS=0	P1.7
CMP5	CMP5EN=1,CMP5MOD=0,C5NS=2	P1.7
OPA	OPAEN=1,OPMOD=0,OPFUNC=0	P3.2
OPA	OPAEN=1,OPFUNC=3	P3.2
CMP5	CMP5EN=1,CMP5MOD=0,C5NS=0	P3.2
OPA	OPOROE1=1	P3.3



P1.0 引脚结构



P1.2 引脚结构



P3.0 引脚结构

SFR 90h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

90h.7~0 **P1:** 端口 1 数据

SFR A0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

A0h.1~0 **P2:** 端口 2 数据

SFR B0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

B0h.7~0 **P3:** 端口 3 数据

SFR BEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMP25CON	CMP5EN	CMP5HYS	CMP4EN	CMP4HYS	CMP3EN	CMP3HYS	CMP2EN	CMP2HYS
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

BEh.7 **CMP5EN:** CMP5 使能
0: CMP5 禁用
1: CMP5 启用

BEh.5 **CMP4EN:** CMP4 使能
0: CMP4 禁用
1: CMP4 启用

BEh.3 **CMP3EN:** CMP3 使能
0: CMP3 禁用
1: CMP3 启用

BEh.1 **CMP2EN:** CMP2 使能
0: CMP2 禁用
1: CMP2 启用

SFR C1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMP1CON	CMP1EN	CMP1HYS	—	SYNDBT				
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	0	0	0	0

C1h.7 **CMP1EN:** CMP1 使能
0: CMP1 禁用
1: CMP1 启用, P1.3, P1.4 为 CMP1 输入

SFR E1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MICON	MIEN	MIACKO	MIIF	MIACKI	MISTART	MISTOP	MICR	
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	1	0	0

E1h.7 **MIEN:** 主 I²C 启用
0: 主 I²C 禁用
1: 主 I²C 启用

SFR EEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPCON	OPAEN	OPORS	OPNS	OPFUNC		OPGAIN		
R/W	R/W	R/W	R/W	R/W		R/W		
Reset	0	0	0	0	0	0	0	0

EEh.7 **OPAEN:** 运算放大器使能
0: 禁用运算放大器
1: 启用运算放大器

EEh.6 **OPORS:** 运算放大器输出串接电阻选择
0: 1K 欧姆
1: 10K 欧姆

EEh.5 **OPNS:** 运算放大器负端输入引脚选择
0: P1.1
1: P1.6

EEh.4~3 **OPFUNC:** 运算放大器功能选择
普通模式 (OPMOD = 0)
00: [IP]OPP (P3.2), [IN]VSS 带内部增益, P3.2 为运算放大器输入
01: [IP]VSS, [IN]OPN (P1.1 或 P1.6) 带内部增益, P1.1 或 P1.6 为运算放大器输入
10: [IP]VSS 带 1K 电阻, [IN]OPN (P1.1 或 P1.6) 带内部增益, P1.1 或 P1.6 为运算放大器输入

11: [IP]OPP (P3.2), [IN]OPN (P1.1 或 P1.6), P3.2 和 P1.1 或 P1.6 为运算放大器输入
校准模式 (OPMOD = 1)

00: [IP]Vtrim, [IN] Vtrim (Vtrim = VSS 或 VBG, 由 CVRFS 定义)

01: [IP]VSS, [IN] VSS 带内部增益

10: [IP]VSS 带 1K 电阻, [IN]VSS 带内部增益

11: [IP]OPP (P3.2), [IN]OPN (P1.1 或 P1.6), P1.0 和 P1.1 或 P1.6 为运算放大器输入

SFR EFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPCAL	OPOUT	OPMOD	CVRFS	OPADJ				
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	0	0	—	—	—	—	—

EFh.6 **OPMOD**: 运算放大器工作模式

0: 正常模式

1: 校正模式

SFR F008h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MODL	P1MOD3		P1MOD2		P1MOD1		P1MOD0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	1	0	1	0	1	0	1

F008h.7~6 **P1MOD3**: P1.3 引脚控制

00: 模式 0

01: 模式 1

10: 模式 2

11: 模式 3, P1.3 是 ADC 输入

F008h.5~4 **P1MOD2**: P1.2 引脚控制

00: 模式 0

01: 模式 1

10: 模式 2

11: 模式 3, P1.2 是 ADC 输入

F008h.3~2 **P1MOD1**: P1.1 引脚控制

00: 模式 0

01: 模式 1

10: 模式 2

11: 模式 3, P1.1 是 ADC 输入

F008h.1~0 **P1MOD0**: P1.0 引脚控制

00: 模式 0

01: 模式 1

10: 模式 2

11: 模式 3, P1.0 是 ADC 输入

SFR F009h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MODH	P1MOD7		P1MOD6		P1MOD5		P1MOD4	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	1	0	1	0	1	0	1

F009h.7~6 **P1MOD7**: P1.7 引脚控制

00: 模式 0

01: 模式 1

10: 模式 2

11: 模式 3, P1.7 是 ADC 输入

F009h.5~4 **P1MOD6**: P1.6 引脚控制

00: 模式 0

- 01: 模式 1
- 10: 模式 2
- 11: 模式 3, P1.6 是 ADC 输入

F009h.3~2 **P1MOD5**: P1.5 引脚控制

- 00: 模式 0
- 01: 模式 1
- 10: 模式 2
- 11: 模式 3, P1.5 是 ADC 输入

F009h.1~0 **P1MOD4**: P1.4 引脚控制

- 00: 模式 0
- 01: 模式 1
- 10: 模式 2
- 11: 模式 3, P1.4 是 ADC 输入

SFR F010h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2MODL	—	—	—	—	P2MOD1		P2MOD0	
R/W	—	—	—	—	R/W	R/W	R/W	R/W
Reset	—	—	—	—	0	1	0	1

F010h.3~2 **P2MOD1**: P2.1 引脚控制

- 00: 模式 0
- 01: 模式 1
- 10: 模式 2
- 11: 模式 3, P2.1 是 ADC 输入

F010h.1~0 **P2MOD0**: P2.0 引脚控制

- 00: 模式 0
- 01: 模式 1
- 10: 模式 2
- 11: 模式 3, P2.0 是 ADC 输入

SFR F018h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MODL	P3MOD3		P3MOD2		P3MOD1		P3MOD0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	1	0	1	0	1	0	1

F018h.7~6 **P3MOD3**: P3.3 引脚控制

- 00: 模式 0
- 01: 模式 1
- 10: 模式 2
- 11: Mode3, P3.3 是 ADC 输入

F018h.5~4 **P3MOD2**: P3.2 引脚控制

- 00: 模式 0
- 01: 模式 1
- 10: 模式 2
- 11: 模式 3, P3.2 是 ADC 输入

F018h.3~2 **P3MOD1**: P3.1 引脚控制

- 00: 模式 0
- 01: 模式 1
- 10: 模式 2
- 11: 模式 3, P3.1 是 ADC 输入

F018h.1~0 **P3MOD0**: P3.0 引脚控制

- 00: 模式 0
- 01: 模式 1

10: 模式 2

11: 模式 3, P3.0 是 ADC 输入

SFR F019h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MODH	P3MOD7		P3MOD6		P3MOD5		P3MOD4	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	1	0	1	0	1	0	1

F019h.7~6 **P3MOD7**: P3.7 引脚控制

00: 模式 0

01: 模式 1

10: 模式 2

11: 模式 3, P3.7 是 ADC 输入

F019h.5~4 **P3MOD6**: P3.6 引脚控制

00: 模式 0

01: 模式 1

10: 模式 2

11: 模式 3, P3.6 是 ADC 输入

F019h.3~2 **P3MOD5**: P3.5 引脚控制

00: 模式 0

01: 模式 1

10: 模式 2

11: 模式 3, P3.5 是 ADC 输入

F019h.1~0 **P3MOD4**: P3.4 引脚控制

00: 模式 0

01: 模式 1

10: 模式 2

11: 模式 3, P3.4 是 ADC 输入

8. Timers

- Timer0, Timer1 和 Timer2 设置为标准的 8051 兼容的定时器/计数器
- 定时器模式下，这些定时器以每一个“2 个系统时钟”速率增加
- 计数器模式下，T0/T1/T2 引脚输入脉冲必须大于 2 个系统时钟
- T0O 引脚输出“Timer0 溢出除以 64”的信号
- T1O 引脚输出“Timer1 溢出除以 2”的信号
- T2O 引脚输出“Timer2 溢出除以 2”的信号
- Timer3 被设置为一个类实时时钟计数

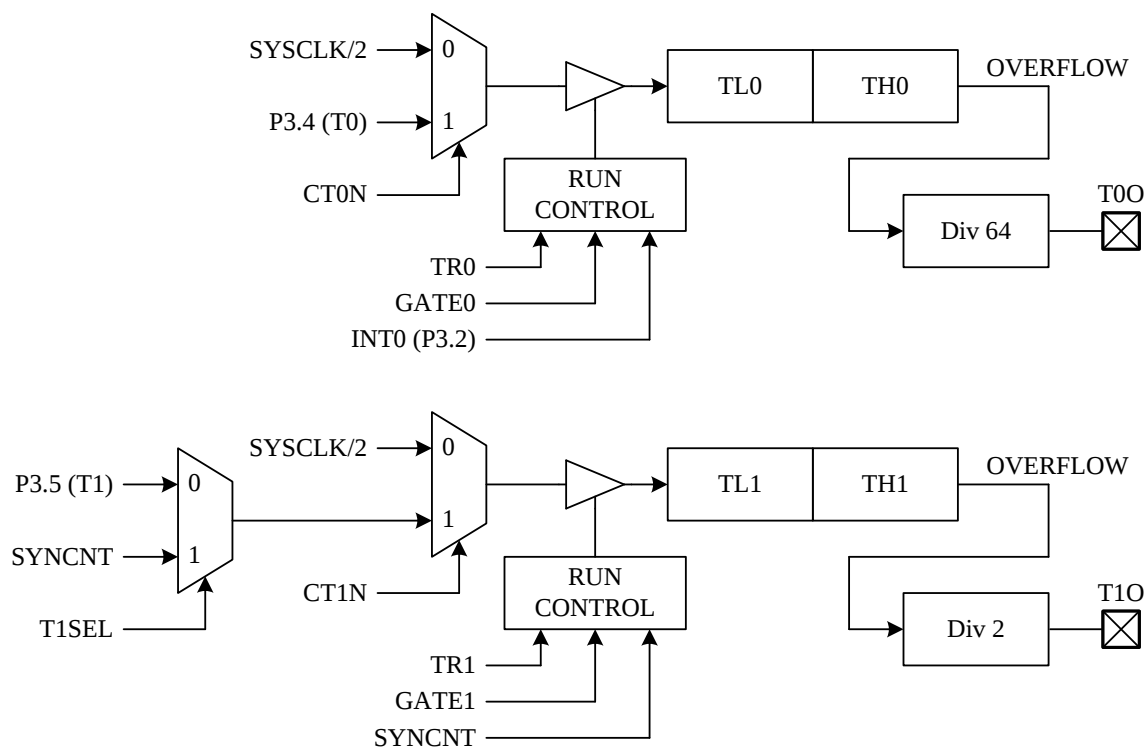
8.1 Timer0/1

TCON 和 TMOD 用于设置操作模式，并控制 Timer0/1 的运行和中断产生，定时器/计数器的值存储在两个成对的 8 位寄存器(TL0, H0 和 TL1, TH1)。

定时/计数器 T0 具有 4 种工作模式，T1 具有 3 种工作模式(模式 3 不存在)

- 模式 0: 13 位定时/计数器
- 模式 1: 16 位定时/计数器
- 模式 2: 8 位自动重载模式
- 模式 3: 两个 8 位定时器/计数器模式

在上述模式中，T0 与 T1 的模式 0, 1, 2 都相同，模式 3 不同。



Timer0 和 Timer1 结构

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.7 **TF1:** Timer1 溢出标志
 当定时器/计数器 1 溢出时由 H/W 设置。
 当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.6 **TR1:** Timer1 运行控制
 0: Timer1 停止
 1: Timer1 运行
- 88h.5 **TF0:** Timer0 溢出标志
 当定时器/计数器 0 溢出时由 H/W 设置。
 当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.4 **TR0:** Timer0 运行控制
 0: Timer0 停止
 1: Timer0 运行

SFR 89h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 89h.7 **GATE1:** Timer1 门控位
 0: 当 TR1 位设置时 Timer1 使能
 1: 只有当 SYNCNT 为高, TR1 位设置时 Timer1 使能
- 89h.6 **CT1N:** Timer1 计数器/定时器选择位
 0: 定时器模式, Timer1 的数据以 2 个系统时钟周期率增加
 1: 计数器模式, Timer1 的数据在 T1 引脚或 SYNCNT 的下降沿时增加
- 89h.5~4 **TMOD1:** Timer1 模式选择
 00: 13 位定时器/计数器
 01: 16 位定时器/计数器
 10: 8 位自动重载定时器/计数器(TL1), 溢出时从 TH1 重新加载
 11: Timer1 停止
- 89h.3 **GATE0:** Timer0 门控位
 0: 当 TR0 位设置时 Timer0 使能
 1: 只有当 INT0 引脚为高, TR0 位设置时 Timer0 使能
- 89h.2 **CT0N:** Timer0 计数器/定时器选择位
 0: 定时器模式, Timer0 的数据以 2 个系统时钟周期率增加
 1: 计数器模式, Timer0 的数据在 T0 引脚的下降沿时增加
- 89h.1~0 **TMOD0:** Timer0 模式选择
 00: 13 位定时器/计数器
 01: 16 位定时器/计数器
 10: 8 位自动重载定时器/计数器(TL0), 溢出时从 TH0 重新装载
 11: TL0 是一个 8 位定时器/计数器。TH0 是一个 8 位定时器/计数器, 使用 Timer1 的 TR1 和 TF1 位

SFR 8Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL0	TL0							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

8Ah.7~0 **TL0**: Timer0 数据的低字节

SFR 8Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL1	TL1							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

8Bh.7~0 **TL1**: Timer1 数据的低字节

SFR 8Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH0	TH0							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

8Ch.7~0 **TH0**: Timer0 数据的高字节

SFR 8Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH1	TH1							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

8Dh.7~0 **TH1**: Timer1 数据的高字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	CLRPWM0	CLRPWM1	T1SEL	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	1	1	0	0

F8h.1 **T1SEL**: Timer1 计数器模式 (CT1N=1) 输入选择

0: P3.5 (T1) 引脚 (8051 标准)

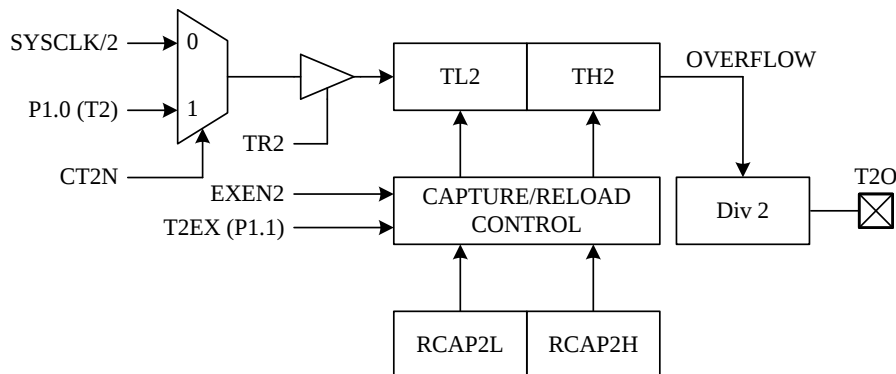
1: SYNCNT

注: 另请参阅第 6 章的有关 Timer0/1 中断使能和优先级的更多信息。

注: 同时参阅第 7 章关于 T0O/T1O 引脚输出设置的详细信息。

8.2 Timer2

Timer2 相关的寄存器有 T2CON, TL2 与 TH2 低高字节组成的定时/计数器 2, 以及 RCAP2L、RCAP2H 低高字节组成的重载/捕获寄存器。



Timer2 结构

SFR C8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

C8h.7 **TF2:** Timer2 溢出标志

当定时器/计数器 2 溢出时由 H/W 设置, 除非 RCLK=1 或 TCLK=1。此位必须由 S/W 清零。

C8h.6 **EXF2:** T2EX 中断引脚下降沿标志

如果 EXEN2=1, 当捕获或重载是由 T2EX 引脚的下降沿跳变引起时被设置。该位必须由 S/W 清零。

C8h.5 **RCLK:**

此位保持 0

C8h.4 **TCLK:**

此位保持 0

C8h.3 **EXEN2:** T2EX 引脚使能

0: T2EX 引脚禁用

1: T2EX 引脚使能, 如果 RCLK=TCLK=0, 当检测出 T2EX 引脚的下降沿跳变, 这引起捕获或重载

C8h.2 **TR2:** Timer2 运行控制

0: Timer2 停止

1: Timer2 运行

C8h.1 **CT2N:** Timer2 计数器/定时器选择位

0: 定时器模式, Timer2 的数据以 2 个系统时钟周期速增加

1: 计数器模式, Timer2 的数据在 T2 引脚的下降沿时增加

C8h.0 **CPRL2N:** Timer2 捕获/重载控制位

0: 重载模式, 如果 EXEN2=1 当 Timer2 溢出或 T2EX 引脚上的下降沿跳变则自动重载

1: 捕捉模式, 如果 EXEN2=1 在 T2EX 引脚上的下降沿跳变则捕捉

如果 RCLK=1 或 TCLK=1 时, CPRL2N 被忽略, Timer2 溢出时定时器被强制自动重载

SFR CAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2L	RCP2L							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

CAh.7~0 **RCP2L**: Timer2 重载/捕获数据的低字节

SFR CBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2H	RCP2H							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

CBh.7~0 **RCP2H**: Timer2 重载/捕获数据的高字节

SFR CCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL2	TL2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

CCh.7~0 **TL2**: Timer2 数据的低字节

SFR CDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH2	TH2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

CDh.7~0 **TH2**: Timer2 数据的高字节

注: 另请参阅第 6 章的有关 Timer2 中断使能和优先级的更多信息。

注: 同时参阅第 7 章关于 T2O 引脚输出设置的详细信息。

8.3 Timer3

该芯片的 Timer3 作为时基计数器, 周期性地产生中断。它会产生一个中断标志位(TF3)当时钟除以 32768, 16384, 8192 或 128 取决于 TM3PSC 位。Timer3 的时钟源为 SRC/4 或 FRC/512。

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	TM3CKS	WDTPSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

94h.6 **TM3CKS:** Timer3 时钟源选择

0: SRC/4

1: FRC/512

94h.1~0 **TM3PSC:** Timer3 中断速率控制选择

00: 中断率是 32768 个 Timer3 时钟周期

01: 中断率是 16384 个 Timer3 时钟周期

10: 中断率是 8192 个 Timer3 时钟周期

11: 中断率是 128 个 Timer3 时钟周期

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	—	—	—	ADIF	—	—	PXIF	TF3
R/W	—	—	—	R/W	—	—	R/W	R/W
Reset	—	—	—	0	—	—	0	0

95h.0 **TF3:** Timer 3 中断标志

当 Timer3 到达 TM3PSC 设置周期时由 H/W 设置。

当程序执行中断服务程序时被自动清除。

S/W 也可以写 FEh 到 INTFLG 清除该标志。

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	CLRPWM0	CLRPWM1	T1SEL	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	1	1	0	0

F8h.6 **CLRTM3:** 设置以清除 Timer3, H/W 会在两个时钟周期后自动清除此设置

注: 另请参阅第 6 章的有关 Timer3 中断使能和优先级的更多信息。

8.4 T0O, T1O 和 T2O 输出控制

该设备可以为蜂鸣器生成各种频率的波形引脚输出(CMOS 或开漏)。T0O, T1O 和 T2O 波形是由 Timer0/Timer1/Timer2 溢出信号除出。T0O 波形由 Timer0 溢出除以 64 产生, T1O 波形由 Timer1 溢出除以 2 产生, T2O 波形由 Timer2 溢出除以 2 产生。用户可以通过定时器自动重装速度来控制其频率。设置 T0OE, T1OE 和 T2OE SFR 可输出这些波形。

SFR 92h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
POFS0	PWM1OE1	PWM1OE0	OPOROE1	OPOROE0	OPOE	T2OE	T1OE	T0OE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 92h.2 **T2OE:** Timer2 信号输出使能
0: 禁止 Timer2 溢出除以 2 输出到 P1.0
1: 允许 Timer2 溢出除以 2 输出到 P1.0
- 92h.1 **T1OE:** Timer1 信号输出使能
0: 禁止 Timer1 溢出除以 2 输出到 P3.5
1: 允许 Timer1 溢出除以 2 输出到 P3.5
- 92h.0 **T0OE:** Timer0 信号输出使能
0: 禁止 Timer0 溢出除以 64 输出到 P3.4
1: 允许 Timer0 溢出除以 64 输出到 P3.4

9. UART

UART 使用 SCON 和 SBUF 的 SFR。SCON 是控制寄存器，SBUF 是数据寄存器。数据被写入到 SBUF 用于传输，而 SBUF 被读取时，可获得接收数据。接收到的数据和发送数据寄存器是完全独立的。除了标准 8051 的全双工模式外，该芯片还提供了一线模式。如果 UART1W 位被设置，发送和接收数据采用 P3.1 或 P1.2 脚。

UART 波特率设置:

- 模式 1, 3:
波特率 = $F_{\text{SYSCLK}}/16/\text{UARTBRP}$

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	TM3CKS	WDTPSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

94h.7 **UART1W:** 一线 UART 模式使能, TXD/RXD 均使用 P3.1 或 P1.2 引脚
0: UART 禁止一线 UART 模式
1: UART 允许一线 UART 模式

SFR 98h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	1	0	0	0	0	0	0

98h.7~6 **SM0,SM1:** 串行端口模式选择位 0, 1 (SM1 固定为 1)

00: 模式 0: 该芯片不支持此模式
01: 模式 1: 8 位 UART, 波特率可变
10: 模式 2: 该芯片不支持此模式
11: 模式 3: 9 位 UART, 波特率可变

98h.5 **SM2:** 串行端口模式选择位 2

SM2 通过一线串行方式实现多机通信并修改上述如下。在模式 2 和 3, 当 SM2 设置, 如果接收到的第九位数据为 0, 那么接收中断不会产生。在模式 1 中, 除非有效的停止位被接收, 接收中断不会产生。在模式 0 中, SM2 应为 0。

98h.4 **REN:** UART 接收使能

0: 禁止接收
1: 允许接收

98h.3 **TB8:** 发送位 8, 在模式 2 和 3 为发送第九位。

98h.2 **RB8:** 接收位 8, 包含模式 2 和 3 的接收第九位, 如果 SM2=0, 为模式 1 停止位。

98h.1 **TI:** 发送中断标志

由 H/W 设置在模式 0 第 8 位的结束时, 或在其他模式中停止位的开始时。必须通过 S/W 清零。

98h.0 **RI:** 接收中断标志

由 H/W 设置在模式 0 第 8 位的结束时, 或在其他模式下停止位的取样点。必须通过 S/W 清除。

SFR 99h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF	SBUF							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	—	—	—	—	—	—

99h.7~0 **SBUF:** UART 发送和接收数据。发送写入该位置数据和接收从该位置读取数据, 但路径是独立的。

SFR 96h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
---------	-------	-------	-------	-------	-------	-------	-------	-------

PIFS1	—	—	—	—	SDAS	SCLS	RXDS	TXDS
R/W	—	—	—	—	R/W	R/W	R/W	R/W
Reset	—	—	—	—	0	0	0	0

96h.1 **RXDS:** UART RXD 引脚选择

0: RXD 使用 P3.0 引脚

1: RXD 使用 P3.5 引脚

96h.0 **TXDS:** UART TXD 引脚选择

0: TXD 使用 P3.1 引脚

1: TXD 使用 P1.2 引脚

SFR AFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UARTBRP	UARTBRP							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

AFh.7~0 **UARTBRP:** UART 波特率预分频器

UART 波特率= $F_{SYSCLK}/16/UARTBRP$

注: 另请参阅第 6 章的有关 UART 中断使能和优先级的更多信息。

10. PWMs

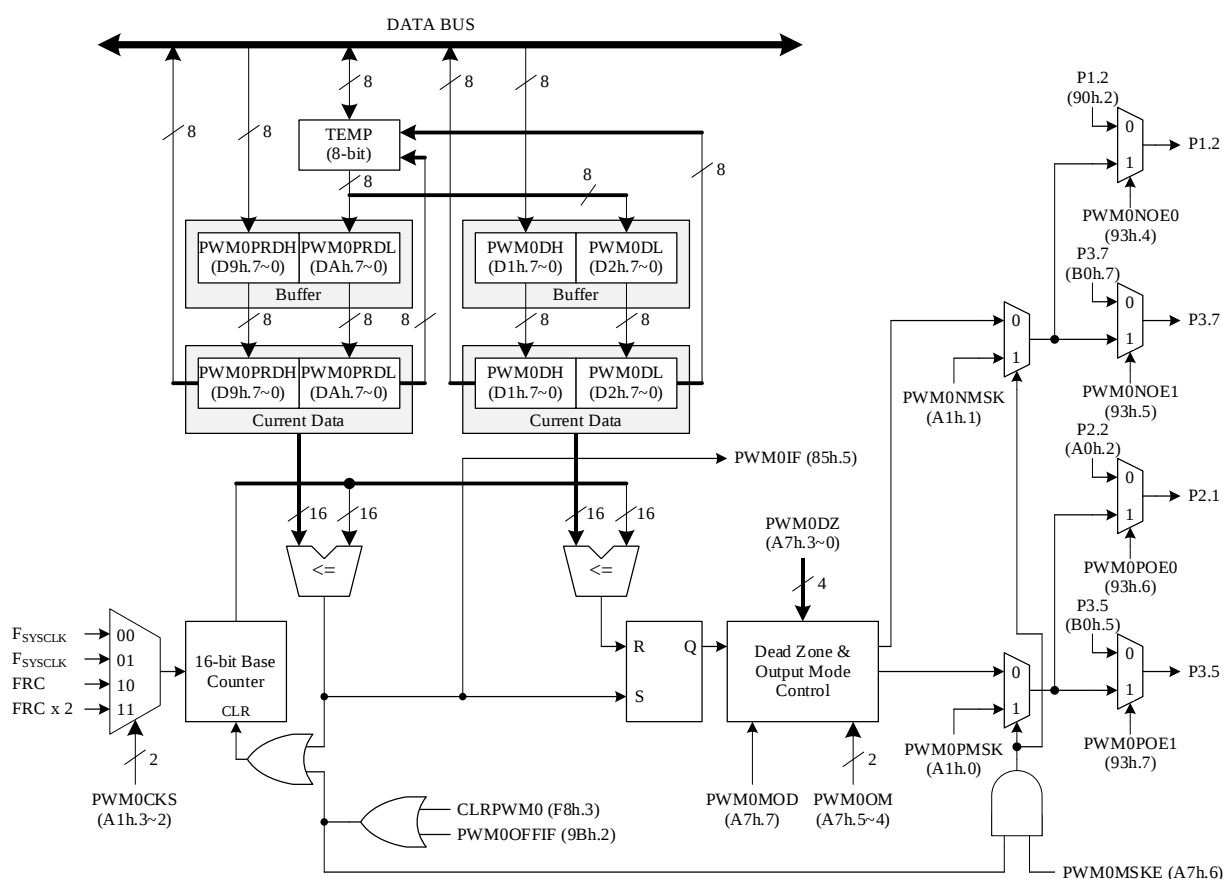
该芯片具有两个独立的 16 位 PWM 模块，PWM0 和 PWM1。PWM 可以根据 PWM 时钟生成具有 65536 占空比分辨率的变化频率波形。PWM 时钟可以选择 FRC 双倍频率(FRC x 2), FRC 或 F_{SYSCLK} 作为其时钟源。

引脚模式 SFR 控制 PWM 输出波形格式。模式 1 使 PWM 开漏输出，而模式 2 使 PWM CMOS 推挽输出。(请参阅第 7 章)

16 位 PWM0PRD, PWM0D, PWM1PRD, PWM1D 寄存器均具有低字节和高字节结构。高字节可以直接访问，但是低字节只能通过内部 8 位缓冲器访问，因此必须以特定方式对这些寄存器对进行读写。需要注意的重要一点是，只有在执行对其相应的高字节的写或读操作时，才与 8 位缓冲区及其相关的低字节进行数据传输。简而言之，先写低字节，再写高字节。先读取高字节，然后读取低字节。

10.1 PWM0

通过清零 CLRPWM0(F8h.3)位 PWM0 将开始运行，设置 CLRPWM0 位 PWM0 将被清零并停止。另外，当 PWM0OFFIF(9Bh.2)位被 H/W 设置时，PWM0 也会被清零并停止，PWM0OFFIF 位是相位保护检测器(PPD)模块的一个标志。PWM0 结构如下所示。



PWM0 结构

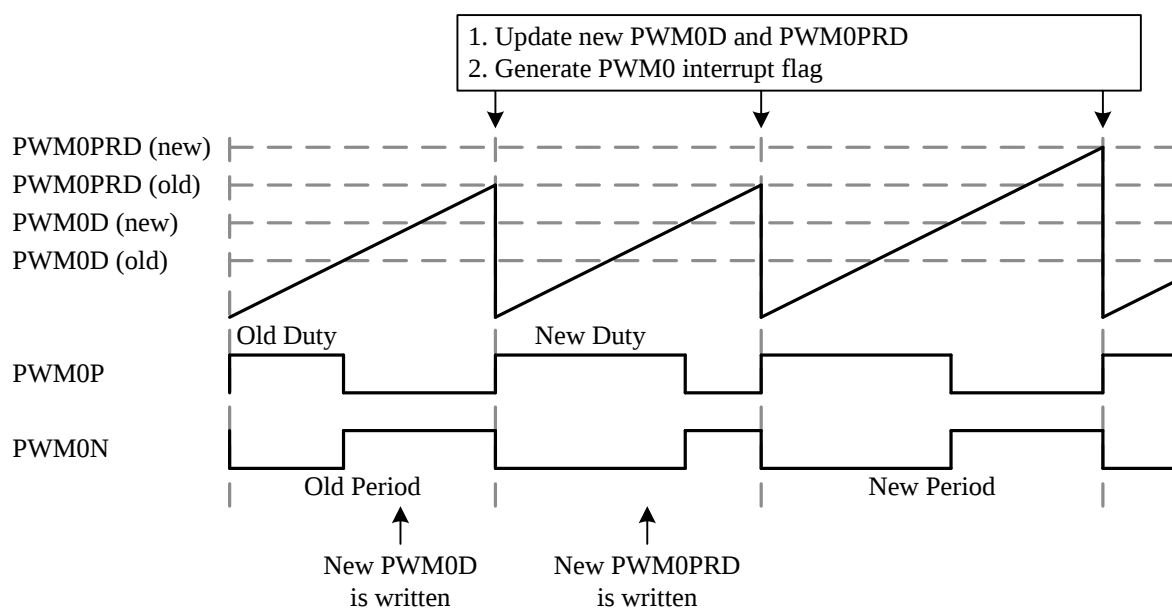
可以通过写 PWM0DH 和 PWM0DL 来更改 PWM0 占空比。每当 16 位基本计数器与 16 位 PWM0 占空比寄存器{PWM0DH, PWM0DL}匹配时，PWM0 输出信号就会复位为低电平。可以通过将周

期值写入 PWM0PRDH 和 PWM0PRDL 寄存器来设置 PWM0 周期。写入 PWM0D 或 PWM0PRD 寄存器后，新值将立即保存到其自己的缓冲区中。H/W 将在当前周期结束时或在 PWM0 被清除时更新这些值。在当前周期结束时 H/W 将设置 PWM0IF 位，如果启用了 PWM0 中断则产生中断。

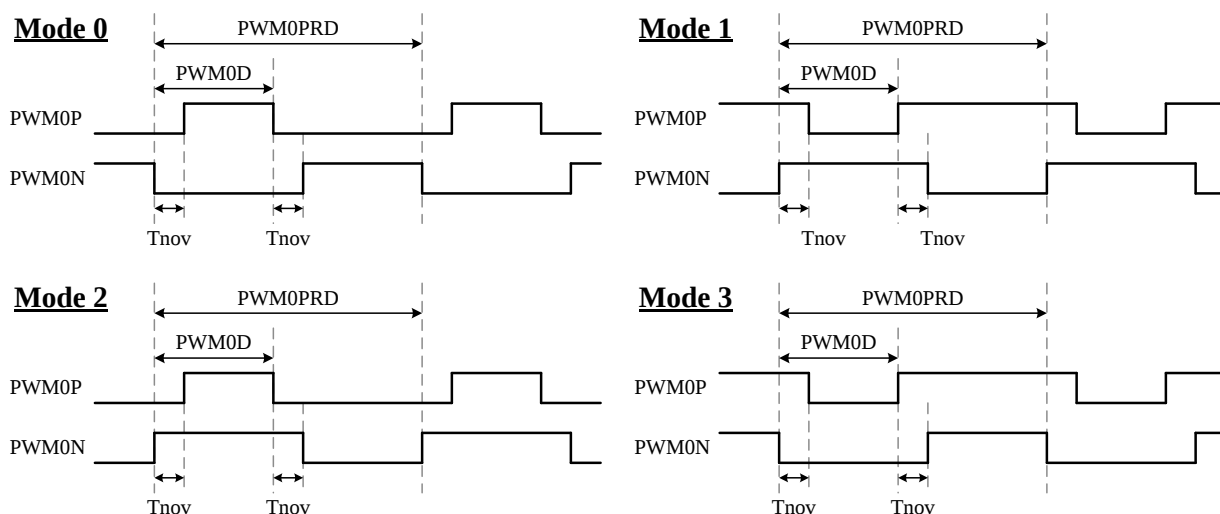
PWM0 有三种工作模式，正常模式、半桥置中模式和半桥靠左模式。PWM0 输出信号 PWM0P 和 PWM0N 可以通过 PWM0OM(A7h.5~4)设置四种不同模式输出。这两个输出不重叠，时间间隔为 T_{nov} 。非重叠时间间隔也称为死区或死区带。 T_{nov} 通过设置 PWM0DZ 位来确定。PWM0DZ 值 0~15 分别映射到 0~15 个 PWM0CLK 周期。如果 PWM0DZ=0，PWM0 输出直接传递给 PWM0P 和 PWM0N，使它们的波形具有相同的占空比。注意，如果 PWM0 输出的高脉冲宽度或低脉冲宽度短于 T_{nov} ，则这两个输出的实际波形将与预期波形不同。如果 PWM0MSKE(A1h.4)位被置位，则当 PWM0 停止时 PWM0P 和 PWM0N 输出将被屏蔽，并分别依 PWM0PMSK 和 PWM0NMSK 设定强制输出固定信号。

10.1.1 正常模式

普通模式 PWM 是一种简单的结构，它以统一的可重复间隔将其输出切换为高电平和低电平。PWM0D 为输出占空比，输出周期为 PWM0PRD + 1。输出波形和输出模式如下所示。



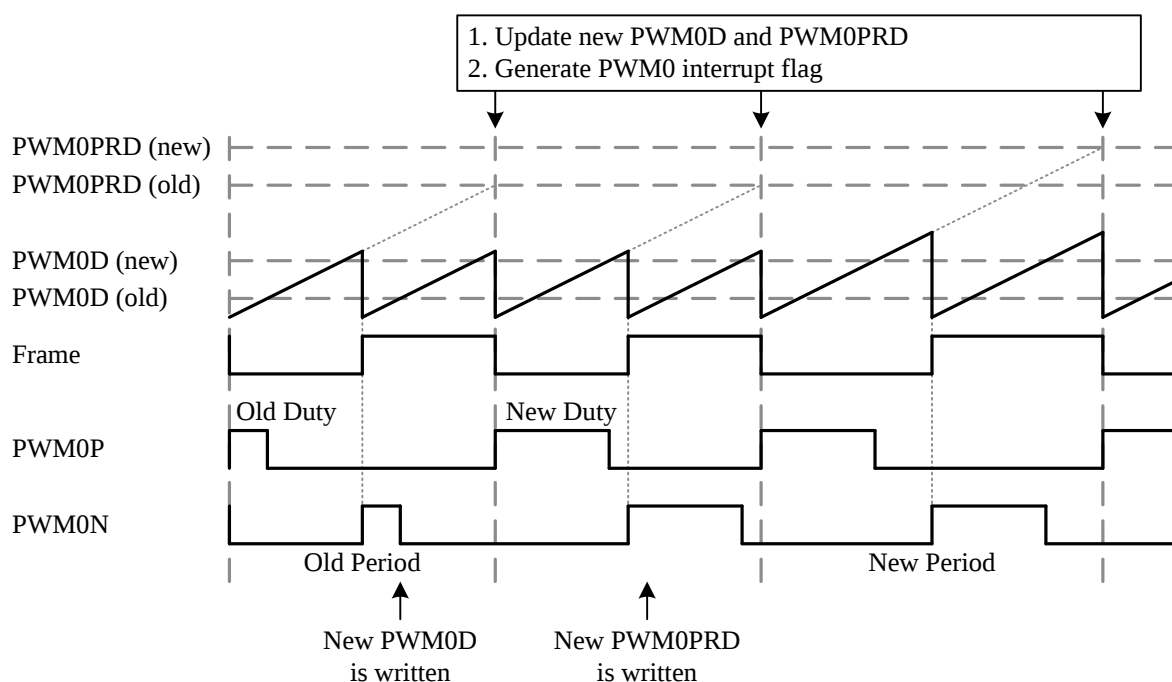
PWM0 正常模式输出波形 (PWM0OM=0, PWM0DZ=0)



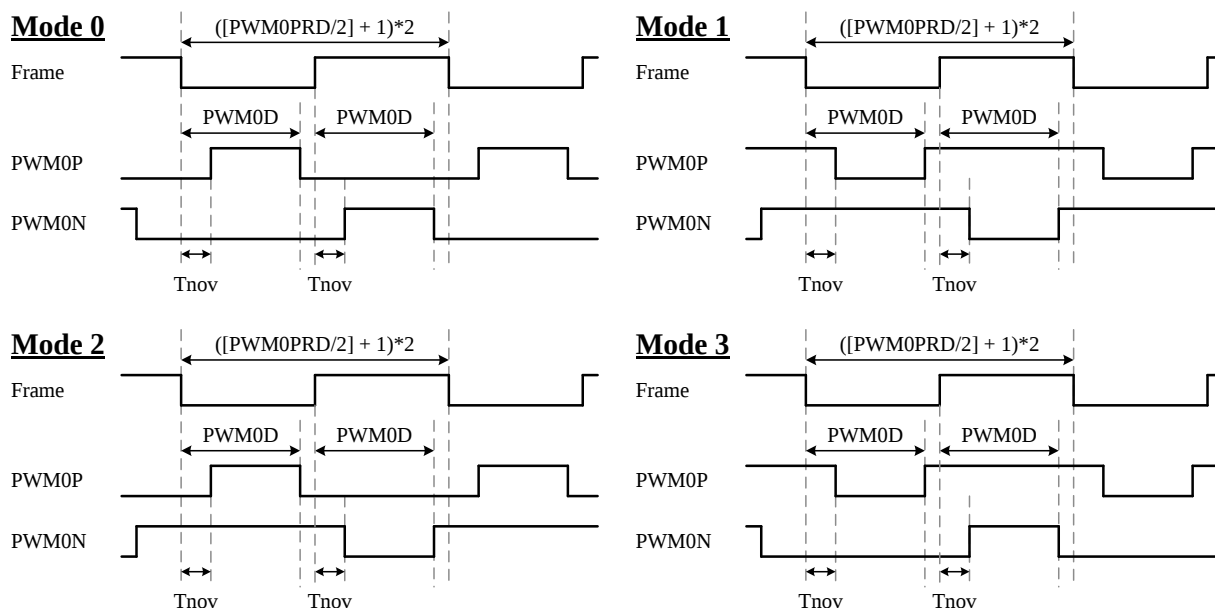
PWM0 正常模式输出模式

10.1.2 半桥置中模式

半桥置中模式 PWM 将一个周期分成两个帧，PWM0P 仅在第一帧中输出，PWM0N 仅在第二帧中输出。这两个帧的宽度必须相同，因此它们的宽度是 $\lceil \text{PWM0PRD}/2 \rceil + 1$ 。由于每个输出通道仅在一帧中输出，因此最大占空比与一帧的宽度相同。如果 PWM0D 大于 $\lceil \text{PWM0PRD}/2 \rceil + 1$ ，则 H/W 将强制将占空比设置为 $\lceil \text{PWM0PRD}/2 \rceil + 1$ 。下图显示了输出波形和输出模式。



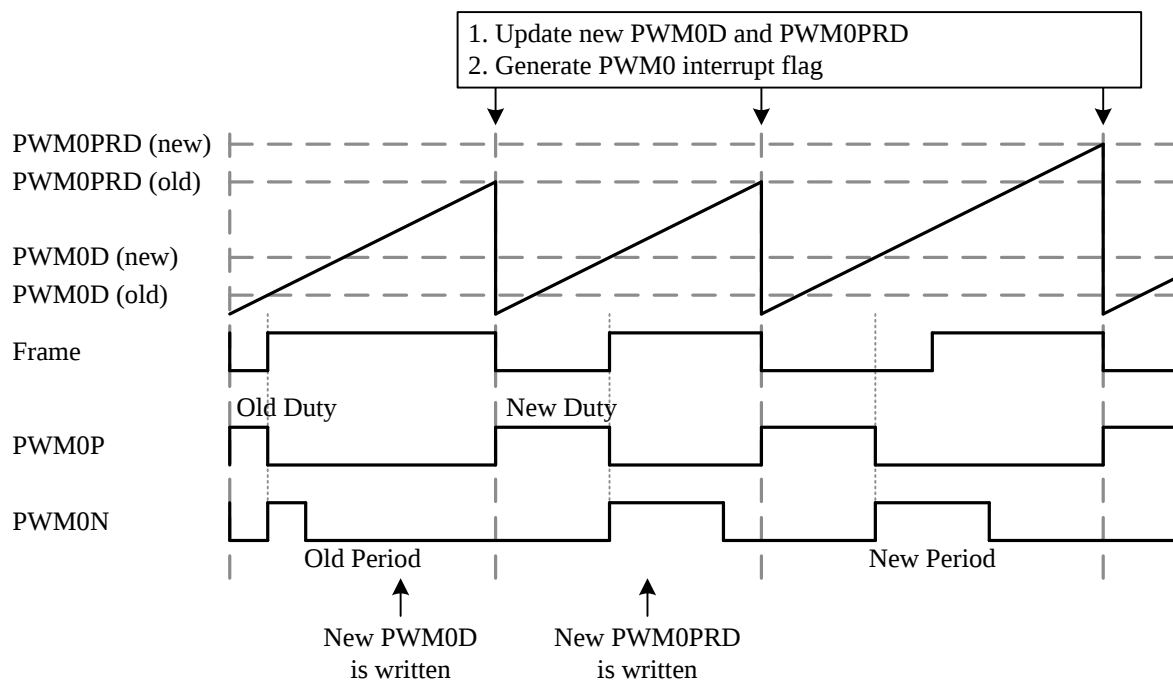
PWM0 半桥置中模式输出波形 (PWM0OM=0, PWM0DZ=0)



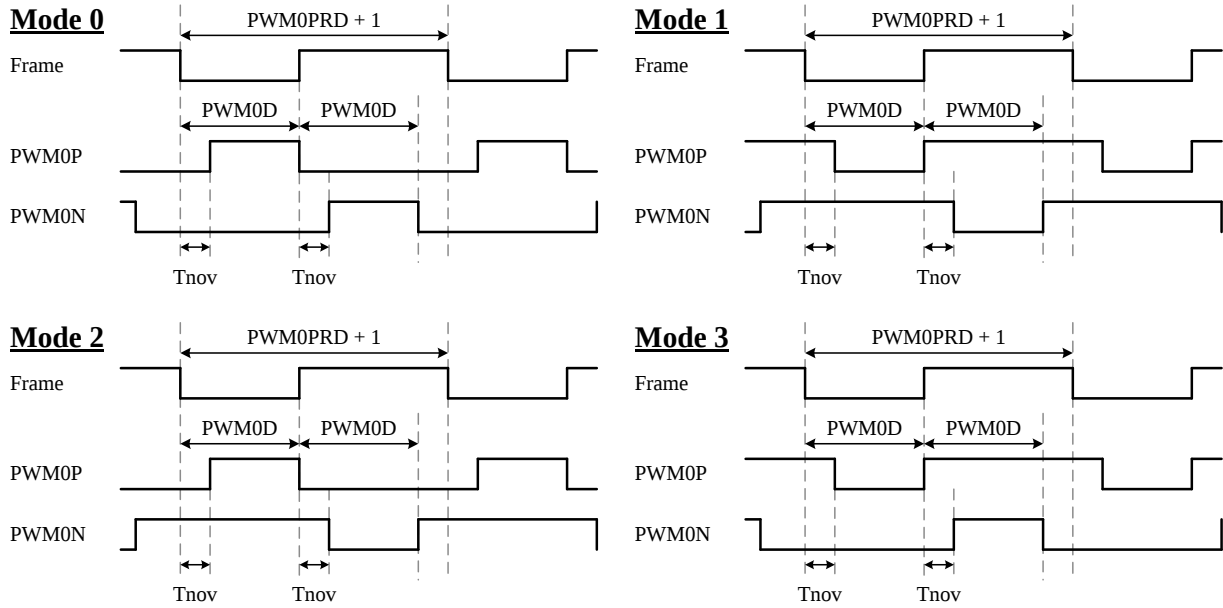
PWM0 半桥置中模式输出模式

10.1.3 半桥靠左模式

半桥靠左模式 PWM 和半桥置中模式同样在一个周期中有两个帧，第一帧输出完 PWM0P 后，紧接着第二帧开始并输出 PWM0N，即第一帧宽度和占空比 PWM0D 相同。周期和普通模式同为 $PWM0PRD + 1$ ，所以第二帧宽度为 $PWM0PRD + 1 - PWM0D$ 。如果 PWM0D 大于半周期，PWM0N 占空比将会小于 PWM0D。下图显示了输出波形和输出模式。



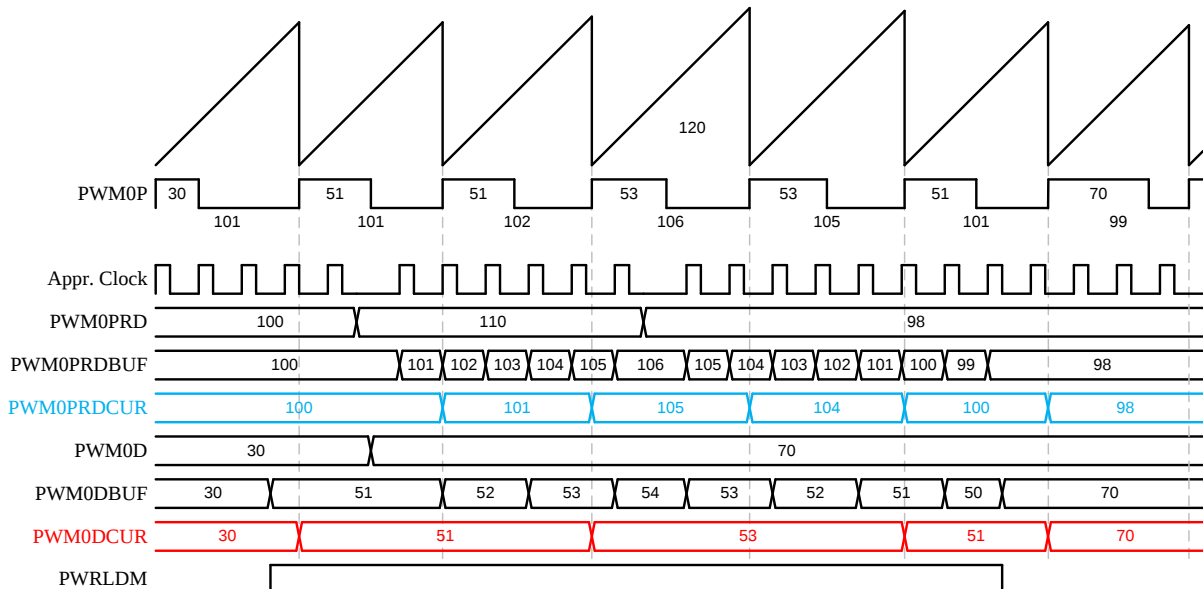
PWM0 半桥靠左模式输出波形 (PWM0OM=0, PWM0DZ=0)



PWM0 半桥靠左模式输出模式

10.1.4 周期重载模式

PWM0 周期提供两种重载模式，直接重载模式和接近重载模式。通过清零 PWRLDM(A6h.3)位选择直接重载模式，写入 PWM0D 或 PWM0PRD 寄存器后，新值将立即保存到其自己的缓冲区中。H/W 将在当前周期结束时或在 PWM0 被清除时更新这些值。设置 PWRLDM 位选择接近重载模式，写入 PWM0PRD 寄存器后，新值将立即保存到缓冲区中。H/W 根据 PWAPHRATE(A6h.2~0)设定的接近率，将当前的周期分多次接近缓冲区中的值，并将每次的值保存到暂存区中。在当前周期结束时将周期更新为暂存区中的值。此模式中 PWM0D 将被忽略，H/W 直接将占空比设定为周期的一半。



10.1.5 周期递减保护模式

相位保护检测器(PPD)模块除了可以通过 PWM0OFFIF 标志将 PWM0 强制停用外，也可以设置 PGPDEC(A5h.4)位启用周期递减保护模式。在此模式中，当 PPD 模块检测到相位异常时，H/W 将

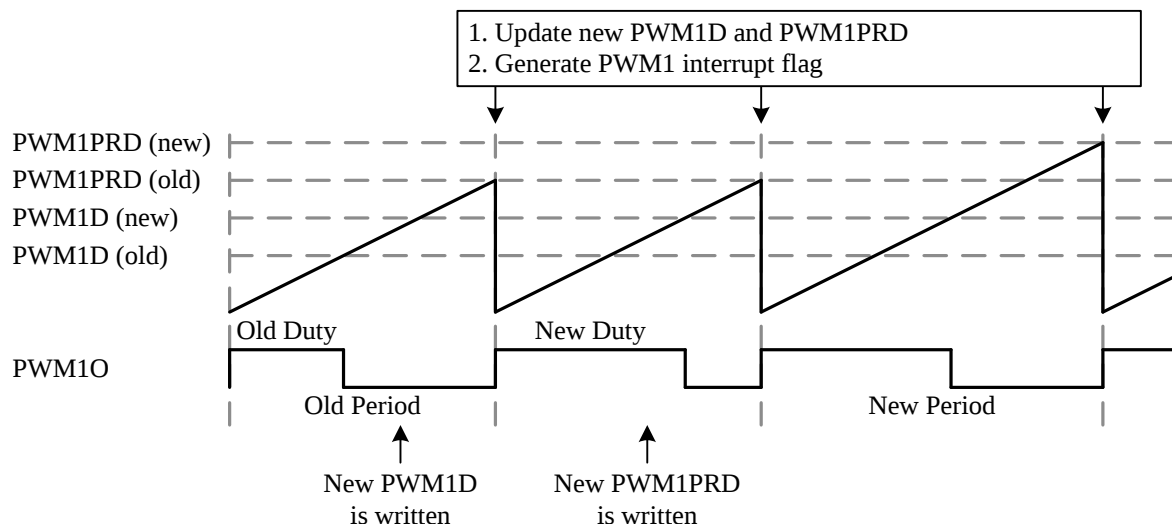


The diagram shows the timing of the PWM0 module. The signals and their durations are as follows:

- PWM0PRD**: Period of the PWM signal, 100.
- PWM0D**: Duty cycle of the PWM signal, 50.
- PWM0EN**: Enable signal, high for the duration of the PWM signal.
- PWM0P**: PWM output signal, high for the duration of the PWM signal.
- PWM0N**: PWM output signal, low for the duration of the PWM signal.
- PGPDEC**: Pulse generator deceleration signal, high for the duration of the PWM signal.
- SPGF_trig**: SPGF trigger signal, high for the duration of the PWM signal.
- SPGF clr by S/W**: SPGF clear by software signal, high for the duration of the PWM signal.
- SPGF2 clr by H/W**: SPGF2 clear by hardware signal, high for the duration of the PWM signal.

Rev 0.90, 2025/11

和 PWM0 相同，PWM1D 和 PWM1PRD 具有自己的缓冲区。写入 PWM1D 或 PWM1PRD 寄存器后，新值将立即保存到其自己的缓冲区中。H/W 将在当前周期结束时或清除 PWM1 时更新这些值。在当前周期结束时，如果 PWM1 中断被使能，H/W 将置位 PWM1IF 位并产生一个中断。输出波形如下所示。



PWM1 输出波形

SFR 84h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE2	—	PWM1IE	PWM0IE	CMP5IE	CMP4IE	CMP3IE	CMP2IE	CMP1IE
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	0	0	0	0	0	0	0

84h.6 **PWM1IE:** PWM1 中断使能

0: 禁用 PWM1 中断

1: 允许 PWM1 中断

84h.5 **PWM0IE:** PWM0 中断使能

0: 禁用 PWM0 中断

1: 允许 PWM0 中断

SFR 85h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG2	—	PWM1IF	PWM0IF	CMP5IF	CMP4IF	CMP3IF	CMP2IF	CMP1IF
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	0	0	0	0	0	0	0

85h.6 **PWM1IF:** PWM1 中断标志

在 PWM1 周期结束时由 H/W 设置，S/W 将 BFh 写入 INTFLG2 以清除此标志。

85h.5 **PWM0IF:** PWM0 中断使能

在 PWM0 周期结束时由 H/W 设置，S/W 将 DFh 写入 INTFLG2 以清除此标志。

SFR A1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON	PWM1CKS		—	—	PWM0CKS		PWM0NMSK	PWM0PMSK
R/W	R/W		—	—	R/W		R/W	R/W
Reset	0	0	—	—	0	0	0	0

A1h.7~6 **PWM1CKS:** PWM1 时钟源

00: F_{SYSCLK}

01: F_{SYSCLK}

10: FRC

- 11: FRCx2
- A1h.3~2 **PWM0CKS**: PWM0 时钟源
- 00: F_{SYSCCLK}
- 01: F_{SYSCCLK}
- 10: FRC
- 11: FRCx2
- A1h.1 **PWM0NMSK**: 当 CLRPWM0=1 或 PWM0OFFIF=1 时 PWM0N 屏蔽数据
- A1h.0 **PWM0PMSK**: 当 CLRPWM0=1 或 PWM0OFFIF=1 时 PWM0P 屏蔽数据

SFR A5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PGP	—	—	—	PGPDEC	PGPSTEP			
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
Reset	—	—	—	0	0	0	0	0

- A5h.4 **PGPDEC**: PWM0 周期递减保护使能
- 0: 禁用 PWM0 周期递减保护
- 1: 启用 PWM0 周期递减保护
- A5h.3~0 **PGPSTEP**: PWM0 周期递减保护步长
- 递减步长 = $4 * (PGPSTEP + 1) * T_{PWM0CLK}$

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0APH	—	—	—	—	PWRLDM	PWAPHRATE		
R/W	—	—	—	—	R/W	R/W	R/W	R/W
Reset	—	—	—	—	0	0	0	0

- A6h.3 **PWRLDM**: PWM0 周期重载模式
- 0: 直接重新加载, 工作缓冲区与重新加载数据同步
- 1: 接近重载, 工作缓冲器接近以一定的速率逐渐重载缓冲器
- A6h.2~0 **PWAPHRATE**: PWM0 周期重载数据接近率
- 000: 每 $32 * T_{PWM0CLK}$ 增加/减少 1
- 001: 每 $64 * T_{PWM0CLK}$ 增加/减少 1
- 010: 每 $128 * T_{PWM0CLK}$ 增加/减少 1
- 011: 每 $256 * T_{PWM0CLK}$ 增加/减少 1
- 100: 每 $512 * T_{PWM0CLK}$ 增加/减少 1
- 101: 每 $1024 * T_{PWM0CLK}$ 增加/减少 1
- 110: 每 $2048 * T_{PWM0CLK}$ 增加/减少 1
- 111: 每 $4096 * T_{PWM0CLK}$ 增加/减少 1

SFR A7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON2	PWM0MOD		PWM0OM		PWM0DZ			
R/W	R/W	R/W	R/W		R/W			
Reset	0	0	0	0	0	0	0	0

- A7h.7~6 **PWM0MOD**: PWM0 模式选择
- 0x: 正常模式
- 10: 半桥置中模式
- 11: 半桥靠左模式
- A7h.5~4 **PWM0OM**: PWM0 输出模式选择
- 00: 模式 0
- 01: 模式 1
- 10: 模式 2
- 11: 模式 3
- A7h.3~0 **PWM0DZ**: PWM0 死区
- 0000~1111: $0 * T_{PWM0CLK} \sim 15 * T_{PWM0CLK}$

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	PPGDIE	I2CIE	ADIE	EX2	PXIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.7 **PWMIE**: PWM0/1 中断使能
 0: 禁止 PWM0/1 中断
 1: 允许 PWM0/1 中断

SFR D1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DH	PWM0DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D1h.7~0 **PWM0DH**: PWM0 占空比的高字节

SFR D2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DL	PWM0DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D2h.7~0 **PWM0DL**: PWM0 占空比的低字节

SFR D3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DH	PWM1DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D3h.7~0 **PWM1DH**: PWM1 占空比的高字节

SFR D4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DL	PWM1DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D4h.7~0 **PWM1DL**: PWM1 占空比的低字节

SFR D9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRDH	PWM0PRDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

D9h.7~0 **PWM0PRDH**: PWM0 周期的高字节

SFR DAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRDL	PWM0PRDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DAh.7~0 **PWM0PRDL**: PWM0 周期的低字节

SFR DBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRDH	PWM1PRDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DBh.7~0 **PWM1PRDH**: PWM1 周期的高字节

SFR DCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRDL	PWM1PRDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DCh.7~0 **PWM1PRDL**: PWM1 周期的低字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	CLRPWM0	CLRPWM1	T1SEL	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	1	1	0	0

F8h.3 **CLRPWM0**: PWM0 清除使能

0: PWM0 正在运行

1: PWM0 被清除并保持

F8h.2 **CLRPWM1**: PWM1 清除使能

0: PWM1 正在运行

1: PWM1 被清除并保持

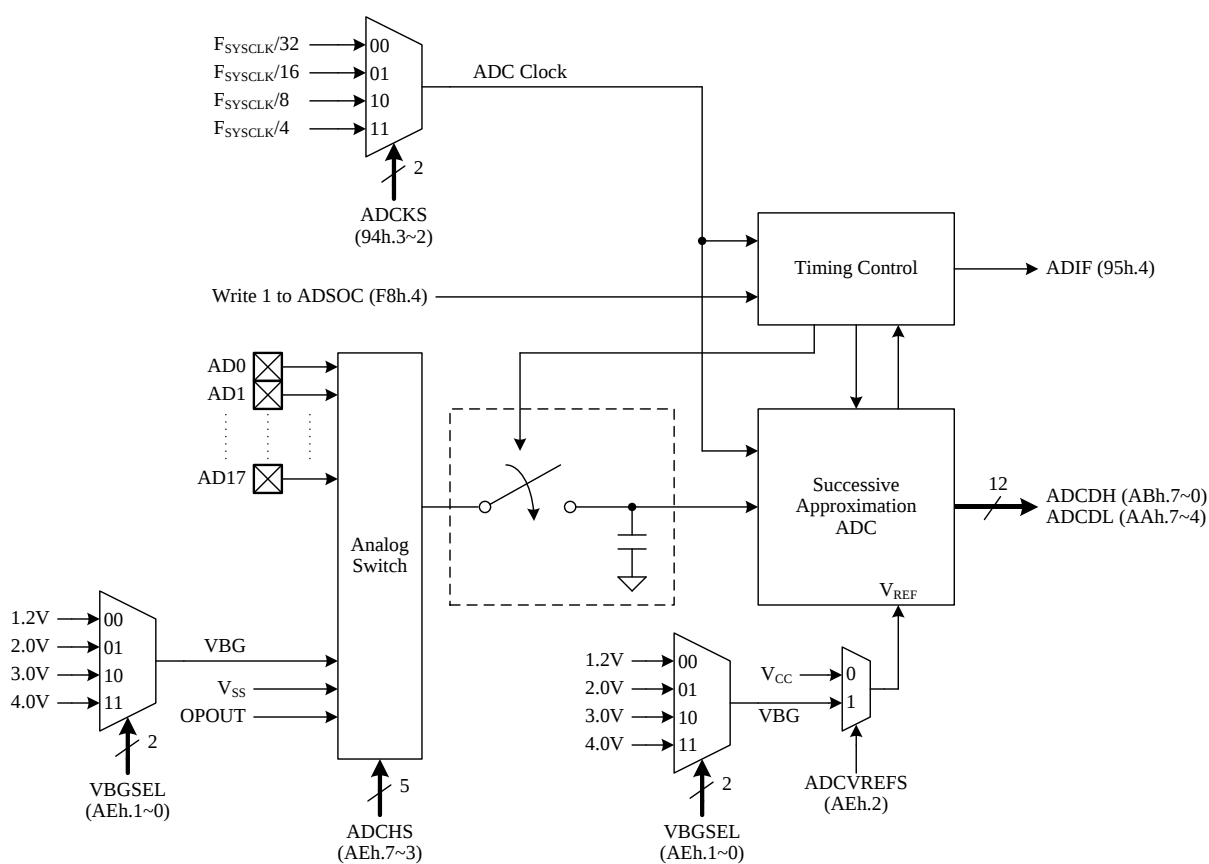
注: 另请参见第 7 节以获取有关 PWM 引脚输出设置的更多信息。

11. ADC

该芯片提供了一个 12 位 ADC，由 21 通道模拟输入多路复用器、控制寄存器、时钟发生器、12 位逐次逼近寄存器和输出数据寄存器。通常，ADC 时钟频率小于 1 MHz，用户可以参考电气特性章节了解详细信息。

要使用 ADC，首先设置 ADCKS 位以选择合适的 ADC 时钟频率。然后，用户通过设置 ADSOC 位启动 ADC 转换，H/W 将在转换结束时自动清除它。转换结束后，H/W 将设置 ADIF 位，如果启用 ADC 中断，则产生中断。可以通过写入 0 来清除 ADIF 位或设置 ADSOC 位。模拟输入电平必须保持在 V_{SS} 到 V_{REF} 的范围内。

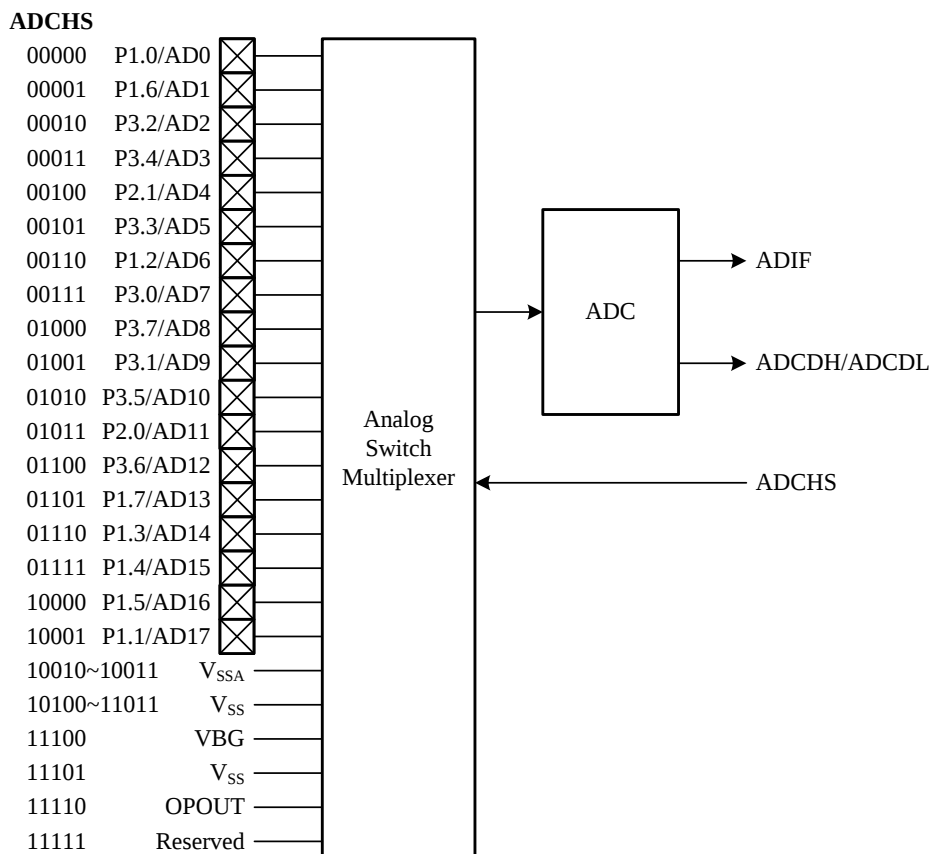
使用 ADCVREFS 选项，可以选择 ADC 内部参考电压源(V_{REF})为 V_{CC} 或 VBG。



ADC 结构

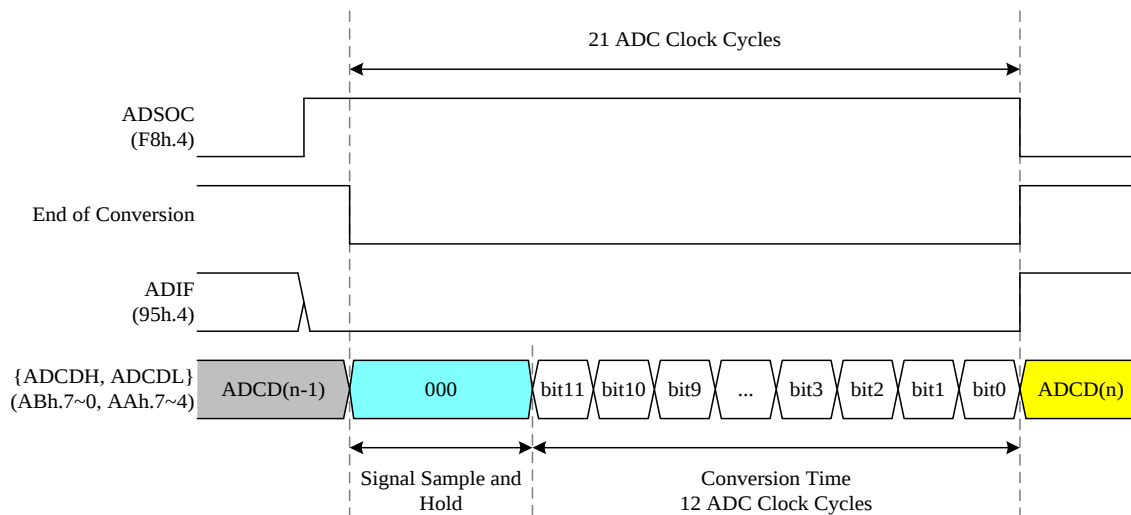
11.1 ADC 通道

12 位 ADC 共有 21 个通道，指定为 AD0~AD17，VBG，OPOUT 和 V_{SS} 。ADC 通道通过模拟开关多路复用器连接到模拟输入引脚。模拟开关多路复用器由 ADCHS 寄存器控制。VBG 是内部电压基准，可通过 VBGSEL 寄存器选择适合的电压，默认为 1.20V。



11.2 ADC 转换时间

转换时间是 ADC 转换电压所需的时间。该 ADC 转换每个位需要一个 ADC 时钟周期，以及多个时钟周期进行输入电压采样和保持。一共需要 21 个 ADC 时钟周期以执行完全转换。当转换时间结束，ADIF 中断标志由 H/W 设置，12 位 A/D 转换结果被加载到 ADCDH 和 ADCDL 寄存器。



SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	TM3CKS	WDTPSC		ADCKS		TM3PSC	
R/W	R/W	R/W	R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

94h.3~2 **ADCKS**: ADC 时钟速率选择

00: $F_{SYSCLK}/32$

01: $F_{SYSCLK}/16$

10: $F_{SYSCLK}/8$

11: $F_{SYSCLK}/4$

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	—	—	—	ADIF	—	—	PXIF	TF3
R/W	—	—	—	R/W	—	—	R/W	R/W
Reset	—	—	—	0	—	—	0	0

95h.4 **ADIF**: ADC 中断标志

于转换结束时由 H/W 设置。S/W 写入 EFh 到 INTFLG 或设置 ADSOC 位来清除该标志。

注: S/W 可以写入 0 来清除 INTFLG 中的标志，但写入 1 无效。

SFR AAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDL	ADCDL				—	—	—	—
R/W	R				—	—	—	—
Reset	—	—	—	—	—	—	—	—

AAh.7~4 **ADCDL**: ADC 数据位 3~0

SFR ABh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDH	ADCDH							
R/W	R							
Reset	—	—	—	—	—	—	—	—

ABh.7~0 **ADCDH**: ADC 数据位 11~4

SFR AEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CHSEL	ADCHS					ADCVREFS	VBGSEL	
R/W	R/W					R/W	R/W	
Reset	1	1	1	1	1	0	0	0

A Eh.7~3 **ADCHS**: ADC 通道选择

00000: AD0 (P1.0)
 00001: AD1 (P1.6)
 00010: AD2 (P3.2)
 00011: AD3 (P3.4)
 00100: AD4 (P2.1)
 00101: AD5 (P3.3)
 00110: AD6 (P1.2)
 00111: AD7 (P3.0)
 01000: AD8 (P3.7)
 01001: AD9 (P3.1)
 01010: AD10 (P3.5)
 01011: AD11 (P2.0)
 01100: AD12 (P3.6)
 01101: AD13 (P1.7)
 01110: AD14 (P1.3)
 01111: AD15 (P1.4)
 10000: AD16 (P1.5)
 10001: AD17 (P1.1)
 10010: V_{SSA}
 10011: V_{SSA}
 10100: V_{SS}
 ~
 11011: V_{SS}
 11100: VBG (内部带隙基准电压)
 11101: V_{SS}
 11110: OPOUT
 11111: Reserved

A Eh.2 **ADCVREFS**: ADC 参考电压选择

0: V_{CC}
 1: VBG

A Eh.1~0 **VBGSEL**: VBG 电压选择。当 ADCVREFS 选择为 VBG 时，VBGSEL 禁止使用 1.2V。

00: 1.2V
 01: 2.0V
 10: 3.0V
 11: 4.0V

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	CLRPWM0	CLRPWM1	T1SEL	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	1	1	0	0

F8h.4 **ADSOC:** 开始 ADC 转换

设置 ADSOC 位启动 ADC 转换，ADSOC 位将由 H/W 于转换结束时被清除。S/W 也可以写 0 来清除该标志。

注: 另请参阅第 6 章的有关 ADC 中断使能和优先级的更多信息。

注: 同时参阅第 7 章有关 ADC 引脚输入设置的详细信息。

12. 乘法器和除法器

该芯片提供的乘法器和除法器具有以下功能。8 位操作与标准 8051 完全兼容。

- 8 位×8 位= 16 位 (标准 8051)
- 8 位÷8 位= 8 位，余数 8 位 (标准 8051)
- 16 位×16 位= 32 位
- 16 位÷16 位= 16 位，余数 16 位
- 32 位÷16 位= 32 位，余数 16 位

无论是 8 位/16 位/32 位操作，都可以通过 MUL AB 和 DIV AB 指令轻松执行。对于 16 位/32 位乘法和除法运算，还有额外的 SFR EXA / EXA2 / EXA3 / EXB。对于 8 位乘法器/除法器操作，请确保 SFR 位 MULDIV16 = 0 和 DIV32 = 0。

对于 16 位乘法器操作被乘数、乘数和乘积如下。16 位乘法器需要 16 个系统时钟周期才能执行。

条件	SFR bit MULDIV16=1 and DIV32=0			
乘法	字节3	字节2	字节1	字节0
被乘数	—	—	EXA	A
乘数	—	—	EXB	B
乘积	EXB	B	A	EXA
OV	乘积 (EXB or B) !=0		—	—

对于 16 位除法器操作被除数、除数、商、余数如下。16 位除法器需要 16 个系统时钟周期来执行。

条件	SFR bit MULDIV16=1 and DIV32=0			
除法	字节3	字节2	字节1	字节0
被除数	—	—	EXA	A
除数	—	—	EXB	B
商	—	—	A	EXA
余数	—	—	B	EXB
OV	除数 EXB=B=0			

对于 32 位÷16 位运算被除数、除数、商、余数的读取方式如下。32 位除法器需要 32 个系统时钟周期来执行。

条件	SFR bit MULDIV16=1 and DIV32=1			
除法	字节3	字节2	字节1	字节0
被除数	EXA3	EXA2	EXA	A
除数	—	—	EXB	B
商	A	EXA	EXA2	EXA3
余数	—	—	B	EXB
OV	Divisor EXB=B=0			

SFR CEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA2	EXA2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

CEh.7~0 **EXA2:** 扩充累加器 2

SFR CFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA3	EXA3							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

CFh.7~0 **EXA3:** 扩充累加器 3

SFR E6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA	EXA							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E6h.7~0 **EXA:** 扩充累加器

SFR E7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXB	EXB							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E7h.7~0 **EXB:** 扩充 B 寄存器

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	1	1	0

F7h.3 **DIV32:** 仅在 MULDVI16 = 1 时有效

0: 指令 DIV 作为 16/16 位除法运算

1: 指令 DIV 作为 32/16 位除法运算

F7h.0 **MULDIV16:**

0: 指令 MUL / DIV 为 8 位操作

1: 指令 MUL / DIV 为 16*16、16/16 或 32/16 操作

ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
MUL AB	Multiply A by B	1	8/16	A4
DIV AB	Divide A by B	1	8/16/32	84

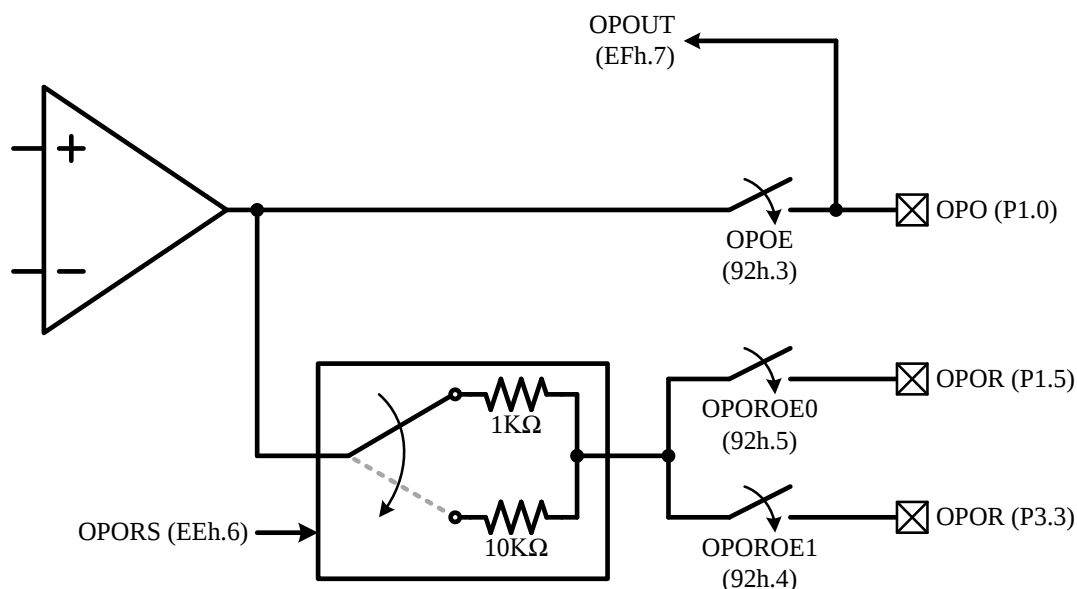
13. 运算放大器

该芯片上的 OPA 是一种 CMOS 放大器，具有高输入阻抗，极低的失调电压，高增益和高稳定性的特点。允许共模输入电压范围从 0V 扩展到 $V_{CC}-0.7V$ 。这种具有成本效益的设备适用于高增益，低频和低失调电压应用。如下所示的功能框图，通过设置 OPFUNC (EEh.4~3) 位，可以将 OPA 分为四种类型。IC 复位后，OPA 关闭。用户可以设置 OPAEN (EEh.7) 位来打开 OPA 的功能。

芯片发货前已对每个设备进行了偏移校准，用户也可以通过设置 OPMOD (EFh.6) 位进入输入失调电压校准模式，并通过设置 OPADJ (EFh.4~0) 以获得最佳设置。OPADJ 值只有在 OPAEN=1 且 OPMOD=1 时才可进行更新。校准模式具有四种类型，当 OPFUNC=00 时，OPA 输出为数字信号，可经由 OPOUT (EFh.7) 位读取。其余三种类型，OPA 输出模拟信号，可经由 ADC 获得输出电压。OPA 输出状态除可透过上述方式得知外，也可以输出到引脚。通过设置 OPOE (92h.3) 位，OPO 将输出到 P1.0。通过设置 OPOROE0 (92h.4) 和 OPOROE1 (92h.5) 位，OPO 串联 1K Ω 或 10K Ω 电阻后分别输出到 P1.5 和 P3.3。通过设置 OPORS (EEh.6) 位可选择电阻阻值。

以下简单介绍 OPFUNC=00 时的校准方式。在此模式，可以通过设置 CVRFS (EFh.5) 位选择 VSS 或 VBG 两个参考电平。在校准过程中，依次更改 OPADJ 值从 00h 递增至 1Fh，并检查每个值的 OPOUT 位。当 OPOUT 变高时，记录 OPADJ 的值。同样，依次将 OPADJ 值从 1Fh 递减至 00h，并检查每个值的 OPOUT 位。当 OPOUT 位变为低电平时，得到另一个 OPADJ 值。选择这两个值中的一个，或应用平均值作为校准的 OPADJ。最后清除 OPMOD 位，恢复正常操作模式。请注意，OPADJ 值只有在 OPAEN=1 且 OPMOD=1 时才可进行更新。此外，OPOUT 位的状态仅在 OPFUNC=00，OPOE=1 且 P1MOD0=0x 的失调校准模式下有效且有意义。

对于任何 GPIO 引脚，模拟输入/输出功能总是优先于数字功能。当通过设置 OPAEN 位打开 OPA 时，相关 GPIO 引脚的数字路径会自动禁用，以降低功耗。



特征:

低失调电压: 校准后 ≤ 2 mV

宽单位增益带宽: 2.1 MHz

开环增益: 90 dB

触发率: 2 V / μ s

OPFUNC	正常模式 (OPMOD=0)	校正模式 (OPMOD=1)
00		
01		
10		
11		

SFR 92h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
POFS0	PWM1OE1	PWM1OE0	OPOROE1	OPOROE0	OPOE	T2OE	T1OE	T0OE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 92h.5 **OPOROE1**: OPO 串接电阻信号输出使能 1
0: 禁止 OPO 串接电阻输出到 P3.3
1: 允许 OPO 串接电阻输出到 P3.3
- 92h.4 **OPOROE0**: OPO 串接电阻信号输出使能 0
0: 禁止 OPO 串接电阻输出到 P1.5
1: 允许 OPO 串接电阻输出到 P1.5
- 92h.3 **OPOE**: OPO 信号输出使能
0: 禁止 OPO 输出到 P1.0
1: 允许 OPO 输出到 P1.0

SFR EEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPCON	OPAEN	OPORS	OPNS	OPFUNC		OPGAIN		
R/W	R/W	R/W	R/W	R/W		R/W		
Reset	0	0	0	0	0	0	0	0

- EEh.7 **OPAEN**: 启用运算放大器
0: 运算放大器禁用
1: 运算放大器启用
- EEh.6 **OPORS**: 运算放大器输出串接电阻选择
0: 1K 欧姆
1: 10K 欧姆
- EEh.5 **OPNS**: 运算放大器负端输入引脚选择
0: P1.1
1: P1.6
- EEh.4~3 **OPFUNC**: 运算放大器功能选择
普通模式 (OPMOD = 0)
00: [IP] OPP, [IN] VSS, 带内部增益
01: [IP] VSS, [IN] OPN, 带内部增益
10: [IP] VSS 带 1K 电阻, [IN] OPN, 带内部增益
11: [IP] OPP, [IN] OPN
校准模式 (OPMOD = 1)
00: [IP] Vtrim, [IN] Vtrim (Vtrim = VSS 或 VBG, 由 CVRFS 定义)
01: [IP] VSS, [IN] VSS, 带内部增益
10: [IP] VSS 带 1K 电阻, [IN] VSS, 带内部增益
11: [IP] OPP, [IN] OPN
- EEh.2~0 **OPGAIN**: 运算放大器内部增益选择
000: 20X
001: 25X
010: 30X
011: 35X
100: 100X
101: 105X
110: 110X
111: 115X

SFR EFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPCAL	OPOUT	OPMOD	CVRFS	OPADJ				
R/W	R	R/W	R/W	R/W				
Reset	—	0	0	—	—	—	—	—

- EFh.7 **OPOUT**: OPA 输出状态 (OPMOD=1 且 OPFUNC=00 时有效, 同时需 OPOE=1 且 P1MOD0=0x)
0: $V_{IN+} < V_{IN-}$
1: $V_{IN+} > V_{IN-}$
- EFh.6 **OPMOD**: 运算放大器工作模式
0: 正常模式
1: 校正模式
- EFh.5 **CVRFS**: 当 OPMOD=1 且 OPFUNC=00 时, 选择校准模式参考电平
0: 选择 VSS
1: 选择 VBG
- EFh.4~0 **OPADJ**: OPA 失调电压调整 (OPAEN=1 且 OPMOD=1 时才可修改更新)
00000~11111: $-V_{OS_MAX} \sim +V_{OS_MAX}$
发货前已对每个设备进行了偏移校准。
用户可以在上电后通过读取该寄存器来获得默认值。

注: 有关 OPA 引脚输入/输出设置的更多信息, 请参见第 7 章。

14. 模拟比较器

模拟比较器提供了模拟电路和数字电路之间的接口。它比较同相输入 V_{IN+} 和反相输入 V_{IN-} 的幅度，其输出表示其相对电平的函数。当 V_{IN+} 的幅度大于 V_{IN-} 的幅度时，比较器输出逻辑为高电平。相反，当 V_{IN+} 的幅度低于 V_{IN-} 的幅度时，比较器输出逻辑为低电平。

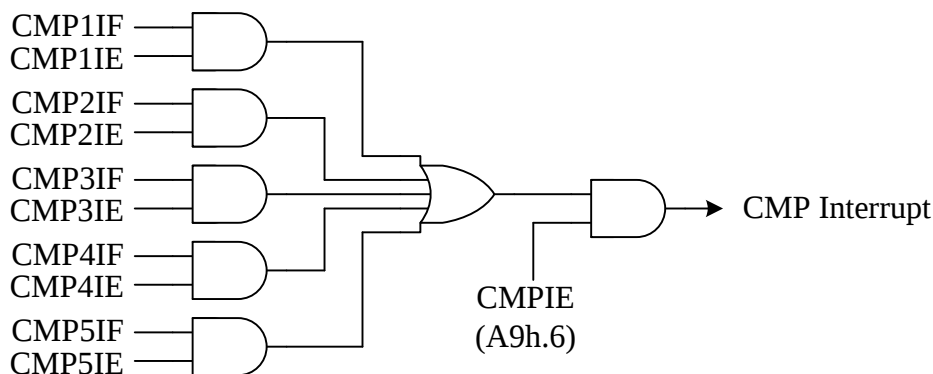
芯片内置五个模拟比较器，分别命名为 CMP1、CMP2、CMP3、CMP4 和 CMP5。五个比较器的功能图将在接下来的三页中说明。每个比较器可以通过设置寄存器 CMP1CON (C1h)、CMP2CON (BEh)、CMPnVRF (C2h~C5h)、CMPxCAL (E9h~EDh) 和 CMPIEDG (D7h) 来控制，其中 $n = 2 \sim 5$ ， $x = 1 \sim 5$ 。通过将 CMPxEN 位写为 1 来打开 CMPx。如果 CMPxEN=0，则关闭 CMPx 以节省功耗，并且相应的输出 CMPxO 保持在逻辑低电平。

可以将一定量的分离电平添加到比较器的输入，以提供其运行的迟滞特性。通过将 1/0 写入 CMPxHYS 位，可以开启/禁用 CMPx 的迟滞功能。比较器的输出转换可能触发中断事件。CMPxEDG 用于确定中断事件的触发沿。如果 CMPxEDG = 1/0，则输出上升沿/下降沿转换将设置相应的中断标志 CMPxIF (84h.4~0)。

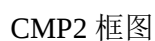
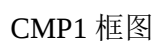
如图所示，CMP1 的同相 C1P 和反相 C1N 输入都分别引出到 GPIO。CMP2、CMP3、CMP4 和 CMP5 的同相比较电压选择内置于设备中，反向输入 C2N、C3N、C4N 和 C5N 分别引出到 GPIO。C4N 除了引脚外还可选择 OPO。通过设置 CMPnVRF，可以选择 CMPn 的 V_{IN+} 的适当级别，以便您的应用程序正常运行。可以通过读取 CMPxCAL 寄存器的 CMPxO 位获得 CMPx 的输出状态。

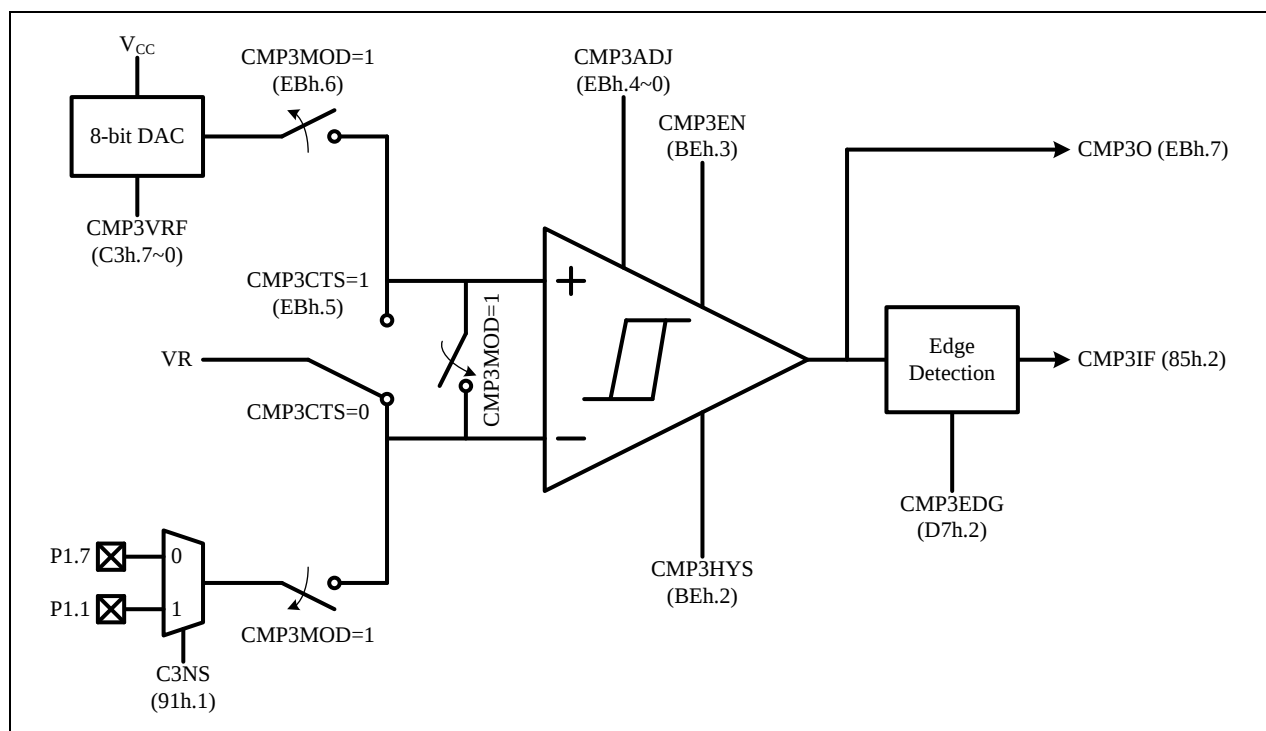
通过设置 CMPxCAL 寄存器的 CMPxMOD 位，芯片进入输入失调电压校准模式。当 CMPxMOD 设置为 1 时，比较器的两个输入连接在一起，内部电压源 VR 同时馈入输入。在失调校准模式下，CMPxCAL 寄存器的 CMPxCTS 位选择主终端。当 CMPxCTS=1/0 时，校准模式下 VR 路径连接的主终端分别为同相/反相输入。通常，CMPxCTS 的设置不会影响校准结果。用户可以在整个校准过程中使用默认情况。在校准程序中，依次将 CMPxADJ 的值从 00h 更改至 1Fh，并检查每个 CMPxADJ 的 CMPxO。当 CMPxO 变为高电平时，记录 CMPxADJ 值。同样，将 CMPxADJ 的值从 1Fh 依次改为 00h，并检查每个 CMPxADJ 的 CMPxO。当 CMPxO 变为低电平时，它可以获得另一个 CMPxADJ 值。选择两个值之一，或将平均值用作校准的 CMPxADJ。最后，将 CMPxMOD 位清零以返回正常工作模式。注意，只有在校准模式下且 CMPxMOD=1 时才能更新 CMPxADJ 值。

对于任何 GPIO 引脚，模拟功能总是优先于数字功能。当通过设置 CMPxEN 位打开 CMPx 时，相关 GPIO 引脚的数字路径会自动禁用，以降低功耗。

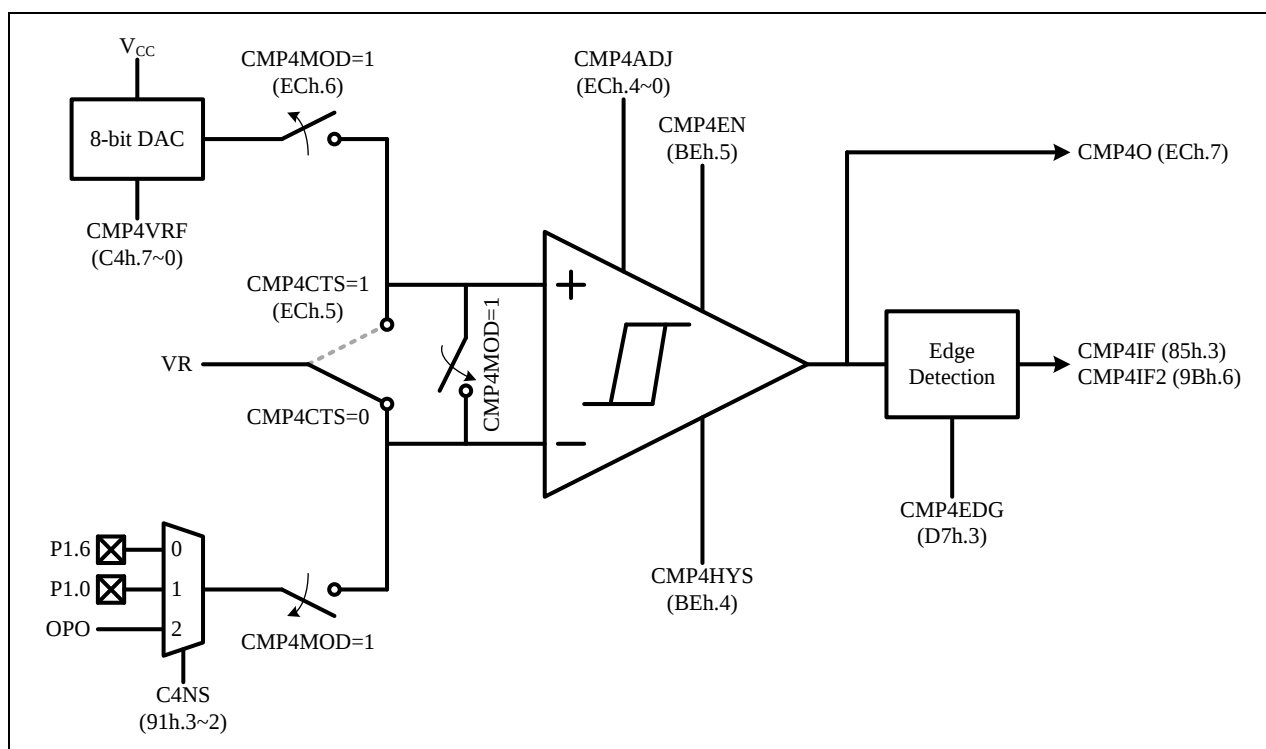


CMP 中断结构

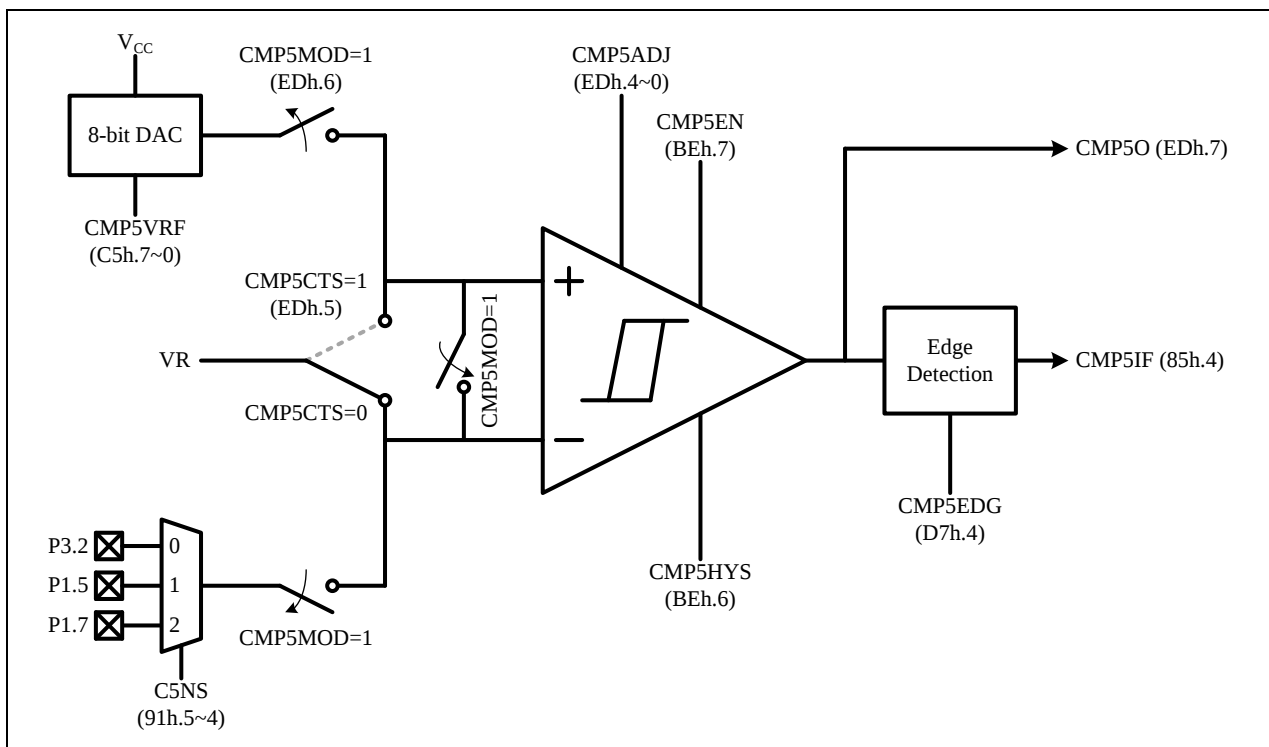




CMP3 框图



CMP4 框图



CMP5 框图

SFR 84h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE2	—	PWM1IE	PWM0IE	CMP5IE	CMP4IE	CMP3IE	CMP2IE	CMP1IE
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	0	0	0	0	0	0	0

84h.4 **CMP5IE:** CMP5 中断使能

0: 禁用 CMP5 中断

1: 启用 CMP5 中断

84h.3 **CMP4IE:** CMP4 中断使能

0: 禁用 CMP4 中断

1: 启用 CMP4 中断

84h.2 **CMP3IE:** CMP3 中断使能

0: 禁用 CMP3 中断

1: 启用 CMP3 中断

84h.1 **CMP2IE:** CMP2 中断使能

0: 禁用 CMP2 中断

1: 启用 CMP2 中断

84h.0 **CMP1IE:** CMP1 中断使能

0: 禁用 CMP1 中断

1: 启用 CMP1 中断

SFR 85h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG2	—	PWM1IF	PWM0IF	CMP5IF	CMP4IF	CMP3IF	CMP2IF	CMP1IF
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	0	0	0	0	0	0	0

- 85h.4 **CMP5IF:** CMP5 中断标志
当 CMP5 输出满足上升/下降条件时, 由 H/W 设置。
S/W 将 EFh 写入 INTFLG2 以清除该位。
- 85h.3 **CMP4IF:** CMP4 中断使能
当 CMP4 输出满足上升/下降条件时, 由 H/W 设置。
S/W 将 F7h 写入 INTFLG2 以清除该位。
- 85h.2 **CMP3IF:** CMP3 中断使能
当 CMP3 输出满足上升/下降条件时, 由 H/W 设置。
S/W 将 FBh 写入 INTFLG2 以清除该位。
- 85h.1 **CMP2IF:** CMP2 中断使能
当 CMP2 输出满足上升/下降条件时, 由 H/W 设置。
S/W 将 FDh 写入 INTFLG2 以清除该位。
- 85h.0 **CMP1IF:** CMP1 中断使能
当 CMP1 输出满足上升/下降条件时, 由 H/W 设置。
S/W 将 FEh 写入 INTFLG2 以清除该位。

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PIFS0	—	—	C5NS		C4NS		C3NS	C2NS
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

- 91h.5~4 **C5NS:** CMP5 反相输入选择
00: CMP5 反相输入为 P3.2
01: CMP5 反相输入为 P1.5
10: CMP5 反相输入为 P1.7
11: 保留
- 91h.3~2 **C4NS:** CMP4 反相输入选择
00: CMP4 反相输入为 P1.6
01: CMP4 反相输入为 P1.0
10: CMP4 反相输入为 OPO
11: 保留
- 91h.1 **C3NS:** CMP3 反相输入选择
0: CMP3 反相输入为 P1.7
1: CMP3 反相输入为 P1.1
- 91h.0 **C2NS:** CMP2 反相输入选择
0: CMP2 反相输入为 P1.5
1: CMP2 反相输入为 P1.3

SFR BEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMP25CON	CMP5EN	CMP5HYS	CMP4EN	CMP4HYS	CMP3EN	CMP3HYS	CMP2EN	CMP2HYS
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- BEh.7 **CMP5EN:** CMP5 使能
0: CMP5 禁用
1: CMP5 启用
- BEh.6 **CMP5HYS:** CMP5 迟滞特性使能
0: 禁用
1: 允许
- BEh.5 **CMP4EN:** CMP4 使能
0: CMP4 禁用
1: CMP4 启用
- BEh.4 **CMP4HYS:** CMP4 迟滞特性使能
0: 禁用
1: 允许
- BEh.3 **CMP3EN:** CMP3 使能
0: CMP3 禁用
1: CMP3 启用
- BEh.2 **CMP3HYS:** CMP3 迟滞特性使能
0: 禁用
1: 允许
- BEh.1 **CMP2EN:** CMP2 使能
0: CMP2 禁用
1: CMP2 启用
- BEh.0 **CMP2HYS:** CMP2 迟滞特性使能
0: 禁用
1: 允许

SFR C1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMP1CON	CMP1EN	CMP1HYS	CMP1DBOP	SYNDBT				
R/W	R/W	R/W	R/W	R/W				
Reset	0	0	0	0	0	0	0	0

- C1h.7 **CMP1EN:** CMP1 使能
0: CMP1 禁用
1: CMP1 启用
- C1h.6 **CMP1HYS:** CMP1 迟滞特性使能
0: 禁用
1: 允许

SFR C2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMP2VRF	CMP2VRF							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- C2h.7~0 **CMP2VRF:** CMP2 参考等级选择
参考电平 = $(1/256 * \text{CMP2VRF}) * V_{CC}$

SFR C3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMP3VRF	CMP3VRF							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

C3h.7~0 **CMP3VRF**: CMP3 参考等级选择
参考电平= $(1/256 * \text{CMP3VRF}) * V_{CC}$

SFR C4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMP4VRF	CMP4VRF							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

C4h.7~0 **CMP4VRF**: CMP4 参考等级选择
参考电平= $(1/256 * \text{CMP4VRF}) * V_{CC}$

SFR C5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMP5VRF	CMP5VRF							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

C5h.7~0 **CMP5VRF**: CMP5 参考等级选择
参考电平= $(1/256 * \text{CMP5VRF}) * V_{CC}$

SFR D7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMPIEDG	—	—	—	CMP5EDG	CMP4EDG	CMP3EDG	CMP2EDG	CMP1EDG
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
Reset	—	—	—	0	0	0	0	0

D7h.4 **CMP5EDG**: CMP5 中断触发边沿选择
0: 下降沿触发
1: 上升沿触发
D7h.3 **CMP4EDG**: CMP4 中断触发边沿选择
0: 下降沿触发
1: 上升沿触发
D7h.2 **CMP3EDG**: CMP3 中断触发边沿选择
0: 下降沿触发
1: 上升沿触发
D7h.1 **CMP2EDG**: CMP2 中断触发边沿选择
0: 下降沿触发
1: 上升沿触发
D7h.0 **CMP1EDG**: CMP1 中断触发边沿选择
0: 下降沿触发
1: 上升沿触发

SFR E9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMP1CAL	CMP1O	CMP1MOD	CMP1CTS	CMP1ADJ				
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	1	1	1	1

- E9h.7 **CMP1O:** CMP1 输出状态
0: $V_{IN+} < V_{IN-}$ 或 CMP1 关闭
1: $V_{IN+} > V_{IN-}$
- E9h.6 **CMP1MOD:** CMP1 操作模式
0: 正常模式
1: 校正模式
- E9h.5 **CMP1CTS:** CMP1 校准终端选择
0: 选择反相输入
1: 选择同相输入
- E9h.4~0 **CMP1ADJ:** CMP1 失调电压调整
00000~11111: $-V_{OS_MAX} \sim +V_{OS_MAX}$
在使用之前, 必须执行失调校准程序以最小化输入失调电压。

SFR EAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMP2CAL	CMP2O	CMP2MOD	CMP2CTS	CMP2ADJ				
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	1	1	1	1

- EAh.7 **CMP2O:** CMP2 输出状态
0: $V_{IN+} < V_{IN-}$ 或 CMP2 关闭
1: $V_{IN+} > V_{IN-}$
- EAh.6 **CMP2MOD:** CMP2 操作模式
0: 正常模式
1: 校正模式
- EAh.5 **CMP2CTS:** CMP2 校准终端选择
0: 选择反相输入
1: 选择同相输入
- EAh.4~0 **CMP2ADJ:** CMP2 失调电压调整
00000~11111: $-V_{OS_MAX} \sim +V_{OS_MAX}$
在使用之前, 必须执行失调校准程序以最小化输入失调电压。

SFR EBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMP3CAL	CMP3O	CMP3MOD	CMP3CTS	CMP3ADJ				
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	1	1	1	1

- EBh.7 **CMP3O:** CMP3 输出状态
0: $V_{IN+} < V_{IN-}$ 或 CMP3 关闭
1: $V_{IN+} > V_{IN-}$
- EBh.6 **CMP3MOD:** CMP3 操作模式
0: 正常模式
1: 校正模式
- EBh.5 **CMP3CTS:** CMP3 校准终端选择
0: 选择反相输入
1: 选择同相输入
- EBh.4~0 **CMP3ADJ:** CMP3 失调电压调整
00000~11111: $-V_{OS_MAX} \sim +V_{OS_MAX}$
在使用之前, 必须执行失调校准程序以最小化输入失调电压。

SFR ECh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMP4CAL	CMP4O	CMP4MOD	CMP4CTS	CMP4ADJ				
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	1	1	1	1

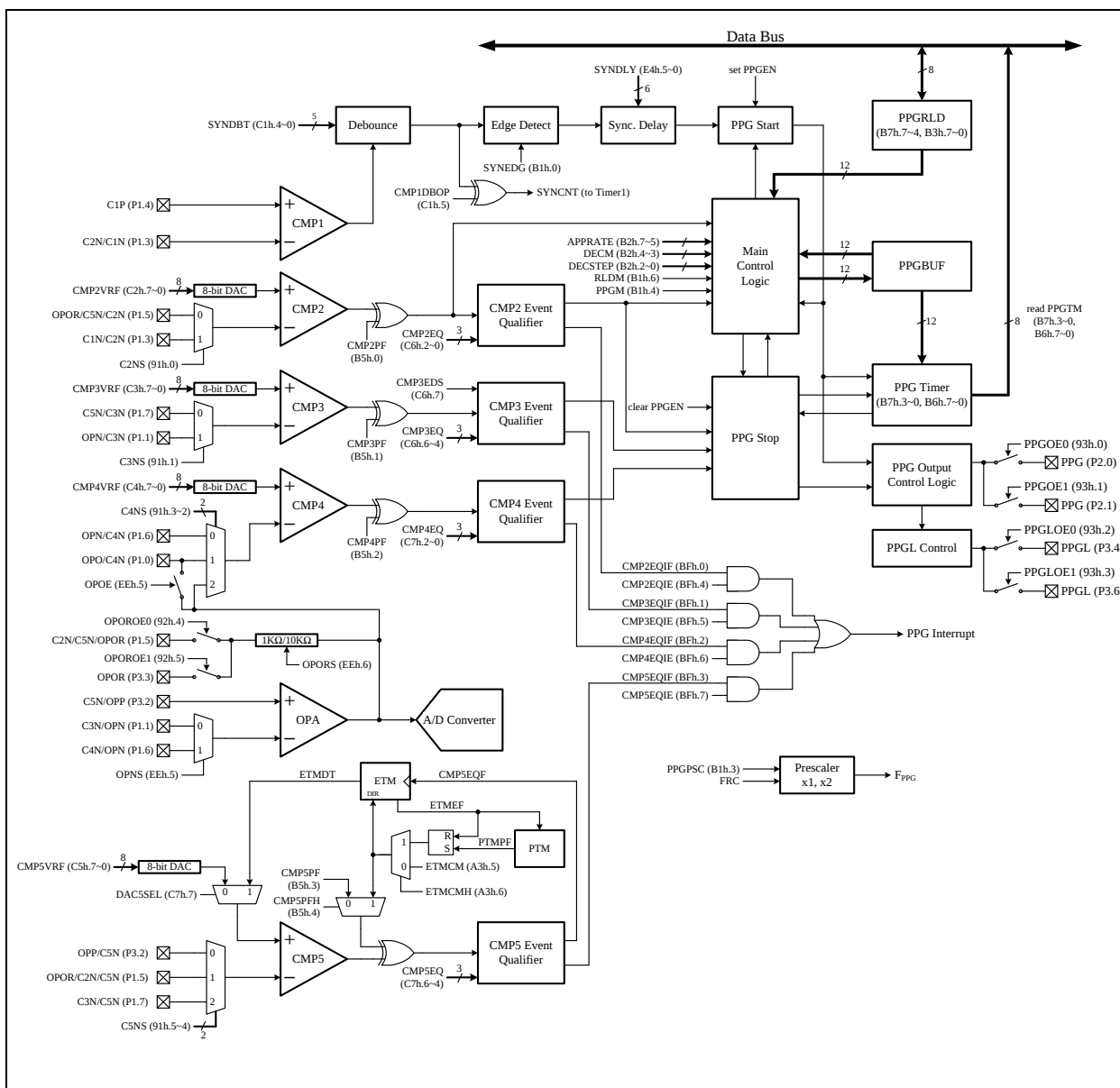
- ECh.7 **CMP4O:** CMP4 输出状态
0: $V_{IN+} < V_{IN-}$ 或 CMP4 关闭
1: $V_{IN+} > V_{IN-}$
- ECh.6 **CMP4MOD:** CMP4 操作模式
0: 正常模式
1: 校正模式
- ECh.5 **CMP4CTS:** CMP4 校准终端选择
0: 选择反相输入
1: 选择同相输入
- ECh.4~0 **CMP4ADJ:** CMP4 偏移电压调整
00000~11111: $-V_{OS_MAX} \sim +V_{OS_MAX}$
在使用之前, 必须执行失调校准程序以最小化输入失调电压。

SFR EDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMP5CAL	CMP5O	CMP5MOD	CMP5CTS	CMP5ADJ				
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	1	1	1	1

- EDh.7 **CMP5O:** CMP5 输出状态
0: $V_{IN+} < V_{IN-}$ 或 CMP5 关闭
1: $V_{IN+} > V_{IN-}$
- EDh.6 **CMP5MOD:** CMP5 操作模式
0: 正常模式
1: 校正模式
- EDh.5 **CMP5CTS:** CMP5 校准终端选择
0: 选择反相输入
1: 选择同相输入
- EDh.4~0 **CMP5ADJ:** CMP5 失调电压调整
00000~11111: $-V_{OS_MAX} \sim +V_{OS_MAX}$
在使用之前, 必须执行失调校准程序以最小化输入失调电压。

15. 可编程脉冲发生器 (PPG)

该芯片为电磁炉 (IH) 应用提供了一个 12 位可编程脉冲发生器 (PPG)。PPG 功能框图如下所示。该模块主要由一个 12 位可重载 PPG 定时器，一个 7 位 PPGL 定时器，5 个模拟比较器 CMP1~CMP5 和 1 个运算放大器组成。PPG 定时器的时钟速率 F_{PPG} 可以是 FRC 或 $FRC \times 2$ 中的一个，由 PPGCON0 寄存器的 PPGPSC (B1h.3) 位选择。时间单位 T_{PPG} 等于时钟频率 F_{PPG} 的倒数。PPG 模块提供两种脉冲模式：单脉冲模式和同步模式，用于产生脉冲。PPG 的整体功能和操作将在以下章节中介绍。

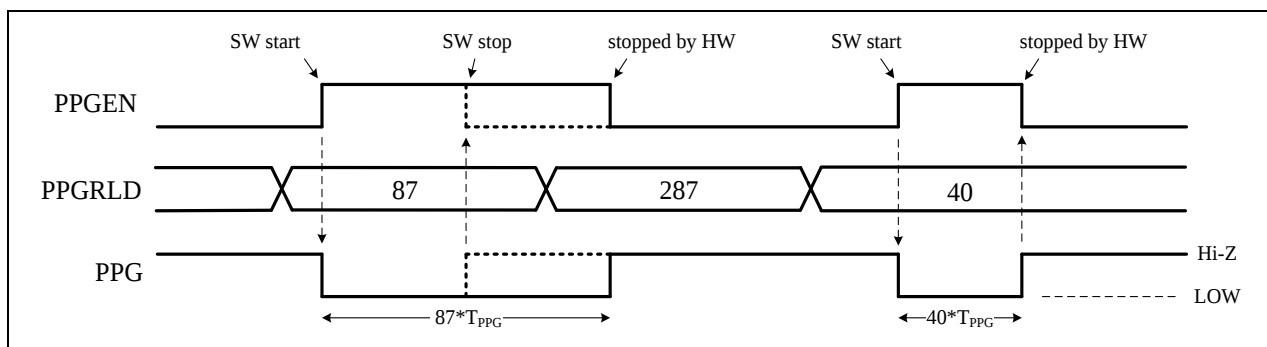


PPG 框图

15.1 单脉冲模式

PPG 模块通过将 PPGM (B1h.4) 编程为 0 实现单脉冲模式。通过对 PPGEN (B1h.7) 位进行写 1 操作的软件触发器可以很容易地产生单个脉冲。PPG 引脚在未输出脉冲时的状态依据引脚模式而定，当输出脉冲时输出逻辑低电平。产生的脉冲宽度仅由 12 位重载缓冲器 PPGRD 决定，该寄存器由 4 位 PPGRLDH (B7h.7~4) 和 8 位 PPGRLDL (B3h.7~0) 寄存器组成。脉冲长度的计算公式为

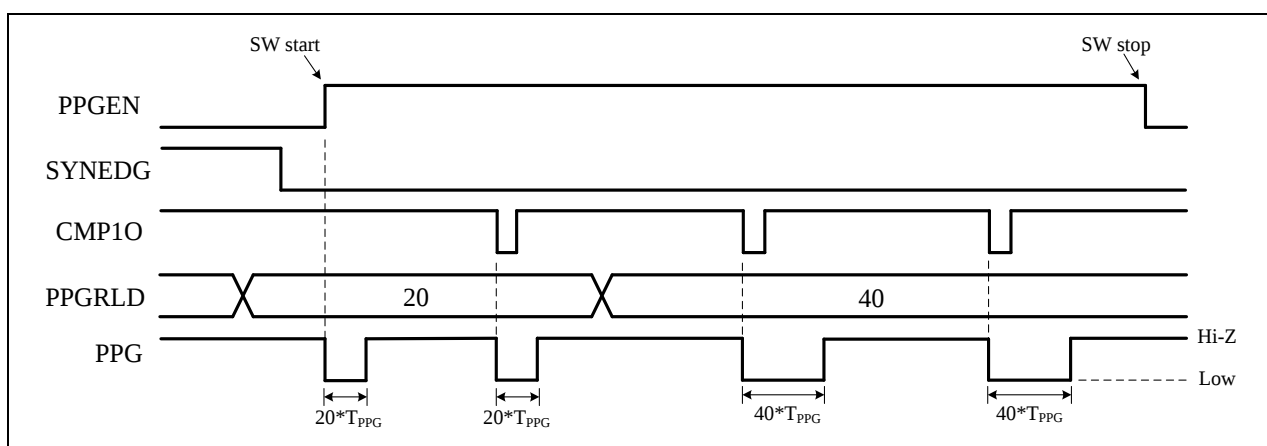
($PPGRLD * T_{PPG}$)。当 $PPGEN$ 为 0 时，更新 $PPGRLD$ 也会同步更新 PPG 计时器的工作缓冲区 $PPGBUF$ 。将 1 写入 $PPGEN$ ，使 12 位 $PPGBUF$ 数据加载到 PPG 定时器上。 PPG 模块开始产生脉冲。在 PPG 产生脉冲的时间间隔内， $PPGEN$ 位保持激活状态，直到 PPG 定时器结束，然后 $PPGEN$ 位将被硬件清零， PPG 引脚将从低电平返回到未输出脉冲时的状态。单脉冲生成完成。请注意， $PPGRLD$ 值为零，会使 PPG 模块保持静音，即使我们可以进一步对 $PPGEN$ 位进行位设置操作，也不会被完全设置。这意味着在 $PPGRLD$ 值为 0 时不能产生脉冲。在 PPG 脉冲期间更新 $PPGRLD$ 数据不会影响正在进行的当前脉冲。新更新的 $PPGRLD$ 数据将在电流脉冲结束后应用于后续发布的数据。



单脉冲模式

15.2 同步模式

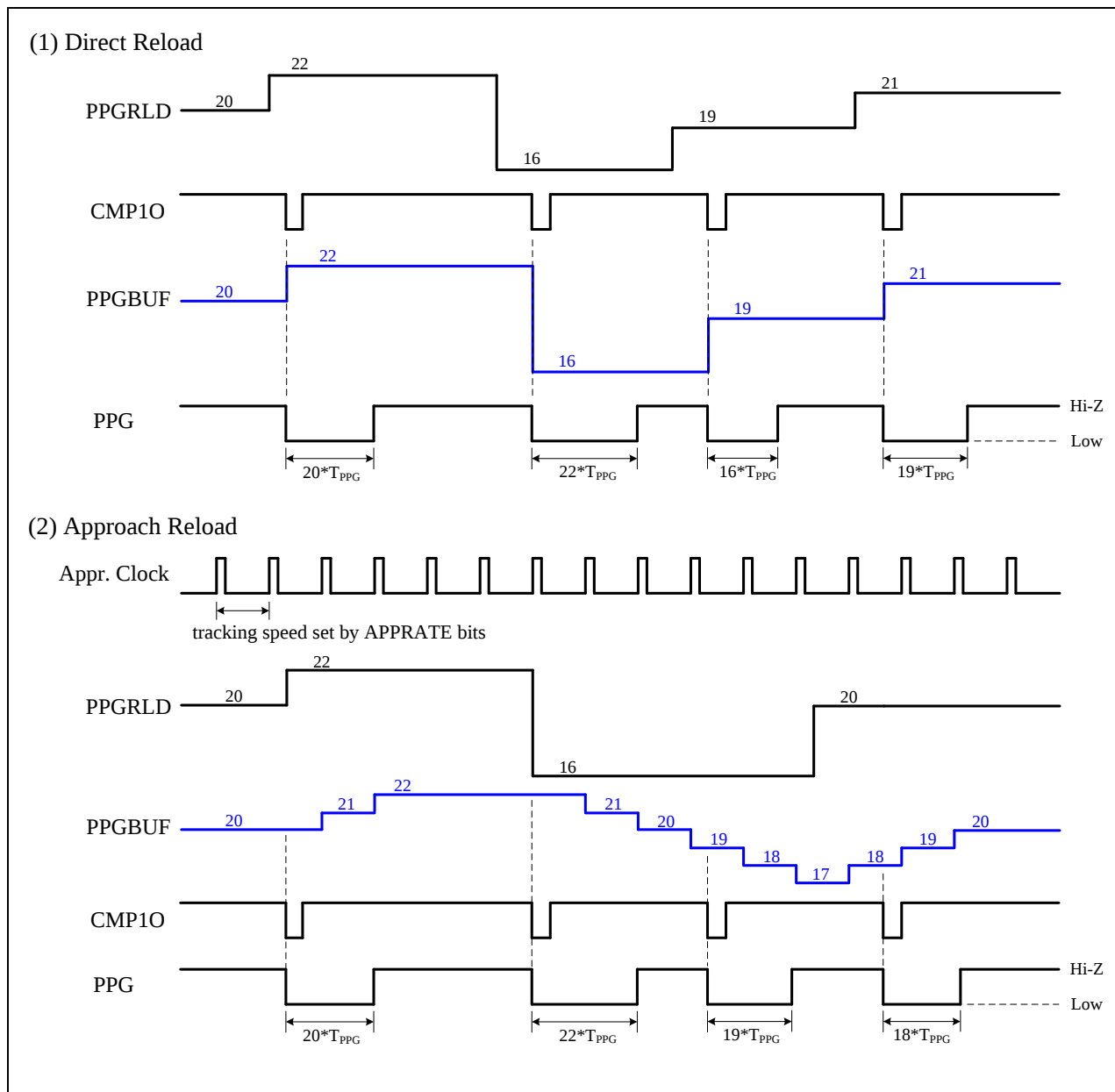
同步模式是 PPG 脉冲响应 $CMP1$ 输出触发事件的模式。通过将 $PPGM$ (B1h.4) 编程为 1， PPG 模块以同步模式运行。将 $PPGEN$ 位由低到高设置会首先产生一个脉冲。之后， PPG 模块的脉冲生成与每个 $CMP1$ 触发事件同步。用户可以通过对 $PPGCON0$ 寄存器的 $SYNEDG$ (B1h.0) 位进行编程来指定触发边沿为同步事件。将 $SYNEDG$ 设置为 0 表示下降沿触发，将 $SYNEDG$ 设置为 1 表示上升沿触发。下图说明了同步模式在下降沿触发时的基本操作。通过清除 $PPGEN$ 位，可以随时停止 PPG 同步脉冲。



同步模式

生成脉冲的长度可以由 12 位 $PPGRLD$ 寄存器控制，该寄存器与 PPG 定时器寄存器的数据长度匹配。脉冲长度的计算方式为($PPGRLD * T_{PPG}$)。 PPG 模块支持两种重新加载策略：直接重载和接近重载，可以通过编程 $PPGCON0$ 的 $RLDM$ (B1h.6) 位来选择，用于加载 PPG 定时器的初始值。对于直接重载，工作重载缓冲区 $PPGBUF$ 只能在有效同步事件发生的时刻被更新，意味着新更新的 $PPGRLD$ 值不会应用于当前正在进行的脉冲，直到下一次触发。另一种重载策略是 $PPGBUF$ 始终以周期时间 $[512 * (1 + APPRATE) * T_{PPG}]$ 的速率逐渐跟踪 $PPGRLD$ 的最新值，直到达到目标为止。

一旦捕获了目标，除非再次更改 PPGRLD，否则其值将保持不变。3 位寄存器 APPRATE 位于 PPGCON1 (B2h) 寄存器的 bit7~5 中。下图显示了两种重载模式的操作。请注意，上述两种重新加载策略仅适用于同步模式。



直接重装和接近重装的操作

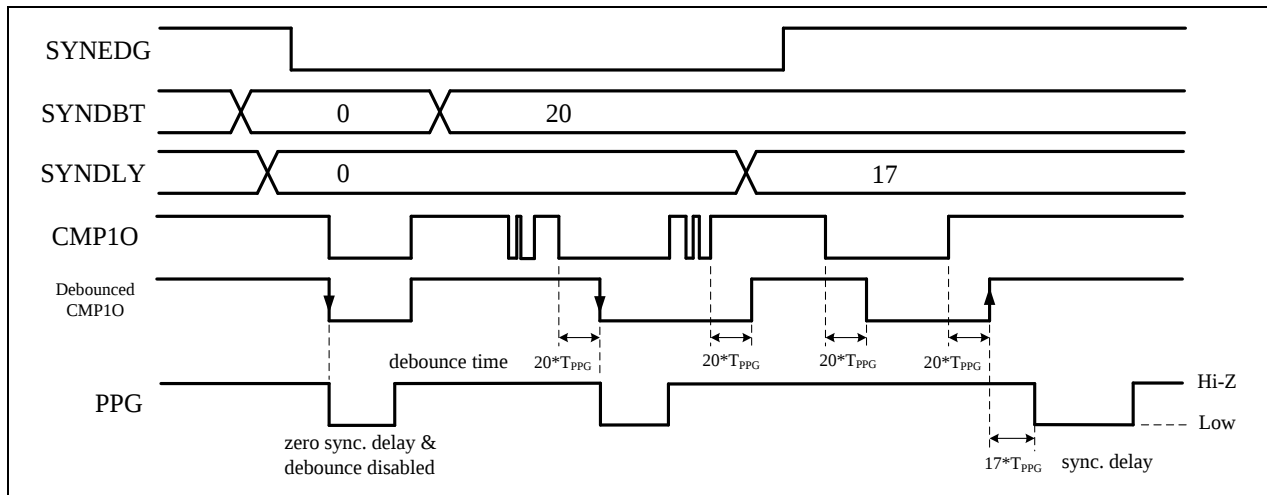
15.3 比较器事件

有 4 个内置模拟比较器 CMP1~CMP5，适用于电磁炉系统中的同步检测、设备过压检测、电源过电压检测、过电流检测。下面分别对它们进行介绍。

15.3.1 CMP1：同步检测

同步比较器用于检测同步触发事件，通过 PPGCON0 寄存器的 SYNEDG (B1h.0) 位选择 CMP1 输出转换的上升沿或下降沿事件。设置 SYNEDG=0/1 分别为上升沿/下降沿触发事件。PPG 模块对每个有效的同步事件产生一个脉冲。

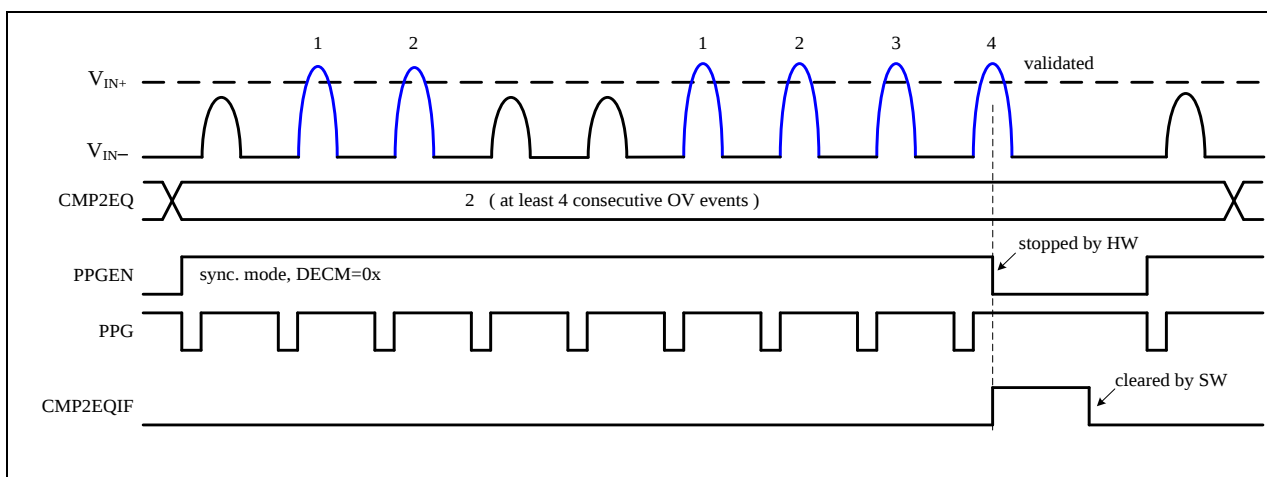
CMP1 的输出端首先经过去抖电路，以防止意外触发。CMP1CON 寄存器的 SYNDBT (C1h.4~0) 位的设置，使去抖时间在 $0 \sim 31 * T_{PPG}$ 范围内。同步事件在允许 PPG 脉冲发生之前，可以延迟一段时间。延迟时间的范围为 $0 \sim 63 * T_{PPG}$ ，通过设置 SYNDLY (E4h.5~0) 寄存器来配置。默认情况下，任何复位事件后都会禁用去抖功能。编程一个非零的 SYNDBT 值会自动启用去抖电路功能。



去抖功能和同步触发延迟

同步事件可以通过 Timer1 计数器模式来计数同步事件，也可以通过 Timer1 定时器模式量测同步事件宽度。通过在 TMOD 寄存器的 CT1N (89h.6) 位上写 1 将 Timer1 设定为计数器模式，并设置 T1SEL (F8h.1) 位选择 SYNCNT 为计数器输入来源。通过在 TCON 寄存器的 TR1 (88h.6) 位上写 1 来启用 Timer1。每发生一个有效的同步事件，计数器就会增加 1。SYNCNT 为 CMP1 输出经过去抖电路再通过 CMP1DBOP (C1h.5) 位选择极性后的信号。通过清零 CT1N 位将 Timer1 设定为定时器模式，并设置 GATE1 (89h.7) 位选择以量测同步事件宽度。

15.3.2 CMP2: 设备过压检测



CMP2 事件验证

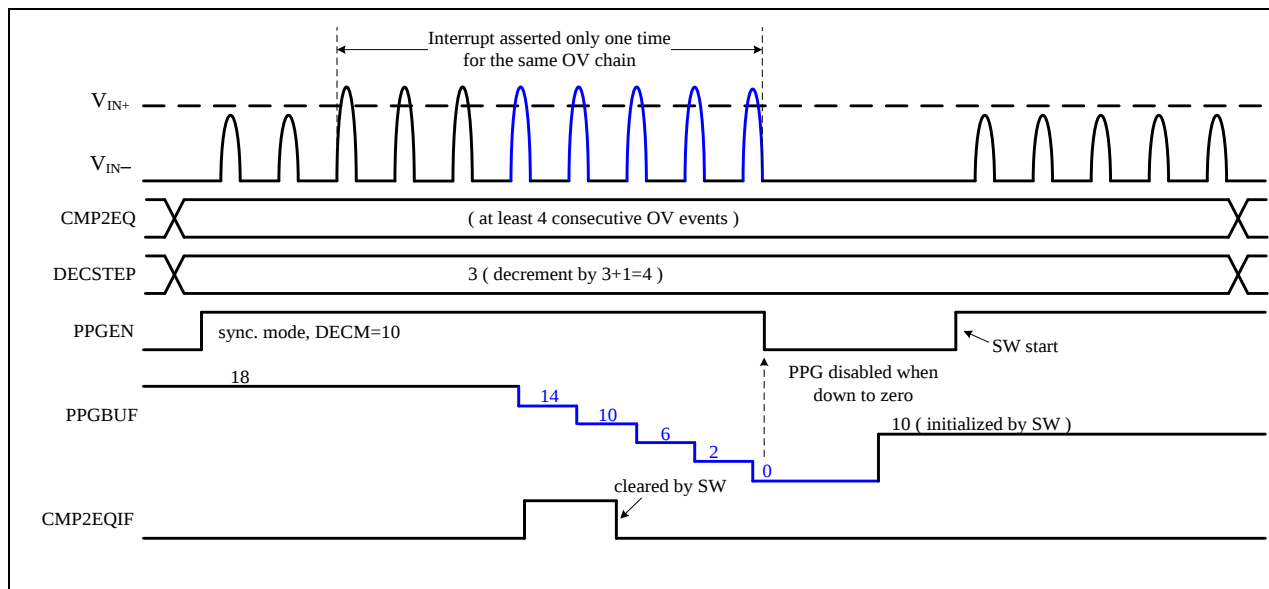
内置 CMP2 是用于检查电磁炉系统中片外功率设备上的电压是否超过指定水平的组件。经过验证的 CMP2 事件必须至少满足在 CMP2 输出上检测到的连续下降的特定计数。事件验证的标准可以通过编程 CMP2EQ (C6h.2~0) 寄存器选择的 1, 2, 4, 4, 8, 16, 32, 64 和 128 个连续事件之一。

如果 CMP2 输出的连续下降沿达到用户指定的计数，则 PPG 模块通过硬件清除 PPGEN (B1h.7) 位

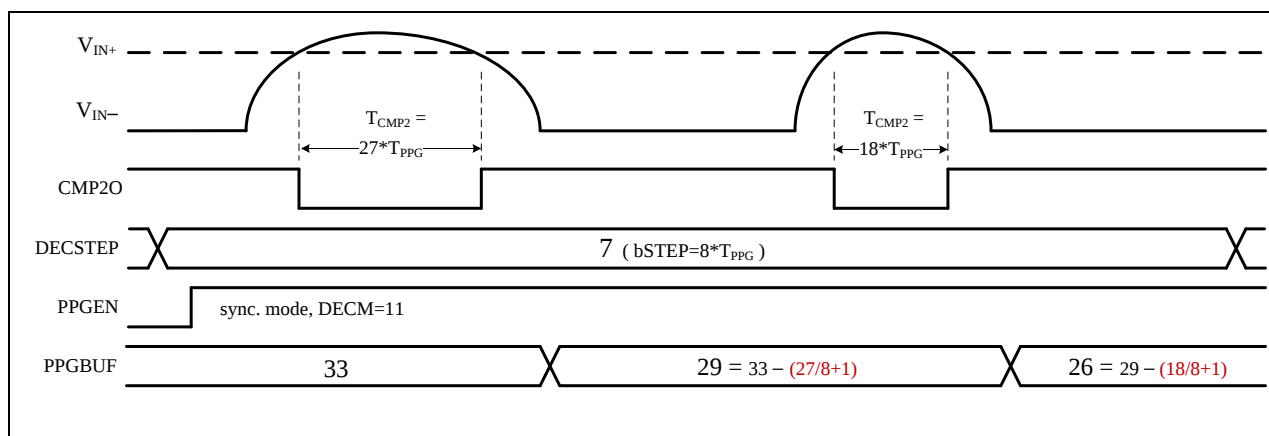
来停止，或者自动减少脉冲长度，以备下一次同步触发，这可以由 PPGCON1 寄存器的 DECM (B2h.4~3)位决定。在事件验证的情况下，无论 DECM 的设置如何，CMP2EQIF (BFh.0) 标志都会被置位。如果 CMP2EQIE (BFh.4) 位为 1 且 PPGDIE (A9h.5) 位被设置为 1，则 PPG 中断服务程序 (ISR) 也将被执行。当 DECM=0x 时且标志 CMP2EQIF (BFh.0)、CMP3EQIF (BFh.1) 和 CMP4EQIF (BFh.2) 都被清除时，通过设置 PPGEN 位，PPG 模块才可以再次恢复。

现在我们进一步介绍脉冲长度自动递减的方案。如果将 DECM 位编程为 10 或 11，则可以通过主控制逻辑来降低 PPGBUF，从而减少驱动功率，保护功率组件和考虑工业安全，而不必在合格事件发生时禁用 PPG 模块。DECM=10/11 分别表示恒定步长递减和可变步长递减。

对于 DECM = 10 的情况，PPGBUF 会以恒定步长减小其值，该步长由每个已验证事件的 PPGCTL1 的 DECSTEP (B2h.2~0) 位配置。步长为 (DECSTEP + 1)。如果由于验证后的尾链过压事件导致 PPGBUF 的值进一步降至零，则 PPG 模块将被硬件自动禁用。在 CMP2EQIF (BFh.0) 处于当前验证的静止状态之前，CMP2EQIF (BFh.0) 只被断言一次，即使它很快会被软件清除。这意味着尾链过压事件不会导致 CMP2EQIF 的第二个断言。下图说明了恒定步长递减的操作。



如果将 DECM 编程为 11，则选择可变步长递减。步长大小直接取决于 CMP2 输出低电平的持续时间。步长方程是 $1 + (T_{CMP2} / (bSTEP * T_{PPG}))$ ；其中 bSTEP 是通过写入 PPGCON1 寄存器的 DECSTEP (B2h.2~0) 位选择的 8、16、32、64 中的一个， T_{CMP2} 是 CMP2 低电平脉冲的长度。DECSTEP 的值越大，则定时 T_{CMP2} 的步长越大。但是，对于任何使计算结果大于 15 的 T_{CMP2} ，最大步长将被限制在 15。可变步长递减的操作如下图所示。



可变步长递减

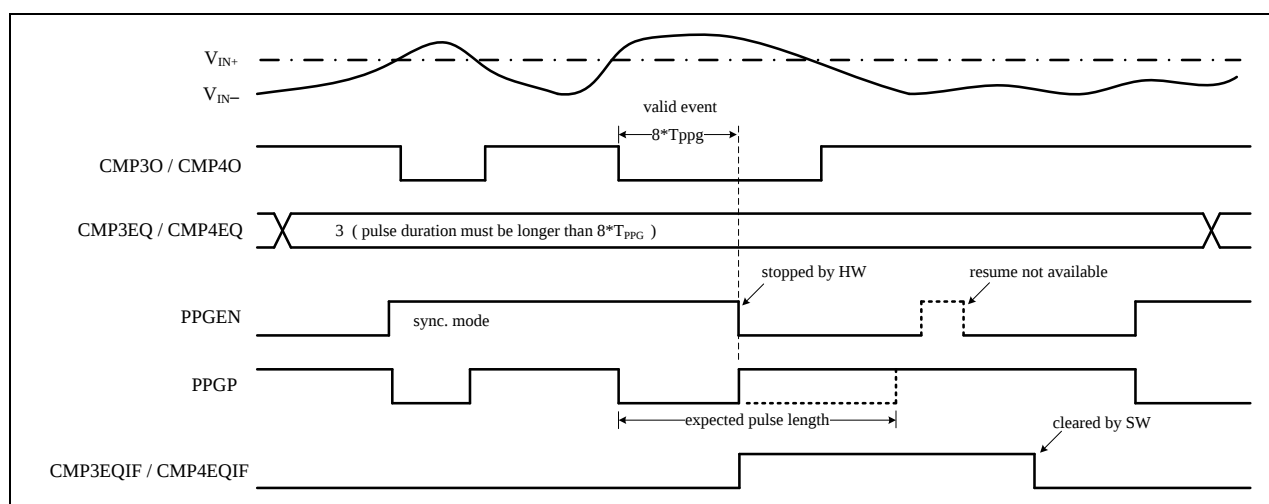
15.3.3 CMP3: 电源过压检测

内置 CMP3 是用于检查电磁炉系统中电源线的电压是否超过指定水平的组件。有效的 CMP3 事件必须至少满足 CMP3 输出的最小低时间准则，该标准是通过编程 CMP3EQ (C6h.6~4) 位编程选择的 1、2、4、8、16、32、64 和 $128 \cdot T_{PPG}$ 中的一个。

除了验证标准外，用户还可以确定何时检测到 CMP3 事件并加以限定。如果 CMP3EDS (C6h.7) 位为 1，则事件只在 PPG 脉冲的持续时间内被限定，否则 CMP3EDS 位为 0，即使禁用了 PPG 模块 (PPGEN = 0)，也可以随时执行检测。

如果过电压事件被确认为有效，则无论 PPG 是否有脉冲，都将立即清除 PPGEN 位并禁用 PPG 模块。另外，CMP3EQIF (BFh.1) 标志将在此时被置位。如果 CMP3EQIE (BFh.5) 位为 1 且 PPGDIE (A9h.5) 位为 1，PPG 中断服务程序 (ISR) 也将被执行。只有当 DECM=0x 时且标志 CMP2EQIF (BFh.0)、CMP3EQIF (BFh.1) 和 CMP4EQIF (BFh.2) 都被清除时，才可以通过设置 PPGEN 位来恢复 PPG 模块。

15.3.4 CMP4: 过电流检测



CMP3 / CMP4 事件验证

内置的 CMP4 是用于检查电磁炉系统中感应电流的量是否超过指定的水平或沉降的组件。一个有效的 CMP4 事件必须至少满足 CMP4 输出的最小 LOW 时间标准，该标准是通过编程 CMP45EQ

寄存器的 CMP4EQ (C7h.2~0) 位选择的 1、2、4、8、16、32、64 和 $128 \cdot T_{PPG}$ 中的一个。

如果过电流事件有效, PPGEN 位将被清除, 并立即禁用 PPG 模块, 无论 PPG 是否有脉冲。此外, CMP4EQIF (BFh.2) 标志将在此时被置位。如果 CMP4EQIE (BFh.6) 位为 1 且 PPGDIE (A9h.5) 位为 1, 则 PPG 中断服务程序 (ISR) 也将被执行。当 DECM=0x 时且标志 CMP2EQIF (BFh.0)、CMP3EQIF (BFh.1) 和 CMP4EQIF (BFh.2) 都被清除时, 才可以通过设置 PPGEN 位来恢复 PPG 模块。

15.3.5 CMP5: 交流电源电压侦测

内置 CMP5 是用于侦测电磁炉系统中交流电源电压。一个有效的 CMP5 事件必须至少满足 CMP5 输出的最小 LOW 时间标准, 该标准是通过编程 CMP45EQ 寄存器的 CMP5EQ (C7h.6~4) 位选择的 1、2、4、8、16、32、64 和 $128 \cdot T_{SYSCLK}$ 中的一个。

如果电压侦测事件有效, 不会立即禁用 PPG 模块。此外, CMP5EQIF (BFh.3) 标志将在此时被置位。如果 CMP5EQIE (BFh.7) 位为 1 且 PPGDIE (A9h.5) 位为 1, 则 PPG 中断服务程序 (ISR) 也将被执行。

15.4 PPG 上限/下限值输出控制

PPG 模块提供 PPG 脉冲宽度上限/下限值控制, 旨在保护 PPG 重载值于硬件递增或递减过程中过度增减, 造成系统异常或外围元器件损毁。PPG 脉冲宽度上限寄存器由 PPGLIMHH (F073h.3~0) 和 PPGLIMHL (F072h.7~0) 组成, 下限寄存器由 PPGLIMLH (F071h.3~0) 和 PPGLIMLL (F070h.7~0) 组成。

15.5 PPGL 输出控制

PPGL 为 IGBT 输出电压控制信号。输出模式主要分成两种, 一是高或低脉冲宽度输出, 于 PPG 输出期间, 通过 PPGL 输出脉冲宽度分段控制 IGBT 输出电压, 另一是固定高或低电平输出, 由 S/W 决定 IGBT 输出电压。通过 PPGLM (B4h.7~6) 可设定 PPGL 输出模式。PPGL 脉冲宽度输出模式于 PPG 输出时, 同时输出至少 $32 \cdot T_{PPG}$ 的脉冲宽度, 用户可通过设置 PPGLCT (B4h.5~0) 增加 $(0 \sim 63) \cdot T_{PPG}$ 脉冲宽度, 也就是 PPGL 输出脉冲宽度为 $(32 + 0 \sim 63) \cdot T_{PPG}$ 。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	PPGDIE	I2CIE	ADIE	PETMIE	PXIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.5 **PPGDIE**: PPG/PPD 中断使能

- 0: 禁用 PPG/PPD 中断
- 1: 启用 PPG/PPD 中断

SFR B1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PPGCON0	PPGEN	RLDM	—	PPGM	PPGPSC	—	—	SYNEDG
R/W	R/W	R/W	—	R/W	R/W	—	—	R/W
Reset	0	0	—	0	0	—	—	0

B1h.7 **PPGEN**: PPG 启用

- 0: PPG 禁用
- 1: PPG 启用

B1h.6 **RLDM**: PPG 重装模式

- 0: 直接重新加载, 工作缓冲区与重新加载数据同步
- 1: 接近重载, 工作缓冲器接近以一定的速率逐渐重载缓冲器

B1h.4 **PPGM**: PPG 输出模式

- 0: 单脉冲模式
1: 同步模式
- B1h.3 **PPGPSC**: PPG 时钟源预分频器
0: FRC
1: FRC*2
- B1h.0 **SYNEDG**: CMP1 同步事件触发边沿选择
0: 下降沿触发
1: 上升沿触发

SFR B2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PPGCON1	APPRATE			DECM		DECSTEP		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

B2h.7~5 **APPRATE**: PPG 重载数据接近率

- 000: 每 $128 \cdot T_{PPG}$ 增加/减少 1
001: 每 $256 \cdot T_{PPG}$ 增加/减少 1
010: 每 $384 \cdot T_{PPG}$ 增加/减少 1
011: 每 $512 \cdot T_{PPG}$ 增加/减少 1
100: 每 $768 \cdot T_{PPG}$ 增加/减少 1
101: 每 $1024 \cdot T_{PPG}$ 增加/减少 1
110: 每 $1280 \cdot T_{PPG}$ 增加/减少 1
111: 每 $1536 \cdot T_{PPG}$ 增加/减少 1

B2h.4~3 **DECM**: PPG 脉宽递减模式

- 0x: 当 CMP2 事件触发时不减量, 但清除 PPGEN 并停止 PPG 输出
10: 恒定步长
11: 可变步长

B2h.2~0 **DECSTEP**: PPG 脉宽递减步长

恒定步进模式

000~111: 减少 1~8

可变步进模式, 减小 $[1 + (T_{CMP2} / (T_{PPG} \cdot bSTEP))]$;

其中 T_{CMP2} 为 CMP2 输出的低电平时间, 以 T_{PPG} 为单位计时。

000~011: $bSTEP=64, 32, 16, 8$

100~111: $bSTEP=8$

SFR B3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PPGRLDL	PPGRLDL							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

B3h.7~0 **PPGRLDL**: PPG 重载数据的低字节 (PPGRLD[7:0])

PPG 输出脉冲宽度为 $PPGRLD[11:0] \cdot T_{PPG}$

SFR B4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PPGLCON	PPGLM			PPGLCT				
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

B4h.7~6 **PPGLM**: PPGL 输出模式

- 00: 低脉冲宽度输出
01: 高脉冲宽度输出
10: 低电平输出
11: 高电平输出

B4h.5~0 **PPGLCT**: PPGL 输出脉冲宽度

PPGL 输出脉冲宽度 = (32 + PPGLCT) * T_{PPG}

SFR B6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PPGTML	PPGTML							
R/W	R	R	R	R	R	R	R	R
Reset	0	0	0	0	0	0	0	0

B6h.7~0 **PPGTML**: 12 位 PPG 脉冲发生定时器的低字节 (PPGTM[7:0])

SFR B7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PPGTMH	PPGRLDH				PPGTMH			
R/W	R/W	R/W	R/W	R/W	R	R	R	R
Reset	0	0	0	0	0	0	0	0

B7h.7~4 **PPGRLDH**: PPG 重载数据的高字节 (PPGRLD[11:8])

PPG 输出脉冲宽度为 PPGRLD[11:0] * T_{PPG}

B7h.3~0 **PPGTMH**: 12 位 PPG 脉冲生成定时器的高字节 (PPGTM [11:8])

SFR BFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMPEQI	CMP5EQIE	CMP4EQIE	CMP3EQIE	CMP2EQIE	CMP5EQIF	CMP4EQIF	CMP3EQIF	CMP2EQIF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

BFh.7 **CMP5EQIE**: CMP5 限定事件中断使能

0: 禁用

1: 启用

BFh.6 **CMP4EQIE**: CMP4 限定事件中断使能

0: 禁用

1: 启用

BFh.5 **CMP3EQIE**: CMP3 限定事件中断使能

0: 禁用

1: 启用

BFh.4 **CMP2EQIE**: CMP2 限定事件中断使能

0: 禁用

1: 启用

BFh.3 **CMP5EQIF**: CMP5 限定事件中断标志

当 CMP5 合格事件发生时, 该位被 H/W 设置, 将该位写为 0 将清除此标志。

BFh.2 **CMP4EQIF**: CMP4 限定事件中断标志

当 CMP4 合格事件发生时, 该位被 H/W 设置, 将该位写为 0 将清除此标志。

BFh.1 **CMP3EQIF**: CMP3 限定事件中断标志

当 CMP3 合格事件发生时, 该位被 H/W 设置, 将该位写为 0 将清除此标志。

BFh.0 **CMP2EQIF**: CMP2 限定事件中断标志

当 CMP2 合格事件发生时, 该位被 H/W 设置, 将该位写为 0 将清除此标志。

SFR C1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMP1CON	CMP1EN	CMP1HYS	CMP1DBOP	SYNDBT				
R/W	R/W	R/W	R/W	R/W				
Reset	0	0	0	0	0	0	0	0

C1h.5 **CMP1DBOP**: CMP1 去抖输出极性选择

0: 同相

1: 反相

C1h.4~0 **SYNDBT**: PPG 同步模式 CMP1 输出去抖动时间

去抖时间 = SYNDBT * T_{PPG}

如果 SYNDBT = 0, 则 CMP1 输出直接旁路到去抖动电路的输出。

SFR C6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMP23EQ	CMP3EDS	CMP3EQ			–	CMP2EQ		
R/W	R/W	R/W	R/W	R/W	–	R/W	R/W	R/W
Reset	0	1	1	1	–	1	1	1

C6h.7 **CMP3EDS**: CMP3 事件检测选择

0: 始终检测

1: 在 PPG 输出期间检测

C6h.6~4 **CMP3EQ**: CMP3 输出低电平事件限定

000~111: 1, 2, 4, 8, 16, 32, 64, 128* T_{PPG}

C6h.2~0 **CMP2EQ**: CMP2 输出事件限定

000~111: 1, 2, 4, 8, 16, 32, 64, 128 连续下降事件

SFR C7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMP45EQ	DAC5SEL	CMP5EQ			–	CMP4EQ		
R/W	R/W	R/W	R/W	R/W	–	R/W	R/W	R/W
Reset	0	1	1	1	–	1	1	1

C7h.7 **DAC5SEL**: CMP5 DAC 设定值来源选择

0: 由 CMP5VRF 控制

1: 和 ETMDT 同步

C7h.6~4 **CMP5EQ**: CMP5 输出低电平事件限定

000~111: 1, 2, 4, 8, 16, 32, 64, 128* T_{PPG}

C7h.2~0 **CMP4EQ**: CMP4 输出低电平事件限定

000~111: 1, 2, 4, 8, 16, 32, 64, 128* T_{PPG}

SFR E3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PPGCON2	–	–	–	PPGHW	CMP5PPGEN	CMP5PPG		
R/W	–	–	–	R/W	R/W	R/W	R/W	R/W
Reset	–	–	–	0	0	0	0	0

E3h.4 **PPGHW**: PPG 硬件模式使能(当 PPGM=1 且 RLDM=0 有效)

0: PPG 硬件模式禁用

1: PPG 硬件模式启用

E3h.3 **CMP5PPGEN**: 当 CMP5 事件符合条件时, PPG 重载数据增加/减少使能

0: PPG 重载数据增加/减少禁用

1: PPG 重载数据增加/减少启用

E3h.2~0 **CMP5PPG**: PPG 重载数据增加/减少值

000~111: 若 ETMCM=1 时增加 1~8, 若 ETMCM=0 时减少 1~8

SFR E4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SYNDLY	–	–	SYNDLY					
R/W	–	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	–	–	0	0	0	0	0	0

E4h.5~0 **SYNDLY**: PPG 输出延迟时间

PPG 输出延迟时间按以下公式计算。

延迟时间= SYNDLY * T_{PPG}

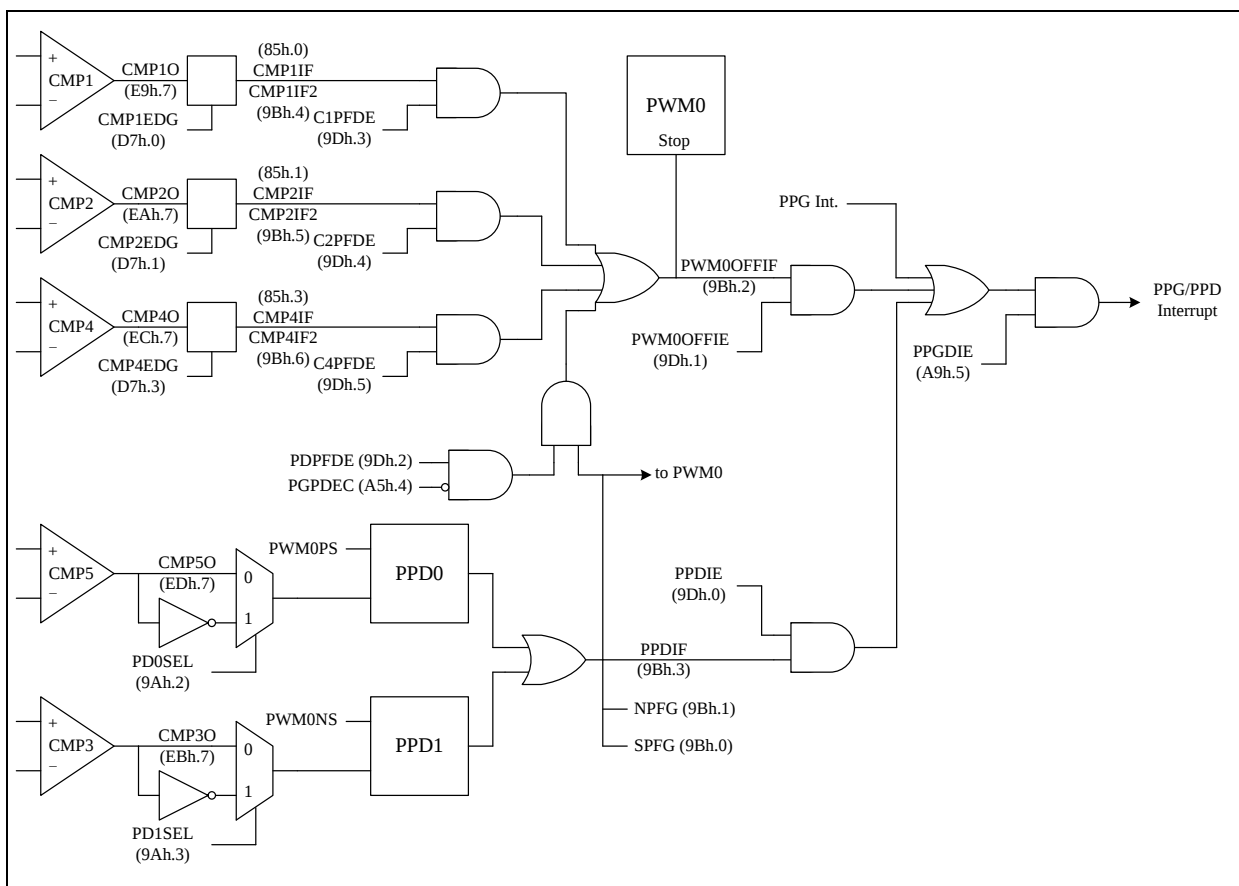
SFR 93h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
POFS1	PWM0POE1	PWM0POE0	PWM0NOE1	PWM0NOE0	PPGLOE1	PPGLOE0	PPGOE1	PPFOE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

93h.3 **PPGLOE1**: PPGL 信号输出使能 1

- 0: 禁止将 PPGL 信号输出到 P3.6
- 1: 允许将 PPGL 信号输出到 P3.6
- 93h.2 **PPGLOE0:** PPGL 信号输出使能 0
- 0: 禁止将 PPGL 信号输出到 P3.4
- 1: 允许将 PPGL 信号输出到 P3.4
- 93h.1 **PPGOE1:** PPG 信号输出使能 1
- 0: 禁止将 PPG 信号输出到 P2.1
- 1: 允许将 PPG 信号输出到 P2.1
- 93h.0 **PPGOE0:** PPG 信号输出使能 0
- 0: 禁止将 PPG 信号输出到 P2.0
- 1: 允许将 PPG 信号输出到 P2.0

16. 相位保护检测器 (PPD)

该芯片为电磁炉应用提供了相位保护检测器 (PPD)。PPD 功能框图如下所示。该模块主要由两个相位检测器和五个模拟比较器 CMP1~CMP5 组成。每个相位检测器需要一个 PWM 输出和一个 CMP 输出作为其输入信号。相位检测器 0 使用 PWM0PS 和 CMP5 作为输入，相位检测器 1 使用 PWM0NS 和 CMP3 作为输入。PWM0PS 和 PWM0NS 是半桥模式下的 PWM0 模式 0 输出数据。CMP5 和 CMP3 可以通过分别设置 PD0SEL (9Ah.2) 和 PD1SEL (9Ah.3) 位来选择正输出或负输出。CMP1, CMP2 和 CMP4 的功能与 PPG 模块中的功能相同。PPD 的整体功能和操作将在以下小节中介绍。



16.1 相位检测器

相位检测器从 PWM 输入上升沿到 CMP 输入上升沿检测相宽。PPDTH (9Ch) 表示相位宽度阈值。当相位宽度小于 PPDTH 设定值时，将设置 SPFG (9Bh.0) 位。当相位宽度等于零时，设置 NPFG (9Bh.1) 位。当 SPFG 位或 NPFG 被设置时，设置 PPDIF (9Bh.3) 位。

16.2 CMP

为避免损坏应用电路，CMP1, CMP2 和 CMP4 还可强制关闭 PWM0 以保护电路。通过设置 C1PFDE (9Dh.3)、C2PFDE (9Dh.4) 和 C4PFDE (9Dh.5) 位来启用 CMP 强制 PWM0 关闭功能。CMP1IF2 (9Bh.4)、CMP2IF2 (9Bh.5) 和 CMP4IF2 (9Bh.6) 位从 SFR 85h 中复制，当 PPD 中断事件发生时，S/W 可以快速检查中断源。

16.3 PWM0 强制关闭

通过 H/W 设置 PWM0OFFIF 位时，PWM0 将被强制关闭，CLRPWM0 位将被设置。在检查并排除所有问题后，清除 CLRPWM0 位将重新启动相位检测器。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	PPGDIE	I2CIE	ADIE	PETMIE	PXIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.5 **PPGDIE**: PPG/PPD 中断使能

0: 禁用 PPG/PPD 中断

1: 启用 PPG/PPD 中断

SFR 9Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PPDCON	—	PPDENS			PD1SEL	PD0SEL	—	PPDEN
R/W	—	R/W	R/W	R/W	R/W	R/W	—	R/W
Reset	—	0	0	0	0	0	—	0

9Ah.6~4 **PPDENS**: 相位检测器启用选择

000: 在 CLRPWM0 位变为 0 之后，不等待即开始检测

001: 在 CLRPWM0 位变为 0 之后，等待 1 个 PWM 周期后才开始检测

010: 在 CLRPWM0 位变为 0 之后，等待 2 个 PWM 周期后才开始检测

011: 在 CLRPWM0 位变为 0 之后，等待 3 个 PWM 周期后才开始检测

100: 在 CLRPWM0 位变为 0 之后，等待 4 个 PWM 周期后才开始检测

101: 在 CLRPWM0 位变为 0 之后，等待 5 个 PWM 周期后才开始检测

110: 在 CLRPWM0 位变为 0 之后，等待 6 个 PWM 周期后才开始检测

111: 在 CLRPWM0 位变为 0 之后，等待 7 个 PWM 周期后才开始检测

9Ah.3 **PD1SEL**: 相位检测器 0 输入源选择

0: CMP3

1: ~CMP3

9Ah.2 **PD0SEL**: 相位检测器 1 输入源选择

0: CMP5

1: ~CMP5

9Ah.0 **PPDEN**: PPD 使能

0: PPD 禁用

1: PPD 启用

SFR 9Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PPDSTA	—	CMP4IF2	CMP2IF2	CMP1IF2	PPDIF	PWM0OFFIF	NPGEF	SPGEF
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	0	0	0	0	0	0	0

9Bh.6 **CMP4IF2**: CMP4 中断标志

该位与 CMP4IF (85h.3) 位相同。

当 CMP4 输出上升/下降事件发生时，由 H/W 设定。

S/W 向 PPDSTA 写入 BFh 以清除该位。

9Bh.5 **CMP2IF2**: CMP2 中断标志

该位与 CMP2IF (85h.1) 位相同。

当 CMP2 输出上升/下降事件发生时，由 H/W 设定。

S/W 向 PPDSTA 写入 DFh 以清除该位。

9Bh.4 **CMP1IF2**: CMP1 中断标志

该位与 CMP1IF (85h.0) 位相同。

当 CMP1 输出上升/下降事件发生时，由 H/W 设定。

S/W 向 PPDSTA 写入 EFh 以清除该位。

- 9Bh.3 **PPDIF**: PPD 中断标志
当 NPGF=1 或 SPGF=1 时, 由 H/W 设置。
S/W 向 PPDSTA 写入 F7h 以清除该位。
- 9Bh.2 **PWM0OFFIF**: PWM0 被 PPD 关闭中断标志
0: PPD 未关闭 PWM0
1: PPD 已关闭 PWM0
由 H/W 设置, S/W 向 PPDSTA 写入 FBh 以清除该位。
- 9Bh.1 **NPGF**: 无相位中断标志
0: 检测相位宽度
1: 未检测到相位宽度
由 H/W 设置, S/W 将 FDh 写入 PPDSTA 以清除该位。
- 9Bh.0 **SPGF**: 小相位中断标志
0: 相位宽度>PPDTH
1: 相位宽度<PPDTH
由 H/W 设置, S/W 将 FEh 写入 PPDSTA 以清除该位。

SFR 9Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PPDTH	PPDTH							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

9Ch.7~0 **PPDTH**: PPD 阈值

SFR 9Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PPDIE	—	—	C4PFDE	C2PFDE	C1PFDE	PDPFDE	PWM0OFFIE	PPDIE
R/W	—	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	0	0	0	0	0	0

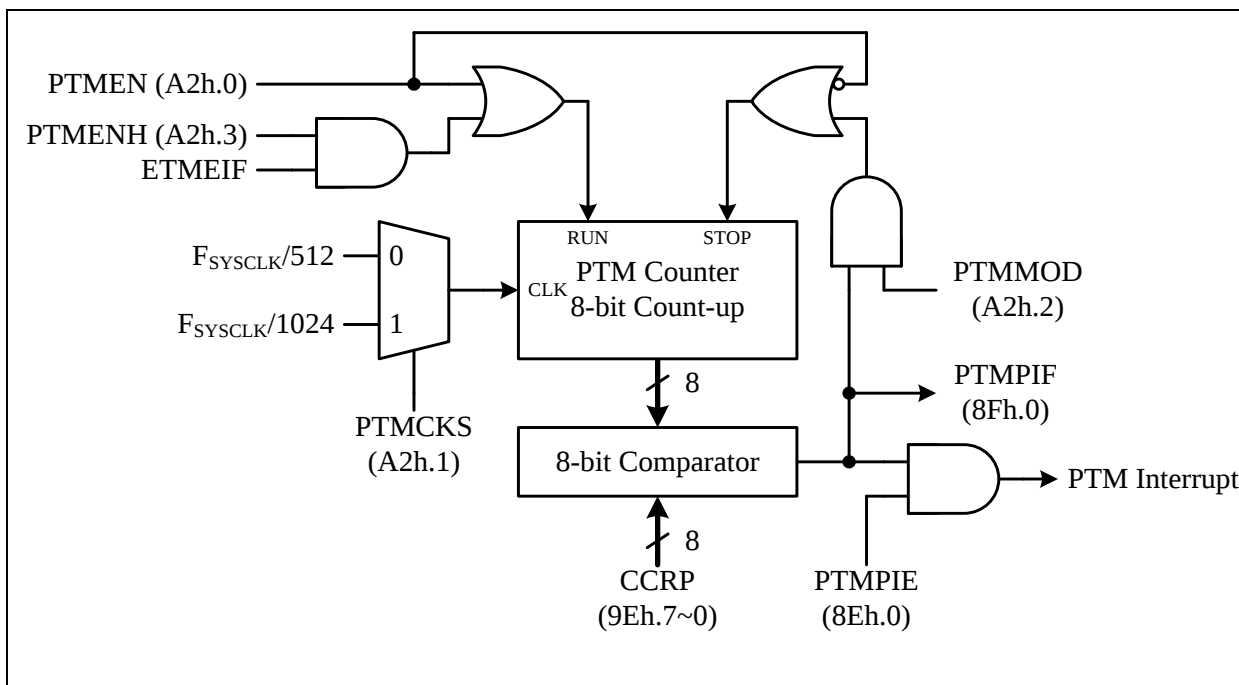
- 9Dh.5 **C4PFDE**: CMP4 强制关闭 PWM0 使能
0: CMP4 强制关闭 PWM0 禁用
1: CMP4 强制关闭 PWM0 启用
- 9Dh.4 **C2PFDE**: CMP2 强制关闭 PWM0 使能
0: CMP2 强制关闭 PWM0 禁用
1: CMP2 强制关闭 PWM0 启用
- 9Dh.3 **C1PFDE**: CMP1 强制关 PWM0 闭使能
0: CMP1 强制关闭 PWM0 禁用
1: CMP1 强制关闭 PWM0 启用
- 9Dh.2 **PDPFDE**: 相位检测强制关闭 PWM0 使能 (PGPDEC=0 时有效)
0: 相位检测强制关闭 PWM0 禁用
1: 相位检测强制关闭 PWM0 启用
- 9Dh.1 **PWM0OFFIE**: PWM0 被 PPD 关闭中断使能
0: PWM0 被 PPD 关闭中断禁用
1: PWM0 被 PPD 关闭中断启用
- 9Dh.0 **PPDIE**: PPD 中断使能
0: PPD 中断禁用
1: PPD 中断启用

17. 周期型定时器 (PTM) 和增强型定时器 (ETM)

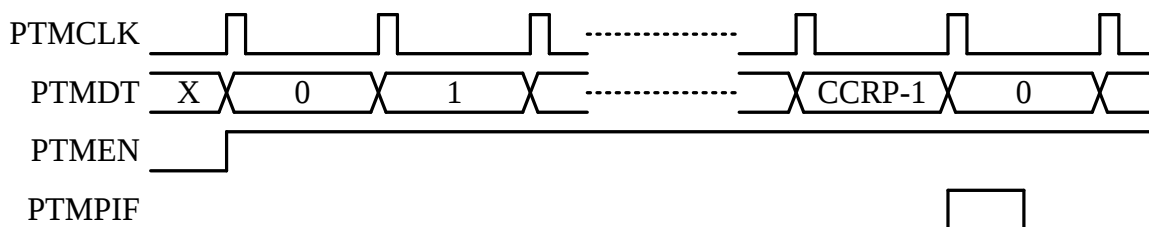
该芯片提供一组周期型定时器 (PTM) 和一组增强型定时器 (ETM)。

周期型定时器 (PTM)

PTM 为向上计数定时器，通过设置 CCRP 调节周期并产生中断标志位 PTMPIF (8Fh.0)，如果启用 PTM 中断，则产生中断。PTM 时钟源可经由 PTMCKS 位选择 $F_{SYSCLK}/512$ 或 $F_{SYSCLK}/1024$ 。通过设置 PTMMOD 位可选择 PTM 为连续模式或单次模式。当 PTM 启用后，PTM 计数器清零并依选择的时钟源速率进行上数，当计数器计数到 CCRP 时即产生中断标志，并将计数器清零完成一次周期。连续模式时，PTM 会持续运行以产生周期性信号，直到 S/W 将 PTMEN 位清零时 PTM 停止运行。单次模式时，PTM 产生中断标志时，H/W 自动将 PTMEN 位清零以停止 PTM。PTM 启用方式可直接由 S/W 设置 PTMEN 位，或设置 PTMENH 位，于 ETMEIF 符合触发条例时由 H/W 设置 PTMEN 位。



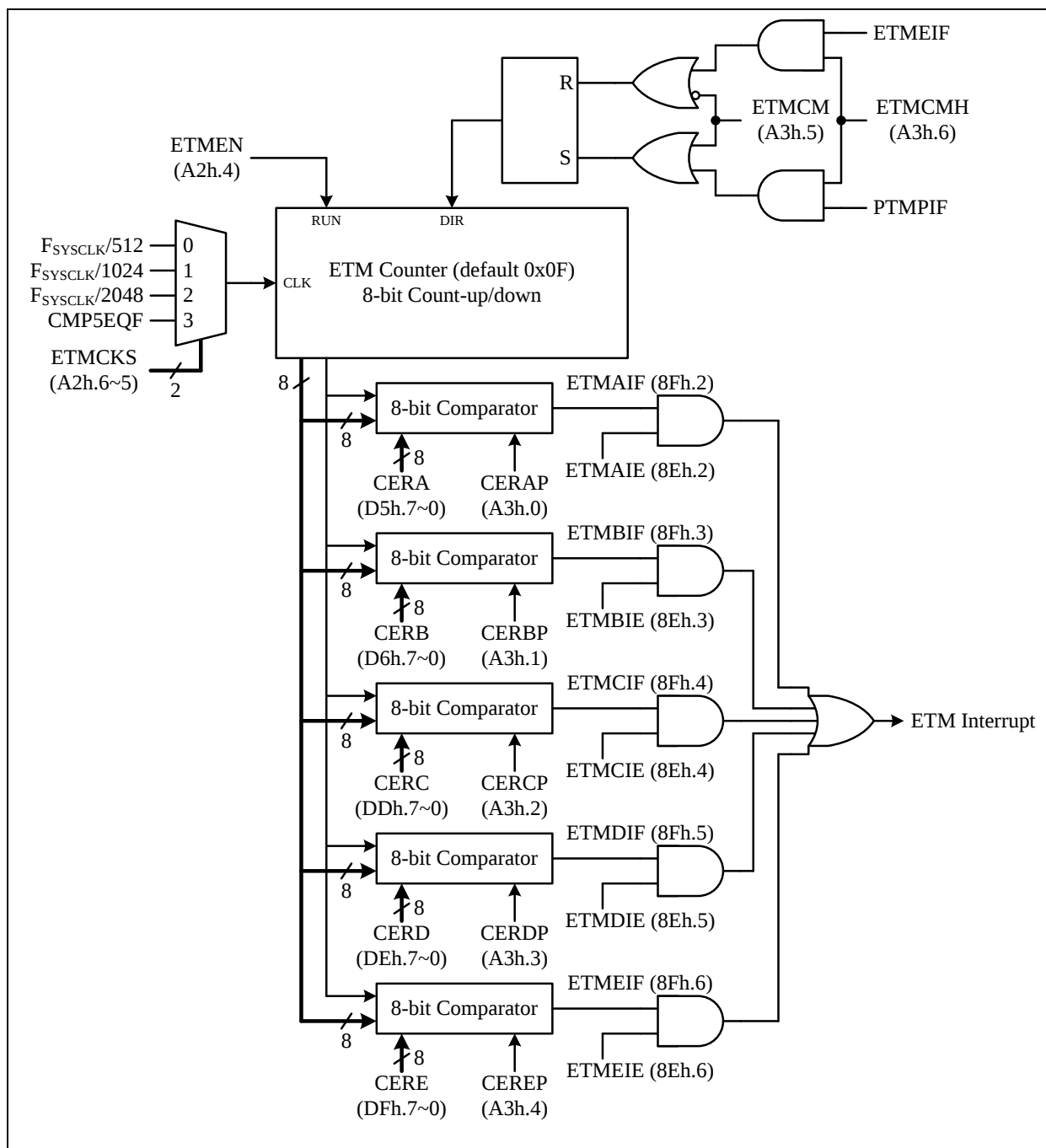
PTM 框图



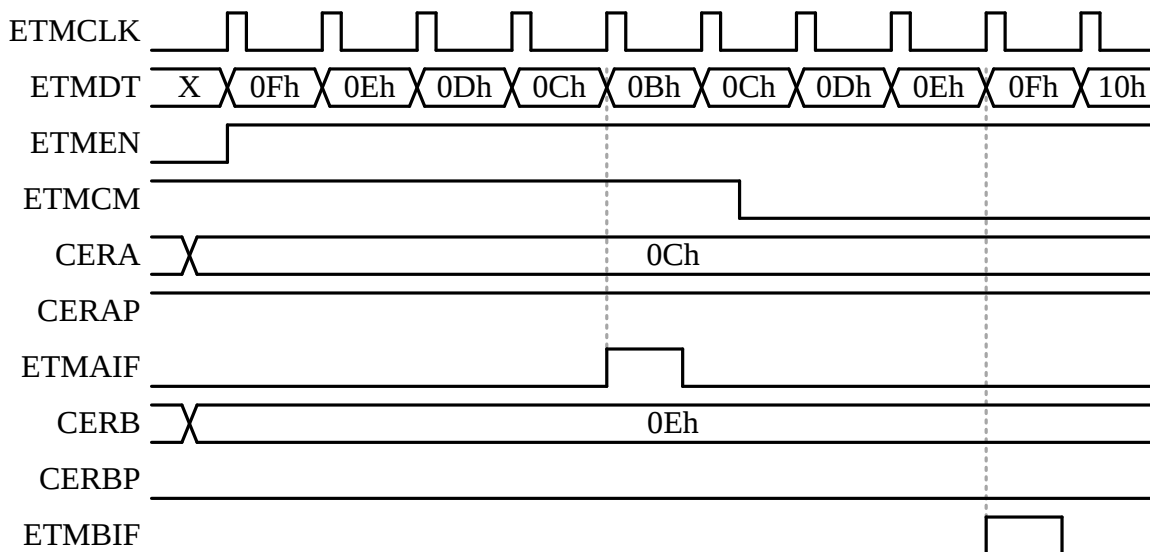
PTM 波形

增强型定时器 (ETM)

ETM 为向上/向下计数定时器，通过 ETMCM 位可选择上数/下数模式。一般情况下，上数/下数模式当计数值分别为 FFh/00h 时将不再计数。ETM 提供 CERx 和 CERxP (x = A~E) 共五组设置用于定义对应的中断标志位 PTMxIF 触发条件。CERx 定义为触发计数值，CERxP 定义为触发计数为上数或下数模式。当计数值和计数模式分别符合 CERx 和 CERxP 时，对应的中断标志位 ETMxIF 被设置，如果启用 ETM 中断，则产生中断。ETM 时钟源可经由 ETMCKS 选择 F_{SYSClk}/512、F_{SYSClk}/1024、F_{SYSClk}/2048 或 CMP5EQF。ETM 上数/下数模式也可以通过设置 ETMCMH 位，由 H/W 自动切换上数/下数模式。当 ETMEIF 触发条件成立时将 ETMCM 清零切换为上数模式，当 PTMPIF 触发条件成立时设置 ETMCM 切换为下数模式。ETMCMH 为 1 时，仍可以透过 S/W 方式变更上数/下数模式。通过 ETMEN 位启用 ETM。



ETM 框图



ETM 波形

SFR 9Eh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CCRP	CCRP							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

9Eh.7~0 CCRP: PTM 周期值
00h: 周期为 $256 * T_{PTM}$
01h~FFh: 周期为 $CCRP * T_{PTM}$

SFR A2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PETMCON	—	ETMCKS		ETMEN	PTMENH	PTMMOD	PTMCKS	PTMEN
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	R/W	0	0	0	0	0	0

- A2h.6~5 **ETMCKS**: ETM 时钟源选择
00: $F_{SYSCLK}/512$
01: $F_{SYSCLK}/1024$
10: $F_{SYSCLK}/2048$
11: CMP5EQF
- A2h.4 **ETMEN**: ETM 使能
0: ETM 禁用
1: ETM 启用
- A2h.3 **PTMENH**: PTM 硬件使能
0: 禁用 PTM 硬件使能
1: 启用 PTM 硬件使能, 当满足 ETMEIF 触发条件时, 由 H/W 设置 PTMEN
- A1h.2 **PTMMOD**: PTM 模式
0: 连续模式
1: 单次模式
- A1h.1 **PTMCKS**: PTM 时钟源选择
0: $F_{SYSCLK}/512$
1: $F_{SYSCLK}/1024$
- A1h.0 **PTMEN**: PTM 使能
0: PTM 禁用

1: PTM 启用

SFR A3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ETMCON	—	ETMCMH	ETMCM	CEREP	CERDP	CERCP	CERBP	CERAP
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	0	1	1	0	0	0	0

- A3h.6 **ETMCMH**: ETM 硬件计数模式
0: S/W 模式
1: S/W 和 H/W 模式
当满足 PTMPIF 触发条件时, PTMEN 由 H/W 设置
当满足 ETMEIF 触发条件时, PTMEN 由 H/W 清零
- A3h.5 **ETMCM**: ETM 计数模式
0: 上数模式
1: 下数模式
- A3h.4 **CEREP**: ETM 比较器 E 触发条件
0: 于上数时匹配
1: 于下数时匹配
- A2h.3 **CERDP**: ETM 比较器 D 触发条件
0: 于上数时匹配
1: 于下数时匹配
- A1h.2 **CERCP**: ETM 比较器 C 触发条件
0: 于上数时匹配
1: 于下数时匹配
- A1h.1 **CERBP**: ETM 比较器 B 触发条件
0: 于上数时匹配
1: 于下数时匹配
- A1h.0 **CERAP**: ETM 比较器 A 触发条件
0: 于上数时匹配
1: 于下数时匹配

SFR A4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ETMDT	ETMDT							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	1	1	1	1

- A4h.7~0 **ETMDT**: ETM 计数值
当 ETMEN 位由 0 变为 1 时, ETMDT 将返回为 0Fh。

SFR D5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CERA	CERA							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- D5h.7~0 **CERA**: ETM 比较器 A 比较值

SFR D6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CERB	CERB							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- D6h.7~0 **CERB**: ETM 比较器 B 比较值

SFR DDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CERC	CERC							

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

DDh.7~0 **CERC**: ETM 比较器 C 比较值

SFR DEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CERD	CERD							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

DEh.7~0 **CERD**: ETM 比较器 D 比较值

SFR DFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CERE	CERE							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

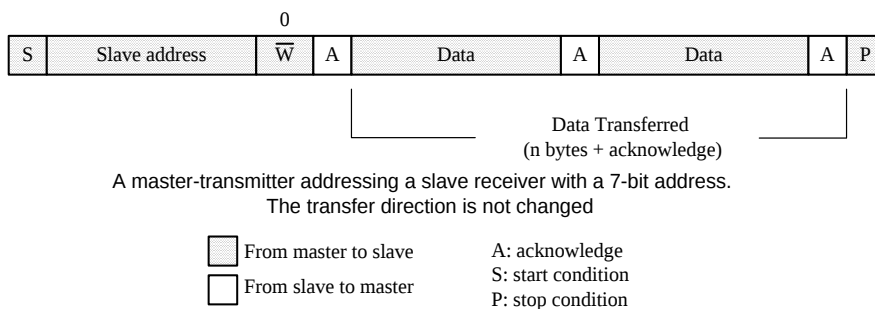
DFh.7~0 **CERE**: ETM 比较器 E 比较值

18. 主 I²C 接口

主 I²C 接口传输模式:

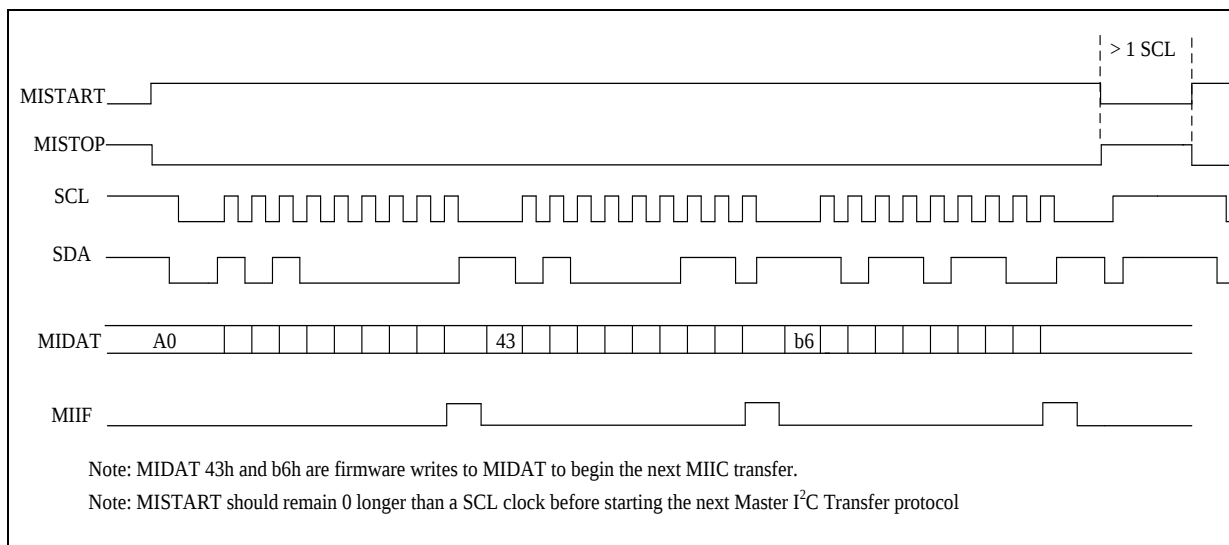
一开始先将从机地址和方向位写入 MIDAT 并设置 MISTART。在 MISTART 设置之后, 将发送 7 位从地址和一位方向位到从机。等待直到 MIIF 转换为 1 时, 代表地址和方向位传输完成, 用户应清除 MIIF 并写入数据到 MIDAT 以开始第一次数据传输。当 MIIF 转换为 1 时, 代表数据传输到从机完成。用户可以再次写入数据到 MIDAT 以将开始下一次数据传输到从机。设置 MISTOP 以完成传送模式。

在数据传输时, MISTART 必须保持为 1。并在最终数据发送/接收之后, 设置 MISTOP 以完成发送/接收协议。在重新启动主 I²C 传送接收协议之前, MISTART 应保持为 0, 且等待时间大于 SCL 时钟后才可进行下一次传送接收。SCL 时钟可通过 MICR 进行调整。



主 I²C 传送流程:

- (1) 将从机地址和方向位写入 MIDAT
- (2) 清除 MISTOP 并设置 MISTART 以启动 I²C 传输
- (3) 等到 MIIF 转换为 1 时(根据用户要求发出中断), 清除 MIIF
- (4) 将数据写入 MIDAT 以开始下一次传输(MISTART 必须保持为 1)
- (5) 等到 MIIF 转换为 1 时(根据用户要求发出中断), 清除 MIIF, 循环(4)~(5)进行下一次传输
- (6) 清除 MISTART, 设置 MISTOP 以停止 I²C 传输



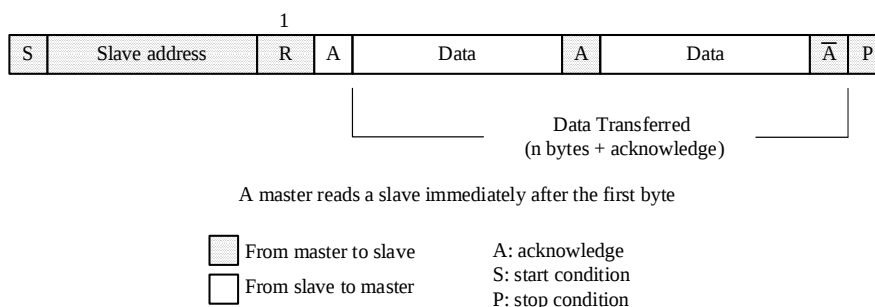
主发送时序

注: 在开始下一个主 I²C 协议之前, MISTART 应该保持 0 比 SCL 周期更长。

I²C主接口接收模式:

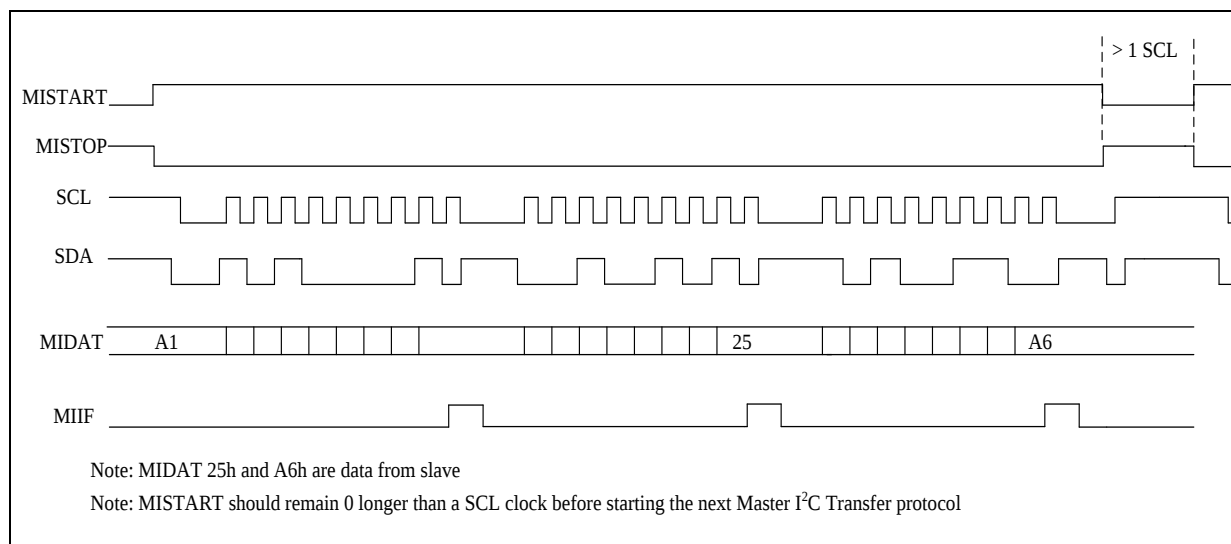
一开始先将从机地址和方向位写入MIDAT并设置MISTART。在MISTART设置之后,将发送7位从机地址和一位方向位到从机。当MIIF转换为1时,代表地址和方向位传输完成。用户应清除MIIF并读取MIDAT以开始第一次接收数据(此时尚未完成接收数据,应丢弃读入的MIDAT)。当MIIF转换为1时,代表对从机接收的数据已完成。用户可以读取MIDAT以得到接收数据,硬件会同时开始下一次接收。设置MISTOP以完成接收模式。

在数据传输时, MISTART必须保持为1。并在最终数据发送/接收之后, 设置MISTOP以完成发送/接收协议。在重新启动主I²C传送接收协议之前, MISTART应保持为0, 且等待时间大于SCL时钟后才可进行下一次传送接收。SCL时钟可通过MICR进行调整。



主 I²C 接收流程:

- (1) 将从机地址和方向位写入 MIDAT
- (2) 清除 MISTOP 并设置 MISTART 以启动 I²C 传输
- (3) 等到 MIIF 转换为 1 时(根据用户要求发出中断), 清除 MIIF
- (4) 读取 MIDAT 以开始第一次接收数据(此时尚未完成接收数据,应丢弃读入的 MIDAT)
- (5) 等到 MIIF 转换为 1 时(根据用户要求发出中断), 清除 MIIF
- (6) 读取 MIDAT 以得到接收数据, 循环(5)~(6)进行下一次接收
- (7) 设置 MISTOP 以停止 I²C 传输



主接收时序

I ² C 功能引脚	模式	Px.n SFR data	引脚状态
主 I ² C SCL	0	X	时钟输出 (开漏输出, 上拉)
	2	X	时钟输出 (CMOS 推挽输出)
主 I ² C SDA	0	1	数据 (上拉)

主 I²C 的引脚模式设置

SFR E1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MICON	MIEN	MIACKO	MIIF	MIACKI	MISTART	MISTOP	MICR	
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	
Reset	0	0	0	0	0	1	0	0

- E1h.7 **MIEN**: 主 I²C 使能
0: 禁用
1: 使能
- E1h.6 **MIACKO**: 当主 I²C 接收数据时, 向 I²C 总线发送 ACK
0: ACK 到从机
1: NACK 到从机
- E1h.5 **MIIF**: 主 I²C 中断标志
当主 I²C 发送或接收一个字节完成时, 由 H/W 设置。向该位写入"0"将清除该标志
- E1h.4 **MIACKI**: 当主 I²C 传输时, ACK 来自 I²C 总线(只读)
0: 收到 ACK
1: 收到 NACK
- E1h.3 **MISTART**: 主 I²C 启动位
1: 启动 I²C 总线传输
- E1h.2 **MISTOP**: 主 I²C 停止位
1: 发送停止信号以停止 I²C 总线
- E1h.1~0 **MICR**: 主 I²C 时钟频率选择
00: F_{SYSCLK}/4 (例如, 如果 F_{SYSCLK} = 16 MHz, I²C 时钟为 4 MHz)
01: F_{SYSCLK}/16 (例如, 如果 F_{SYSCLK} = 16 MHz, I²C 时钟为 1 MHz)
10: F_{SYSCLK}/64 (例如, 如果 F_{SYSCLK} = 16 MHz, I²C 时钟为 250 KHz)
11: F_{SYSCLK}/256 (例如, 如果 F_{SYSCLK} = 16 MHz, I²C 时钟为 62.5 KHz)

SFR E2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MIDAT	MIDAT							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

- E2h.7~0 **MIDAT**: 主 I²C 数据移位寄存器
(写): 在开始条件之后和停止条件之前, 写入该寄存器将恢复向 I²C 总线的传输。
(读): 在开始条件之后和停止条件之前, 读取该寄存器将恢复从 I²C 总线的接收。

SFR BDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SICON	MIIE	TXDIE	RCD2IE	RCD1IE	—	TXDF	RCD2F	RCD1F
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
Reset	0	0	0	0	—	0	0	0

- BDh.7 **MIIE**: 主 I²C 中断使能
0: 禁用
1: 使能

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	PPGDIE	I2CIE	ADIE	PETMIE	PXIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.4 **I2CIE:** I²C 中断使能
0: 禁用 I²C 中断
1: 启用 I²C 中断

SFR 96h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PIFS1	–	–	–	–	SDAS	SCLS	RXDS	TXDS
R/W	–	–	–	–	R/W	R/W	R/W	R/W
Reset	–	–	–	–	0	0	0	0

96h.3 **SDAS:** 主/从 I²C SDA 引脚选择
0: SDA 使用 P3.5 引脚
1: SDA 使用 P3.0 引脚

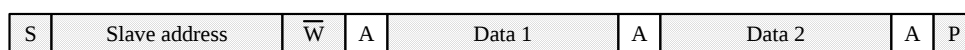
96h.2 **SCLS:** 主/从 I²C SCL 引脚选择
0: SCL 使用 P1.2 引脚
1: SCL 使用 P3.1 引脚

19. 从机 I²C 接口

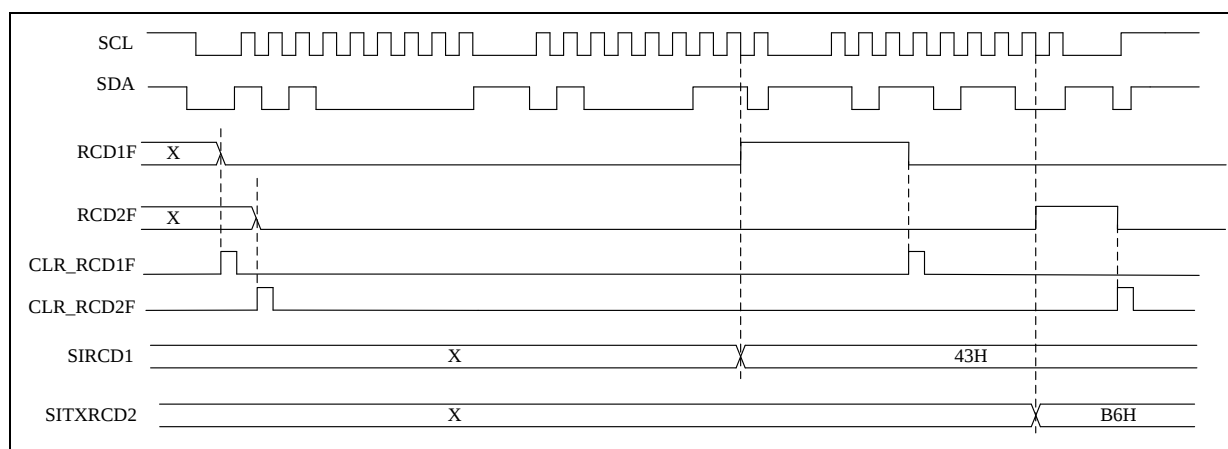
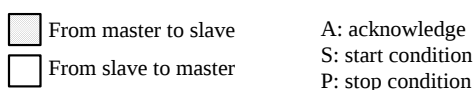
该芯片提供如下的从机 I²C 接口接收协议。从机 I²C 模块允许在启动条件之后每次接收一个或两个字节的数据。在接收 DATA1 之前，请注意 RCD1F 必须为 0。在 DATA1 接收完成之后，RCD1F 将被转换为 1，并且将根据用户的请求发出中断。用户可以使用固件清除 RCD1F，然后再次接收下一个 DATA1。用户可以将 RCD1F 写入 0 来清除 RCD1F。DATA2 和 RCD2F 的运行方式与 DATA1 和 RCD1 相同。DATA1 或 DATA2 接收完成后，主控端应重新启动传输协议以传输下一个 DATA1 和 DATA2。



Slave I²C Receive Byte protocol

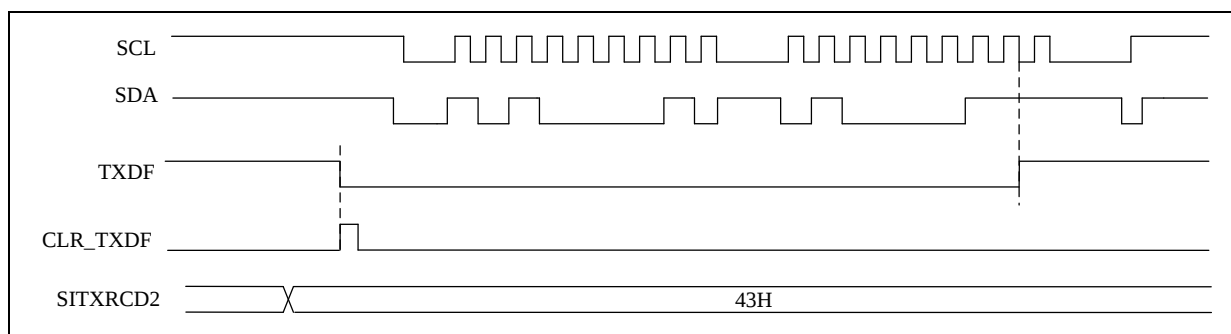
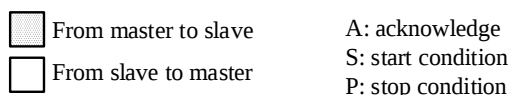


Slave I²C Receive Two Byte protocol



从机接收时序

该芯片提供以下从机设备 I²C 接口传输协议。从 I²C 模块允许在启动条件之后每次发送一个字节数据。在发送数据之前，请注意 TXDF 必须为 0。在数据发送完成之后，TXDF 将转换为 1，并根据用户的请求发出中断。用户可以使用固件清除 TXDF，然后再次传输下一个数据。用户可以将 TXDF 写入 0 来清除 TXDF。每次传送完成后，主控端应重新启动传输协议以传输下一笔数据。


Slave I²C Transmit protocol


从机发送时序

I ² C 功能引脚	模式	Px.n SFR data	引脚状态
从 I ² C SCL	1	1	时钟输入 (高阻抗)
从 I ² C SDA	0	1	数据 (上拉)

从 I²C 的引脚模式设置

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	PPGDIE	I2CIE	ADIE	PETMIE	PXIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.4 I2CIE: I²C 中断使能

0: 禁用 I²C 中断

1: 启用 I²C 中断

SFR BCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SIADR	SA							SIEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	1	1	0	0	1	0	0

BCh.7~1 SA: 从机分配的 I²C 地址

BCh.0 SIEN: 从机 I²C 使能

0: 禁用

1: 使能

SFR BDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SICON	MIIE	TXDIE	RCD2IE	RCD1IE	—	TXDF	RCD2F	RCD1F
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
Reset	0	0	0	0	—	1	0	0

- BDh.6 **TXDIE**: 从机 I²C 发送完成中断使能
0: 禁用
1: 使能
- BDh.5 **RCD2IE**: 从机 I²C DATA2 (SITXRCD2) 接收完成中断使能
0: 禁用
1: 使能
- BDh.4 **RCD1IE**: 从机 I²C DATA1 (SIRCD1) 接收完成中断使能
0: 禁用
1: 使能
- BDh.2 **TXDF**: 从机 I²C 传输完成中断标志
从机 I²C 传输完成时由硬件设置, 写 0 清除
- BDh.1 **RCD2F**: 从机 I²C DATA2 (SITXRCD2) 接收完成中断标志
从机 I²C DATA2 (SITXRCD2) 接收完成后由硬件置位, 写 0 清除
- BDh.0 **RCD1F**: 从机 I²C DATA1 (SIRCD1) 接收完成中断标志
从机 I²C DATA1 (SITXRCD1) 接收完成后由硬件置位, 写 0 清除

SFR ACh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SIRCD1	SIRCD1							
R/W	R	R	R	R	R	R	R	R
Reset	—	—	—	—	—	—	—	—

- ACh.7~0 **SIRCD1**: 从机 I²C 数据接收寄存器 1 (DATA1)

SFR ADh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SITXRCD2	SITXRCD2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	—	—	—	—	—	—	—

- ADh.7~0 **SITXRCD2**: 从机 I²C 发送和接收数据寄存器
(读): 从机 I²C 数据接收寄存器 2 (DATA2)
(写): 从机 I²C 数据传输寄存器 (TXD)

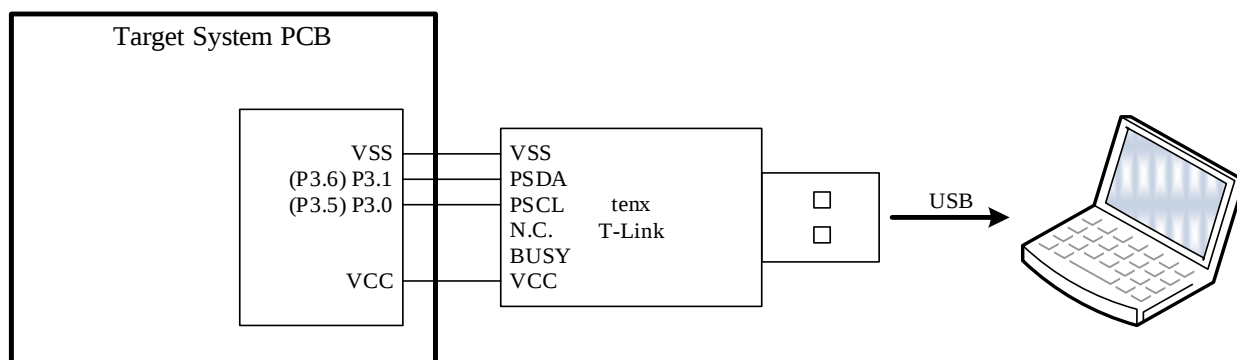
SFR 96h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PIFS1	—	—	—	—	SDAS	SCLS	RXDS	TXDS
R/W	—	—	—	—	R/W	R/W	R/W	R/W
Reset	—	—	—	—	0	0	0	0

- 96h.3 **SDAS**: 主/从 I²C SDA 引脚选择
0: SDA 使用 P3.5 引脚
1: SDA 使用 P3.0 引脚
- 96h.2 **SCLS**: 主/从 I²C SCL 引脚选择
0: SCL 使用 P1.2 引脚
1: SCL 使用 P3.1 引脚

20. 在线仿真器(ICE)模式

该设备可以支持在线仿真模式。要使用 ICE 模式，用户只需将 P3.0/P3.1 或 P3.5/P3.6 引脚连接到 tenx 专有 EV 模块。好处是用户可以仿真整个系统，而无需更改板载目标设备。但是 ICE 模式有一些限制，如下所示。

1. 该设备必须处于未保护状态。
2. 设备的 P3.0/P3.1 或 P3.5/P3.6 引脚必须在输入模式下工作 (P3MODx=00b or 01b)。
3. Tenx EV 模块占用了程序存储器的寻址空间 0D00h~0FFFh 和 0033h~003Ah。因此，用户程序无法访问这些空间。
4. 无法模拟 T-Link 通信引脚的功能。
5. P3.0 和 P3.1 引脚可以替换为 P3.5 和 P3.6。(只能仿真替代，量产刻录器只支持 P3.0/P3.1)。
6. VCC 电平由 T-Link 模块控制。



SFR 和 CFGW 映射

ESFR

Adr	Rst	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
80h	1111-1111	P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
81h	0000-0111	SP	SP							
82h	0000-0000	DPL	DPL							
83h	0000-0000	DPH	DPH							
84h	x000-0000	INTE2	–	PWM1IE	PWM0IE	CMP5IE	CMP4IE	CMP3IE	CMP2IE	CMP1IE
85h	x000-0000	INTFLG2	–	PWM1IF	PWM0IF	CMP5IF	CMP4IF	CMP4IF	CMP2IF	CMP1IF
86h	00x1-0000	FRCFTCON	FRCFTM		–	FRCFT				
87h	0xxx-0000	PCON	SMOD	–	–	–	GF1	GF0	PD	IDL
88h	0000-0000	TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
89h	0000-0000	TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
8Ah	0000-0000	TL0	TL0							
8Bh	0000-0000	TL1	TL1							
8Ch	0000-0000	TH0	TH0							
8Dh	0000-0000	TH1	TH1							
8Eh	x000-00x0	INTETM	–	ETMEIE	ETMDIE	ETMCIE	ETMBIE	ETMAIE	–	PTMPIE
8Fh	x000-00x0	INTFTM	–	ETMEIF	ETMDIF	ETMCIF	ETMBIF	ETMAIF	–	PTMPIF
90h	1111-1111	P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
91h	xx00-0000	PIFS0	–	–	C5NS		C4NS		C3NS	C2NS
92h	0000-0000	POFS0	PWM1OE1	PWM1OE0	OPOROE1	OPOROE0	OPOE	T2OE	T1OE	T0OE
93h	0000-0000	POFS1	PWM0POE1	PWM0POE0	PWM0NOE1	PWM0NOE0	PPGLOE1	PPGLOE0	PPGOE1	PPGOE0
94h	0000-0000	OPTION	UART1W	TM3CKS	WDTPSC		ADCKS		TM3PSC	
95h	xxx0-xx00	INTFLG	–	–	–	ADIF	–	–	PXIF	TF3
96h	xxxx-0000	PIFS1	–	–	–	–	SDAS	SCLS	RXDS	TXDS
97h	xxxx-xx0x	SWCMD	SWRST							
98h	0100-0000	SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
99h	xxxx-xxxx	SBUF	SBUF							
9Ah	x000-00x0	PPDCON	–	PPDENS			PD1SEL	PD0SEL	–	PPDEN
9Bh	x000-0000	PPDSTA	–	CMP4IF2	CMP2IF2	CMP1IF2	PPDIF	PWM0OFFIF	NPGF	SPGF
9Ch	0000-0000	PPDTH	PPDTH							
9Dh	xx00-0000	PPDIES	–	–	C4PFDE	C2PFDE	C1PFDE	PDPFDE	PWM0OFFIE	PPDIE
9Eh	1111-1111	CCRP	CCRP							
A0h	1111-1111	P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
A1h	00x0-0000	PWMCON	PWM1CKS		–	PWM0MSKE	PWM0CKS		PWM0NMSK	PWM0PMSK
A2h	x000-0000	PETMCON	–	ETMCKS		ETMEN	PTMENH	PTMMOD	PTMCKS	PTMEN
A3h	x011-0000	ETMCON	–	ETMCMH	ETMCM	CEREP	CERDP	CERCP	CERBP	CERAP
A4h	0000-1111	ETMDT	ETMDT							
A5h	xxx0-0000	PWM0PGP	–	–	–	PGPDEC	PGPSTEP			
A6h	xxxx-0000	PWM0APH	–	–	–	–	PWRLDM	PWAPHRATE		
A7h	0000-0000	PWMCON2	PWM0MOD		PWM0OOM		PWM0DZ			
A8h	0x00-0000	IE	EA	–	ET2	ES	ET1	EX1	ET0	EX0
A9h	0000-0000	INTE1	PWMIE	CMPIE	PPGDIE	I2CIE	ADIE	PETMIE	PXIE	TM3IE
AAh	xxxx-xxxx	ADCDL	ADCDL				–	–	–	–
ABh	xxxx-xxxx	ADCDH	ADCDH							
ACH	xxxx-xxxx	SIRCD1	SIRCD1							
ADH	xxxx-xxxx	SITXRCD2	SITXRCD2							

Adr	Rst	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AEh	1111-1000	CHSEL	ADCHS					ADCVREFS	VBGSEL	
AFh	0000-0000	UARTBRP	UARTBRP							
B0h	1111-1111	P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
B1h	00x0-0xx0	PPGCON0	PPGEN	RLDM	—	PPGM	PPGCKS	—	—	SYNEDG
B2h	0000-0000	PPGCON1	APPRATE			DECM		DECSTEP		
B3h	0000-0000	PPGRLDL	PPGRLDL							
B4h	0000-0000	PPGLCON	PPGLM		PPGLCT					
B5h	xxx0-0000	CMPCON	—	—	—	CMP5PFH	CMP5PF	CMP4PF	CMP3PF	CMP2PF
B6h	0000-0000	PPGTML	PPGTML							
B7h	0000-0000	PPGTMH	PPGRLDH				PPGTMH			
B8h	xx00-0000	IP	—	—	PT2	PS	PT1	PX1	PT0	PX0
B9h	xx00-0000	IPH	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
BAh	0000-0000	IP1	PPWM	PCMP	PPPGD	PI2C	PADI	PPETM	PPX	PT3
BBh	0000-0000	IP1H	PPWMH	PCMPH	PPPGDH	PI2CH	PADIH	PPETMH	PPXH	PT3H
BCh	0110-0100	SIADR	SA							SIEN
BDh	0000-x100	SICON	MIIE	TXDIE	RCD2IE	RCD1IE	—	TXDF	RCD2F	RCD1F
BEh	0000-0000	CMP25CON	CMP5EN	CMP5HYS	CMP4EN	CMP4HYS	CMP3EN	CMP3HYS	CMP2EN	CMP2HYS
BFh	0000-0000	CMPEQI	CMP5EQIE	CMP4EQIE	CMP3EQIE	CMP2EQIE	CMP5EQIF	CMP4EQIF	CMP3EQIF	CMP2EQIF
C1h	0000-0000	CMP1CON	CMP1EN	CMP1HYS	CMP1DBOP	SYNDBT				
C2h	0000-0000	CMP2VRF	CMP2VRF							
C3h	0000-0000	CMP3VRF	CMP3VRF							
C4h	0000-0000	CMP4VRF	CMP4VRF							
C5h	0000-0000	CMP5VRF	CMP5VRF							
C6h	0111-x111	CMP23EQ	CMP3EDS	CMP3EQ			—	CMP2EQ		
C7h	0111-x111	CMP45EQ	DAC5SEL	CMP5EQ			—	CMP4EQ		
C8h	0000-0000	T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
C9h	x0x0-xxxx	IAPCON	IAPCON							
CAh	0000-0000	RCP2L	RCP2L							
CBh	0000-0000	RCP2H	RCP2H							
CCh	0000-0000	TL2	TL2							
CDh	0000-0000	TH2	TH2							
CEh	0000-0000	EXA2	EXA2							
CFh	0000-0000	EXA3	EXA3							
D0h	0000-0000	PSW	CY	AC	F0	RS1	RS0	OV	F1	P
D1h	0000-0000	PWM0DH	PWM0DH							
D2h	0000-0000	PWM0DL	PWM0DL							
D3h	0000-0000	PWM1DH	PWM1DH							
D4h	0000-0000	PWM1DL	PWM1DL							
D5h	0000-0000	CERA	CERA							
D6h	0000-0000	CERB	CERB							
D7h	xxx0-0000	CMPIEDG	—	—	—	CMP5EDG	CMP4EDG	CMP3EDG	CMP2EDG	CMP1EDG
D8h	xx00-0011	CLKCON	—	—	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
D9h	1111-1111	PWM0PRDH	PWM0PRDH							
DAh	1111-1111	PWM0PRDL	PWM0PRDL							
DBh	1111-1111	PWM1PRDH	PWM1PRDH							
DCh	1111-1111	PWM1PRDL	PWM1PRDL							
DDh	0000-0000	CERC	CERC							
DEh	0000-0000	CERD	CERD							
DFh	0000-1111	CERE	CERE							

Adr	Rst	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
E0h	0000-0000	ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
E1h	000x-0100	MICON	MIEN	MIACKO	MIIF	MIACKI	MISTART	MISTOP	MICR	
E2h	xxxx-xxxx	MIDAT	MIDAT							
E3h	xxx0-0000	PPGCON2	—	—	—	PPGHW	CMP5PPGEN	CMP5PPG		
E4h	xx00-0000	SYNDLY	—	—	SYNDLY					
E5h	xx00-0000	LVRCON	—	—	PORPD	LVRPD	LVRSEL			
E6h	0000-0000	EXA	EXA							
E7h	0000-0000	EXB	EXB							
E9h	0000-1111	CMP1CAL	CMP1O	CMP1MOD	CMP1CTS	CMP1ADJ				
EAh	0000-1111	CMP2CAL	CMP2O	CMP2MOD	CMP2CTS	CMP2ADJ				
EBh	0000-1111	CMP3CAL	CMP3O	CMP3MOD	CMP3CTS	CMP3ADJ				
ECh	0000-1111	CMP4CAL	CMP4O	CMP4MOD	CMP4CTS	CMP4ADJ				
EDh	0000-1111	CMP5CAL	CMP5O	CMP5MOD	CMP5CTS	CMP5ADJ				
EEh	0000-0000	OPCON	OPAEN	OPORS	OPNS	OPFUNC		OPGAIN		
EFh	x00x-xxxx	OPCAL	OPOUT	OPMOD	CVRFS	OPADJ				
F0h	0000-0000	B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
F1h	1111-1111	CRCDL	CRCDL							
F2h	1111-1111	CRCDH	CRCDH							
F3h	xxxx-xxxx	CRCIN	CRCIN							
F5h	xxxx-xxxx	CFGBG	—	—	—	BGTRIM				
F6h	xxxx-xxxx	CFGWL	—	FRCF						
F7h	0000-0110	AUX2	WDTE		PWRSV	VBGOUT	DIV32	IAPTE		MULDIV16
F8h	00x0-1100	AUX1	CLRWDT	CLRTM3	—	ADSOC	CLRPWM0	CLRPWM1	T1SEL	DPSEL

XSFR

Adr	Rst	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
F008h	0101-0101	P1MODL	P1MOD3		P1MOD2		P1MOD1		P1MOD0	
F009h	0101-0101	P1MODH	P1MOD7		P1MOD6		P1MOD5		P1MOD4	
F00Ah	0000-0000	P1WKUP	P1WKUP							
F010h	xxxx-0101	P2MODL	–	–	–	–	P2MOD1		P2MOD0	
F012h	xxxx-xx--	P2WKUP	–	–	–	–	–	–	P2WKUP	
F018h	0101-0101	P3MODL	P3MOD3		P3MOD2		P3MOD1		P3MOD0	
F019h	0101-0101	P3MODH	P3MOD7		P3MOD6		P3MOD5		P3MOD4	
F01Ah	0000-0000	P3WKUP	P3WKUP							
F070h	0000-0000	PPGLIMLL	PPGLIML[7:0]							
F071h	xxxx-0000	PPGLIMLH	–	–	–	–	PPGLIML[11:8]			
F072h	1111-1111	PPGLIMHL	PPGLIMH[7:0]							
F073h	xxxx-1111	PPGLIMHH	–	–	–	–	PPGLIMH[11:8]			
F07Eh	0000-0xx0	EFTCON	EFT2CS	EFT1CS	EFT1S		EFTSLOW	–	–	CKHLDE

CFGWORD

Flash Address	Name	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
2FF9h	CFGOP	–	–	–	OPTRIM				
2FFBh	CFGBG	–	–	–	BGTRIM				
2FFDh	CFGWL	–	FRCF						
2FFFh	CFGWH	PROT	XRSTE	–	–	–	–	–	–

SFR 和 CFGW 描述

ESFR

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
80h	P0	7~0	P0	R/W	FFh	Port0 data
81h	SP	7~0	SP	R/W	07h	Stack Point
82h	DPL	7~0	DPL	R/W	00h	Data Point low byte
83h	DPH	7~0	DPH	R/W	00h	Data Point high byte
84h	INTE2	6	PWM1IE	R/W	0	PWM1 interrupt enable 0: Disable PWM1 interrupt 1: Enable PWM1 interrupt
		5	PWM0IE	R/W	0	PWM0 interrupt enable 0: Disable PWM0 interrupt 1: Enable PWM0 interrupt
		4	CMP5IE	R/W	0	CMP5 interrupt enable 0: Disable CMP5 interrupt 1: Enable CMP5 interrupt
		3	CMP4IE	R/W	0	CMP4 interrupt enable 0: Disable CMP4 interrupt 1: Enable CMP4 interrupt
		2	CMP3IE	R/W	0	CMP3 interrupt enable 0: Disable CMP3 interrupt 1: Enable CMP3 interrupt
		1	CMP2IE	R/W	0	CMP2 interrupt enable 0: Disable CMP2 interrupt 1: Enable CMP2 interrupt
		0	CMP1IE	R/W	0	CMP1 interrupt enable 0: Disable CMP1 interrupt 1: Enable CMP1 interrupt
85h	INTFLG2	6	PWM1IF	R/W	0	PWM1 interrupt flag Set by H/W at the end of PWM1 period. S/W writes BFh to INTFLG2 to clear this flag.
		5	PWM0IF	R/W	0	PWM0 interrupt flag Set by H/W at the end of PWM0 period. S/W writes DFh to INTFLG2 to clear this flag.
		4	CMP5IF	R/W	0	CMP5 interrupt flag Set by H/W while CMP5 output meet rising/falling condition. S/W writes EFh to INTFLG2 to clear this flag.
		3	CMP4IF	R/W	0	CMP4 interrupt flag Set by H/W while CMP4 output meet rising/falling condition. S/W writes F7h to INTFLG2 to clear this flag.
		2	CMP3IF	R/W	0	CMP3 interrupt flag Set by H/W while CMP3 output meet rising/falling condition. S/W writes FBh to INTFLG2 to clear this flag.
		1	CMP2IF	R/W	0	CMP2 interrupt flag Set by H/W while CMP2 output meet rising/falling condition. S/W writes FDh to INTFLG2 to clear this flag.
		0	CMP1IF	R/W	0	CMP1 interrupt flag Set by H/W while CMP1 output meet rising/falling condition S/W writes FEh to INTFLG2 to clear this flag.
86h	FRCFTCON	7~6	FRCFTM	R/W	00	FRC fine tune mode. 00: S/W mode 01: H/W mode, fine tune range 0Dh~13h (± 3 levels)

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
						10: H/W mode, fine tune range 0Ch~14h (± 4 levels) 11: H/W mode, fine tune range 0Bh~15h (± 5 levels)
		4~0	FRCFT	R/W	10h	FRC fine tune value. 00h~1Fh: min~max (default: 10h center)
87h	PCON	7	SMOD	R/W	0	UART double baud rate control bit 0: Disable UART double baud rate 1: Enable UART double baud rate
		3	GF1	R/W	0	General purpose flag bit
		2	GF0	R/W	0	General purpose flag bit
		1	PD	R/W	0	Stop bit. If 1 Stop mode is entered.
		0	IDL	R/W	0	Idle bit. If 1, Idle mode is entered.
88h	TCON	7	TF1	R/W	0	Timer1 overflow flag Set by H/W when Timer/Counter 1 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		6	TR1	R/W	0	Timer1 run control 0: Timer1 stops 1: Timer1 runs
		5	TF0	R/W	0	Timer0 overflow flag Set by H/W when Timer/Counter 0 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		4	TR0	R/W	0	Timer0 run control 0: Timer0 stops 1: Timer0 runs
		3	IE1	R/W	0	External Interrupt 1 (INT1 pin) edge flag Set by H/W when an INT1 pin falling edge is detected, no matter the EX1 is 0 or 1. It is cleared automatically when the program performs the interrupt service routine.
		2	IT1	R/W	0	External Interrupt 1 control bit 0: Low level active (level triggered) for INT1 pin 1: Falling edge active (edge triggered) for INT1 pin
		1	IE0	R/W	0	External Interrupt 0 (INT0 pin) edge flag Set by H/W when an INT0 pin falling edge is detected, no matter the EX0 is 0 or 1. It is cleared automatically when the program performs the interrupt service routine.
		0	IT0	R/W	0	External Interrupt 0 control bit 0: Low level active (level triggered) for INT0 pin 1: Falling edge active (edge triggered) for INT0 pin
89h	TMOD	7	GATE1	R/W	0	Timer1 gating control bit 0: Timer1 enable when TR1 bit is set 1: Timer1 enable only while the INT1 pin is high and TR1 bit is set
		6	CT1N	R/W	0	Timer1 Counter/Timer select bit 0: Timer mode, Timer1 data increases at 2 System clock cycle rate 1: Counter mode, Timer1 data increases at T1 pin's negative edge
		5~4	TMOD1	R/W	00	Timer1 mode select 00: 13-bit timer/counter 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL1). Reloaded from TH1 at overflow. 11: Timer1 stops
		3	GATE0	R/W	0	Timer0 gating control bit 0: Timer0 enable when TR0 bit is set

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
						1: Timer0 enable only while the INT0 pin is high and TR0 bit is set
		2	CT0N	R/W	0	Timer0 Counter/Timer select bit 0: Timer mode, Timer0 data increases at 2 System clock cycle rate 1: Counter mode, Timer0 data increases at T0 pin's negative edge
		1~0	TMOD0	R/W	00	Timer0 mode select 00: 13-bit timer/counter 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL0). Reloaded from TH0 at overflow. 11: TL0 is an 8-bit timer/counter. TH0 is an 8-bit timer/counter using Timer1's TR1 and TF1 bits.
8Ah	TL0	7~0	TL0	R/W	00h	Timer0 data low byte
8Bh	TL1	7~0	TL1	R/W	00h	Timer1 data low byte
8Ch	TH0	7~0	TH0	R/W	00h	Timer0 data high byte
8Dh	TH1	7~0	TH1	R/W	00h	Timer1 data high byte
8Eh	INTETM	6	ETMEIE	R/W	0	ETM Comparator E match interrupt enable 0: Disable 1: Enable
		5	ETMDIE	R/W	0	ETM Comparator D match interrupt enable 0: Disable 1: Enable
		4	ETMCIE	R/W	0	ETM Comparator C match interrupt enable 0: Disable 1: Enable
		3	ETMBIE	R/W	0	ETM Comparator B match interrupt enable 0: Disable 1: Enable
		2	ETMAIE	R/W	0	ETM Comparator A match interrupt enable 0: Disable 1: Enable
		0	PTMPIE	R/W	0	PTM Comparator P match interrupt enable 0: Disable 1: Enable
8Fh	INTFTM	6	ETMEIF	R/W	0	ETM Comparator E match interrupt flag Set by H/W while ETM Comparator E matching the condition. S/W writes BFh to INTFTM to clear this flag.
		5	ETMDIF	R/W	0	ETM Comparator D match interrupt flag Set by H/W while ETM Comparator D matching the condition. S/W writes DFh to INTFTM to clear this flag.
		4	ETMCIF	R/W	0	ETM Comparator C match interrupt flag Set by H/W while ETM Comparator C matching the condition. S/W writes EFh to INTFTM to clear this flag.
		3	ETMBIF	R/W	0	ETM Comparator B match interrupt flag Set by H/W while ETM Comparator B matching the condition. S/W writes F7h to INTFTM to clear this flag.
		2	ETMAIF	R/W	0	ETM Comparator A match interrupt flag Set by H/W while ETM Comparator A matching the condition. S/W writes FBh to INTFTM to clear this flag.
		0	PTMPIF	R/W	0	PTM Comparator P match interrupt flag Set by H/W while PTM Comparator P matching the condition. S/W writes FEh to INTFTM to clear this flag.

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
90h	P1	7~0	P1	R/W	FFh	Port1 data
91h	PIFS0	5~4	C5NS	R/W	00	Comparator 5 negative input pin select 00: P3.2 01: P1.5 10: P1.7 11: No used
		3~2	C4NS	R/W	00	Comparator 4 negative input pin select 00: P1.6 01: P1.0 10: OPO 11: No used
		1	C3NS	R/W	0	Comparator 3 negative input pin select 0: P1.7 1: P1.1
		0	C2NS	R/W	0	Comparator 2 negative input pin select 0: P1.5 1: P1.3
92h	POFS0	7	PWM1OE1	R/W	0	PWM1 signal output enable 0: Disable PWM1 signal output to P3.4 1: Enable PWM1 signal output to P3.4
		6	PWM1OE0	R/W	0	PWM1 signal output enable 0: Disable PWM1 signal output to P3.3 1: Enable PWM1 signal output to P3.3
		5	OPOROE1	R/W	0	OPOR signal output enable 0: Disable OPOR signal output to P3.3 1: Enable OPOR signal output to P3.3
		4	OPOROE0	R/W	0	OPOR signal output enable 0: Disable OPOR signal output to P1.5 1: Enable OPOR signal output to P1.5
		3	OPOE	R/W	0	OPO signal output enable 0: Disable OPO signal output to P1.0 1: Enable OPO signal output to P1.0
		2	T2OE	R/W	0	Timer2 signal output enable 0: Disable Timer2 overflow divided by 2 output to P1.0 1: Enable Timer2 overflow divided by 2 output to P1.0
		1	T1OE	R/W	0	Timer1 signal output enable 0: Disable Timer1 overflow divided by 2 output to P3.5 1: Enable Timer1 overflow divided by 2 output to P3.5
		0	T0OE	R/W	0	Timer0 signal output enable 0: Disable Timer0 overflow divided by 64 output to P3.4 1: Enable Timer0 overflow divided by 64 output to P3.4
93h	POFS1	7	PWM0POE1	R/W	0	PWM0P signal output enable 0: Disable PWM0P signal output to P3.5 1: Enable PWM0P signal output to P3.5
		6	PWM0POE0	R/W	0	PWM0P signal output enable 0: Disable PWM0P signal output to P2.1 1: Enable PWM0P signal output to P2.1
		5	PWM0NOE1	R/W	0	PWM0N signal output enable 0: Disable PWM0N signal output to P3.7 1: Enable PWM0N signal output to P3.7
		4	PWM0NOE0	R/W	0	PWM0N signal output enable 0: Disable PWM0N signal output to P1.2 1: Enable PWM0N signal output to P1.2
		3	PPGLOE1	R/W	0	PPGL signal output enable 0: Disable PPGL signal output to P3.6

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
						1: Enable PPGL signal output to P3.6
		2	PPGLOE0	R/W	0	PPGL signal output enable 0: Disable PPGL signal output to P3.4 1: Enable PPGL signal output to P3.4
		1	PPGOE1	R/W	0	PPG signal output enable 0: Disable PPG signal output to P2.1 1: Enable PPG signal output to P2.1
		0	PPGOE0	R/W	0	PPG signal output enable 0: Disable PPG signal output to P2.0 1: Enable PPG signal output to P2.0
94h	OPTION	7	UART1W	R/W	0	One wire UART mode enable, both TXD/RXD use P3.1 or P1.2 pin 0: Disable one wire UART mode 1: Enable one wire UART mode
		6	TM3CKS	R/W	0	Timer3 clock source select 0: Slow clock/4 (131 KHz/4 = 32.75 KHz) 1: FRC/512 (16.5888 MHz/512 = 32.4 KHz)
		5~4	WDTPSC	R/W	00	Watchdog Timer pre-scalar time select 00: 496ms WDT overflow rate 01: 248ms WDT overflow rate 10: 124ms WDT overflow rate 11: 62ms WDT overflow rate
		3~2	ADCKS	R/W	00	ADC clock rate select 00: F _{SYSCLK} /32 01: F _{SYSCLK} /16 10: F _{SYSCLK} /8 11: F _{SYSCLK} /4
		1~0	TM3PSC	R/W	00	Timer3 interrupt rate control select 00: Interrupt rate is 32768 Slow clock cycle 01: Interrupt rate is 16384 Slow clock cycle 10: Interrupt rate is 8192 Slow clock cycle 11: Interrupt rate is 128 Slow clock cycle
95h	INTFLG	4	ADIF	R/W	0	ADC interrupt flag Set by H/W at the end of conversion. S/W writes EFh to INTFLG or sets the ADSOC bit to clear this flag.
		1	PXIF	R/W	0	Port1~3 pin change interrupt flag Set by H/W when a Port1~3 pin state change is detected, and its interrupt enable bit is set (P1WKUP/P2WKUP/P3WKUP). PXIE does not affect this flag's setting. It is cleared automatically when the program performs the interrupt service routine. S/W writes FDh to INTFLG to clear this bit.
		0	TF3	R/W	0	Timer 3 interrupt flag Set by H/W when Timer3 reaches TM3PSC setting cycles. It is cleared automatically when the program performs the interrupt service routine. S/W writes FEh to INTFLG to clear this bit.
96h	PIFS1	3	SDAS	R/W	0	Mastr/Slave IIC SDA pin select 0: P3.5 1: P3.0
		2	SCLS	R/W	0	Master/Slave IIC SCL pin select 0: P1.2 1: P3.1
		1	RXDS	R/W	0	UART1 RXD pin select 0: P3.0

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
						1: P3.5
		0	TXDS	R/W	0	UART1 TXD pin select 0: P3.1 1: P1.2
97h	SWCMD	7~0	SWRST	W	–	Write 56h to generate S/W Reset
		1	WDTO	R	0	WatchDog Time-Out flag
98h	SCON	7	SM0	R/W	0	Serial port mode select bit 0,1 00: Mode0: 8 bit shift register, Baud Rate = $F_{SYSCLK}/2$ 01: Mode1: 8 bit UART, Baud Rate is variable 10: Mode2: 9 bit UART, Baud Rate= $F_{SYSCLK}/32$ or $/64$ 11: Mode3: 9 bit UART, Baud Rate is variable
		6	SM1	R	1	
		5	SM2	R/W	0	Serial port mode select bit 2 SM2 enables multiprocessor communication over a single serial line and modifies the above as follows. In Modes 2 & 3, if SM2 is set then the received interrupt will not be generated if the received ninth data bit is 0. In Mode 1, the received interrupt will not be generated unless a valid stop bit is received. In Mode 0, SM2 should be 0.
		4	REN	R/W	0	UART reception enable 0: Disable reception 1: Enable reception
		3	TB8	R/W	0	Transmit Bit 8, the ninth bit to be transmitted in Mode 2 and 3
		2	RB8	R/W	0	Receive Bit 8, contains the ninth bit that was received in Mode 2 and 3 or the stop bit in Mode 1 if SM2=0
		1	TI	R/W	0	Transmit interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the beginning of the stop bit in other modes. Must be cleared by S/W.
		0	RI	R/W	0	Receive interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the sampling point of the stop bit in other modes. Must be cleared by S/W.
		7~0	SBUF	R/W	–	UART transmit and receive data. Transmit data is written to this location and receive data is read from this location, but the paths are independent.
		6~4	PPDENS	R/W	000	PPD enable select. After CLRPWM0 bit changes to 0, 000: do not wait before start detect 001: wait 1 PWM period before detect 010: wait 2 PWM periods before detect 011: wait 3 PWM periods before detect 100: wait 4 PWM periods before detect 101: wait 5 PWM periods before detect 110: wait 6 PWM periods before detect 111: wait 7 PWM periods before detect
9Ah	PPDCON	3	PD1SEL	R/W	0	Phase Detector 1 input source select 0: CMP3O 1: ~CMP3O
		2	PD0SEL	R/W	0	Phase Detector 0 input source select 0: CMP5O 1: ~CMP5O
		0	PPDEN	R/W	0	PPD enable 0: Disable PPD 1: Enable PPD

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
9Bh	PPDSTA	6	CMP4IF2	R/W	0	CMP4 interrupt flag This bit is same as the bit CMP4IF (85h.3). Set by H/W while CMP4 output meet rising/falling condition. S/W writes BFh to PPDSTA to clear this bit.
		5	CMP2IF2	R/W	0	CMP2 interrupt flag This bit is same as the bit CMP2IF (85h.1). Set by H/W while CMP2 output meet rising/falling condition. S/W writes DFh to PPDSTA to clear this bit.
		4	CMP1IF2	R/W	0	CMP1 interrupt flag This bit is same as the bit CMP1IF (85h.0). Set by H/W while CMP1 output meet rising/falling condition. S/W writes EFh to PPDSTA to clear this bit.
		3	PPDIF	R/W	0	PPD interrupt flag Set by H/W while NPGF=1 or SPGF=1. S/W writes F7h to PPDSTA to clear this bit.
		2	PWM0OFFIF	R/W	0	PWM0 turned off by PPD interrupt flag 0: PWM0 not turned off by PPD 1: PWM0 has been turned off by PPD Set by H/W, S/W writes FBh to PPDSTA to clear this bit.
		1	NPGF	R/W	0	No phase flag 0: Phase width is detected 1: No phase width is detected Set by H/W, S/W writes FDh to PPDSTA to clear this bit.
		0	SPGF	R/W	0	Small phase flag 0: Phase width $\geq$ PPDTH 1: Phase width $<$ PPDTH Set by H/W, S/W writes FEh to PPDSTA to clear this bit.
9Ch	PPDTH	7~0	PPDTH	R/W	00h	PPD phase width threshold
9Dh	PPDIES	5	C4PFDE	R/W	0	CMP4 PWM0 force off enable 0: CMP4 PWM0 force off disable 1: CMP4 PWM0 force off enable
		4	C2PFDE	R/W	0	CMP2 PWM0 force off enable 0: CMP2 PWM0 force off disable 1: CMP2 PWM0 force off enable
		3	C1PFDE	R/W	0	CMP1 PWM0 force off enable 0: CMP1 PWM0 force off disable 1: CMP1 PWM0 force off enable
		2	PDPFDE	R/W	0	Phase detector PWM0 force off enable 0: Phase detector PWM0 force off disable 1: Phase detector PWM0 force off enable
		1	PWM0OFFIE	R/W	0	PWM0 turned off by PPD interrupt enable 0: PWM0 turned off by PPD interrupt disable 1: PWM0 turned off by PPD interrupt enable
		0	PPDIE	R/W	0	PPD interrupt enable 0: PPD interrupt disable 1: PPD interrupt enable
9Eh	CCRP	7~0	CCRP	R/W	FFh	PTM Comparator P match data 00h : match data = 256 01h~FFh: match data = 1~255
A0h	P2	7~0	P2	R/W	FFh	Port2 data

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
A1h	PWMCON	7~6	PWM1CKS	R/W	00	PWM1 clock source 00: F _{SYSCLK} 01: F _{SYSCLK} 10: FRC (16.5888 MHz) 11: FRCx2 (33.1776 MHz)
		4	PWM0MSKE	R/W	0	PWM0 output mask enable 0: Disable PWM0 output mask 1: Enable PWM0 output mask
		3~2	PWM0CKS	R/W	00	PWM0 clock source 00: F _{SYSCLK} 01: F _{SYSCLK} 10: FRC (16.5888 MHz) 11: FRCx2 (33.1776 MHz)
		1	PWM0NMSK	R/W	0	PWM0N mask data while CLRPWM0=1 or PWM0OFFIF=1
		0	PWM0PMSK	R/W	0	PWM0P mask data while CLRPWM0=1 or PWM0OFFIF=1
A2h	PETMCON	6~5	ETMCKS	R/W	00	ETM clock select 00: F _{SYSCLK} /512 01: F _{SYSCLK} /1024 10: F _{SYSCLK} /2048 11: CMP5EQIF
		4	ETMEN	R/W	0	ETM enable 0: ETM stop 1: ETM run
		3	PTMENH	R/W	0	PTMEN bit set by H/W enable 0: PTMEN bit set by S/W 1: PTMEN bit set by H/W while ETMEIF trig match
		2	PTMMOD	R/W	0	PTM mode 0: Continuous mode 1: One Cycle mode
		1	PTMCKS	R/W	0	PTM clock select 0: F _{SYSCLK} /512 1: F _{SYSCLK} /1024
		0	PTMEN	R/W	0	PTM enable 0: PTM stop 1: PTM run
A3h	ETMCON	6	ETMCMH	R/W	0	ETM counter mode by H/W 0: S/W only 1: S/W and H/W (clear by ETMEIF, set by PTMPIF), Priority S/W > H/W
		5	ETMCM	R/W	1	ETM counter mode 0: count up 1: count down
		4	CEREP	R/W	1	ETM Comparator E match condition 0: match while count up 1: match while count down
		3	CERDP	R/W	0	ETM Comparator D match condition 0: match while count up 1: match while count down
		2	CERCP	R/W	0	ETM Comparator C match condition 0: match while count up 1: match while count down
		1	CERBP	R/W	0	ETM Comparator B match condition 0: match while count up

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
						1: match while count down
		0	CERAP	R/W	0	ETM Comparator A match condition 0: match while count up 1: match while count down
A4h	ETMDT	7~0	ETMDT	R/W	0Fh	ETM counter data. While ETMEN bit from 0 to 1, ETMDT will return to 0Fh.
A5h	PWM0PGP	4	PGPDEC	R/W	0	PWM0 period decrease protection enable when phase detector match (normal mode only) 0: Disable 1: Enable
		3~0	PGPSTEP	R/W	0h	PWM0 period decrease protection level Decrease step = $4 \times (\text{PGPSTEP} + 1)$
A6h	PWM0APH	3	PWRLDM	R/W	0	PWM0 period reload mode 0: Direct reload, working buffer synchronizes with reload buffer 1: Approach mode, working buffer approach to reload buffer gradually at certain rate (normal mode only)
		2~0	PWAPHRATE	R/W	000	PWM0 period reload buffer approach rate 000: every $32 \times T_{\text{PWM}}$ increase/decrease by 1 001: every $64 \times T_{\text{PWM}}$ increase/decrease by 1 010: every $128 \times T_{\text{PWM}}$ increase/decrease by 1 011: every $256 \times T_{\text{PWM}}$ increase/decrease by 1 100: every $512 \times T_{\text{PWM}}$ increase/decrease by 1 101: every $1024 \times T_{\text{PWM}}$ increase/decrease by 1 110: every $2048 \times T_{\text{PWM}}$ increase/decrease by 1 111: every $4096 \times T_{\text{PWM}}$ increase/decrease by 1
A7h	PWMCON2	7~6	PWM0MOD	R/W	00	PWM0 mode select 0x: Normal mode 10: Half-bridge center align mode 11: Half-bridge left align mode
		5~4	PWM0OM	R/W	00	PWM0 output mode 00~11: Mode0~Mode3
		3~0	PWM0DZ	R/W	0h	PWM0 dead zone 0000: Disable 0001: $1 T_{\text{PWM}}$ 0010: $2 T_{\text{PWM}}$ 0011: $3 T_{\text{PWM}}$ 0100: $4 T_{\text{PWM}}$ 0101: $5 T_{\text{PWM}}$ 0110: $6 T_{\text{PWM}}$ 0111: $7 T_{\text{PWM}}$ 1000: $8 T_{\text{PWM}}$ 1001: $9 T_{\text{PWM}}$ 1010: $10 T_{\text{PWM}}$ 1011: $11 T_{\text{PWM}}$ 1100: $12 T_{\text{PWM}}$ 1101: $13 T_{\text{PWM}}$ 1110: $14 T_{\text{PWM}}$ 1111: $15 T_{\text{PWM}}$
A8h	IE	7	EA	R/W	0	Global interrupt enable 0: Disable all interrupts 1: Each interrupt is enabled or disabled by its individual interrupt control bit
		5	ET2	R/W	0	Timer2 interrupt enable 0: Disable Timer2 interrupt

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
						1: Enable Timer2 interrupt
		4	ES	R/W	0	Serial Port (UART) interrupt enable 0: Disable Serial Port (UART) interrupt 1: Enable Serial Port (UART) interrupt
		3	ET1	R/W	0	Timer1 interrupt enable 0: Disable Timer1 interrupt 1: Enable Timer1 interrupt
		2	EX1	R/W	0	INT1 pin Interrupt enable and Stop mode wake up enable 0: Disable INT1 pin Interrupt and Stop mode wake up 1: Enable INT1 pin Interrupt and Stop mode wake up, it can wake up CPU from Stop mode no matter EA is 0 or 1.
		1	ET0	R/W	0	Timer0 interrupt enable 0: Disable Timer0 interrupt 1: Enable Timer0 interrupt
		0	EX0	R/W	0	INT0 pin Interrupt enable and Stop mode wake up enable 0: Disable INT0 pin Interrupt and Stop mode wake up 1: Enable INT0 pin Interrupt and Stop mode wake up, it can wake up CPU from Stop mode no matter EA is 0 or 1.
A9h	INTE1	7	PWMIE	R/W	0	PWM0/PWM1 interrupt enable 0: Disable PWM0/PWM1 interrupt 1: Enable PWM0/PWM1 interrupt
		6	CMPIE	R/W	0	CMP1~5 interrupt enable 0: Disable CMP1~5 interrupt 1: Enable CMP1~5 interrupt
		5	PPGDIE	R/W	0	PPG/PPD interrupt enable 0: Disable PPG/PPD interrupt 1: Enable PPG/PPD interrupt
		4	I2CIE	R/W	0	Master/Slave I ² C interrupt enable 0: Disable Master I ² C interrupt 1: Enable Master I ² C interrupt
		3	ADIE	R/W	0	ADC interrupt enable 0: Disable ADC interrupt 1: Enable ADC interrupt
		2	PETMIE	R/W	0	PTM/ETM interrupt enable 0: Disable PTM/ETM interrupt 1: Enable PTM/ETM interrupt
		1	PXIE	R/W	0	Port1~3 pin change interrupt enable 0: Disable Port1~3 pin change interrupt 1: Enable Port1~3 pin change interrupt
		0	TM3IE	R/W	0	Timer3 interrupt enable 0: Disable Timer3 interrupt 1: Enable Timer3 interrupt
AAh	ADCDL	7~4	ADCDL	R	–	ADC data bit 3~0
ABh	ADCDH	7~0	ADCDH	R	–	ADC data bit 11~4
ACh	SIRCD1	7~0	SIRCD1	R	–	Slave IIC data receive register (DATA1)
ADh	SITXRCD2	7~0	SITXRCD2	R/W	–	Slave IIC transmit and receive data register Read: Slave IIC data receive register2 (DATA2) Write: Slave IIC data transmission register (TXD)
A Eh	CHSEL	7~3	ADCHS	R/W	1111	ADC channel select 00000: AD0 (P1.0) 10000: AD16 (P1.5) 00001: AD1 (P1.6) 10001: AD17 (P1.1) 00010: AD2 (P3.2) 10010: V _{SSA}

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
						00011: AD3 (P3.4) 10011: V _{SSA} 00100: AD4 (P2.1) 10100: V _{SS} 00101: AD5 (P3.3) 10101: V _{SS} 00110: AD6 (P1.2) 10110: V _{SS} 00111: AD7 (P3.0) 10111: V _{SS} 01000: AD8 (P3.7) 11000: V _{SS} 01001: AD9 (P3.1) 11001: V _{SS} 01010: AD10 (P3.5) 11010: V _{SS} 01011: AD11 (P2.0) 11011: V _{SS} 01100: AD12 (P3.6) 11100: VBG 01101: AD13 (P1.7) 11101: V _{SS} 01110: AD14 (P1.3) 11110: OPOUT 01111: AD15 (P1.4) 11111: V _{CC} /201
		2	ADCVREFS	R/W	0	ADC reference voltage 0: V _{CC} 1: VBG
		1~0	VBGSEL	R/W	00	VBG voltage select, when ADCVREFS is selected as VBG, VBGSEL is prohibited from using 1.20V. 00: 1.2V 01: 2.0V 10: 3.0V 11: 4.0V
AFh	UARTBRP	7~0	UARTBRP	R/W	00h	Define UART Baud Rate Prescaler UART Baud Rate = F _{SYSClk} /16/UARTBRP
B0h	P3	7~0	P3	R/W	FFh	Port3 data
B1h	PPGCON0	7	PPGEN	R/W	0	PPG output enable Single pulse mode Write “1” to generate a single pulse. This bit is cleared automatically by H/W when PPGTMR time up. Synchronous mode When this bit is set, PPG module generates a pulse for each CMP1 trigger event.
		6	RLDM	R/W	0	PPG reload mode 0: Direct reload, working buffer synchronizes with reload buffer 1: Approach mode, working buffer approach to reload buffer gradually at certain rate
		4	PPGM	R/W	0	PPG output mode 0: Single pulse mode 1: Synchronous mode
		3	PPGCKS	R/W	0	PPG module clock source select 0: FRC 1: FRCx2
		0	SYNEDG	R/W	0	CMP1 synchronous event trigger edge select 0: Falling-edge trigger 1: Rising-edge trigger
B2h	PPGCON1	7~5	APPRATE	R/W	00	PPG reload buffer approach rate (Synchronous mode only) 000: every 128xT _{PPG} increase/decrease by 1 001: every 256xT _{PPG} increase/decrease by 1 010: every 384xT _{PPG} increase/decrease by 1 011: every 512xT _{PPG} increase/decrease by 1 100: every 768xT _{PPG} increase/decrease by 1 101: every 1024xT _{PPG} increase/decrease by 1 110: every 1280xT _{PPG} increase/decrease by 1 111: every 1536xT _{PPG} increase/decrease by 1

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
		4~3	DECM	R/W	00	PPG pulse width decrement mode (Synchronous mode only) 0x: No decrement but clear PPGEN and stop PPG output when CMP2 event triggered 10: Constant step decrement 11: Variable step decrement
		2~0	DECSTEP	R/W	000	PPG pulse width decrement step (Synchronous mode only) Constant step 000~111: decrease by 1~8 Variable step: decrease by 1 + ($T_{CMP2}/T_{PPG} \times bSTEP$) 000~011: bSTEP = 64, 32, 16, 8 100~111: bSTEP = 8
B3h	PPGRLDL	7~0	PPGRLDL	R/W	0	PPG reload buffer bit 7~0
B4h	PPGLCON	7~6	PPGLM	R/W	00	PPGL output mode 00: PPGL step output active low 01: PPGL step output active high 10: PPGL force output low 11: PPGL force output high
		5~0	PPGLCT	R/W	00h	PPGL step output pulse width control PPGL pulse width = $(PPGLCT + 32) \times T_{PPG}$
B5h	CMPCON	4	CMP5PFH	R/W	0	CMP5 output polarity to event qualify by H/W 0: S/W (by CMP5PF) 1: H/W (sync. with ETM_CNT)
		3	CMP5PF	R/W	0	CMP5 output polarity to event qualify 0: no inverse 1: inverse
		2	CMP4PF	R/W	0	CMP4 output polarity to event qualify 0: no inverse 1: inverse
		1	CMP3PF	R/W	0	CMP3 output polarity to event qualify 0: no inverse 1: inverse
		0	CMP2PF	R/W	0	CMP2 output polarity to event qualify 0: no inverse 1: inverse
B6h	PPGTML	7~0	PPGTML	R	00h	PPG timer bit 7~0
B7h	PPGTMH	7~4	PPGRLDH	R/W	0h	PPG reload buffer bit 11~8
		3~0	PPGTMH	R	0h	PPG timer bit 11~8
B8h	IP	5	PT2	R/W	0	Timer2 interrupt priority low bit
		4	PS	R/W	0	Serial Port interrupt priority low bit
		3	PT1	R/W	0	Timer1 interrupt priority low bit
		2	PX1	R/W	0	INT1 interrupt priority low bit
		1	PT0	R/W	0	Timer0 interrupt priority low bit
		0	PX0	R/W	0	INT0 interrupt priority low bit
B9h	IPH	5	PT2H	R/W	0	Timer2 interrupt priority high bit
		4	PSH	R/W	0	Serial Port interrupt priority high bit
		3	PT1H	R/W	0	Timer1 interrupt priority high bit
		2	PX1H	R/W	0	INT1 interrupt priority high bit
		1	PT0H	R/W	0	Timer0 interrupt priority high bit
		0	PX0H	R/W	0	INT0 interrupt priority high bit

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
BAh	IP1	7	PPWM	R/W	0	PWM0/PWM1 interrupt priority low bit
		6	PCMP	R/W	0	CMP1~5 interrupt priority low bit
		5	PPPGD	R/W	0	PPG/PPD interrupt priority low bit
		4	PI2C	R/W	0	Master/Slave I ² C interrupt priority low bit
		3	PADI	R/W	0	ADC interrupt priority low bit
		2	PPETM	R/W	0	PTM/ETM interrupt priority low bit
		1	PPX	R/W	0	Port1~3 pin change interrupt priority low bit
		0	PT3	R/W	0	Timer3 interrupt priority low bit
BBh	IP1H	7	PPWMH	R/W	0	PWM0/PWM1 interrupt priority high bit
		6	PCMPH	R/W	0	CMP1~5 interrupt priority high bit
		5	PPPGDH	R/W	0	PPG/PPD interrupt priority high bit
		4	PI2CH	R/W	0	Master/Slave I ² C interrupt priority high bit
		3	PADIH	R/W	0	ADC interrupt priority high bit
		2	PPETMH	R/W	0	PTM/ETM interrupt priority high bit
		1	PPXH	R/W	0	Port1~3 interrupt priority high bit
		0	PT3H	R/W	0	Timer3 interrupt priority high bit
BCh	SIADR	7~1	SA	R/W	64h	Slave IIC address assigned
		0	SIEN	R/W	0	Slave IIC enable 0: Disable 1: Enable
BDh	SICON	7	MIIE	R/W	0	Master IIC interrupt enable 0: Disable 1: Enable
		6	TXDIE	R/W	0	Slave IIC transmission completed interrupt enable 0: Disable 1: Enable
		5	RCD2IE	R/W	0	Slave IIC DATA2 (SITXRCD2) reception completed interrupt enable 0: Disable 1: Enable
		4	RCD1IE	R/W	0	Slave IIC DATA1 (SIRCD1) reception completed interrupt enable 0: Disable 1: Enable
		2	TXDF	R/W	1	Slave IIC transmission completed interrupt flag 0: write 0 to clear it 1: Set by H/W when Slave IIC transmission completed
		1	RCD2F	R/W	0	Slave IIC DATA2 (SITXRCD2) reception completed interrupt flag 0: write 0 to clear it 1: Set by H/W when Slave IIC DATA2 (SITXRCD2) reception completed
		0	RCD1F	R/W	0	Slave IIC DATA1 (SIRCD1) reception completed interrupt flag 0: write 0 to clear it 1: Set by H/W when Slave IIC DATA1(SIRCD1) reception completed
BEh	CMP25CON	7	CMP5EN	R/W	0	CMP5 enable 0: CMP5 disable 1: CMP5 enable
		6	CMP5HYS	R/W	0	CMP5 hysteresis enable 0: Disable CMP5 hysteresis

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
						1: Enable CMP5 hysteresis
		5	CMP4EN	R/W	0	CMP4 enable 0: CMP4 disable 1: CMP4 enable
		4	CMP4HYS	R/W	0	CMP4 hysteresis enable 0: Disable CMP4 hysteresis 1: Enable CMP4 hysteresis
		3	CMP3EN	R/W	0	CMP3 enable 0: CMP3 disable 1: CMP3 enable
		2	CMP3HYS	R/W	0	CMP3 hysteresis enable 0: Disable CMP3 hysteresis 1: Enable CMP3 hysteresis
		1	CMP2EN	R/W	0	CMP2 enable 0: CMP2 disable 1: CMP2 enable
		0	CMP2HYS	R/W	0	CMP2 hysteresis enable 0: Disable CMP2 hysteresis 1: Enable CMP2 hysteresis
BFh	CMPEQI	7	CMP5EQIE	R/W	0	CMP5 qualified interrupt enable 0: Disable CMP5EQ interrupt 1: Enable CMP5EQ interrupt
		6	CMP4EQIE	R/W	0	CMP4 qualified interrupt enable 0: Disable CMP4EQ interrupt 1: Enable CMP4EQ interrupt
		5	CMP3EQIE	R/W	0	CMP3 qualified interrupt enable 0: Disable CMP3EQ interrupt 1: Enable CMP3EQ interrupt
		4	CMP2EQIE	R/W	0	CMP2 qualified interrupt enable 0: Disable CMP2EQ interrupt 1: Enable CMP2EQ interrupt
		3	CMP5EQIF	R/W	0	CMP5 qualified event interrupt flag Set by H/W while CMP5 qualified event occurred. Write "0" to this bit will clear this flag.
		2	CMP4EQIF	R/W	0	CMP4 qualified event interrupt flag Set by H/W while CMP4 qualified event occurred. Write "0" to this bit will clear this flag.
		1	CMP3EQIF	R/W	0	CMP3 qualified event interrupt flag Set by H/W while CMP3 qualified event occurred. Write "0" to this bit will clear this flag.
		0	CMP2EQIF	R/W	0	CMP2 qualified event interrupt flag Set by H/W while CMP2 qualified event occurred. Write "0" to this bit will clear this flag.
C1h	CMP1CON	7	CMP1EN	R/W	0	CMP1 enable 0: CMP1 disable 1: CMP1 enable
		6	CMP1HYS	R/W	0	CMP1 hysteresis enable 0: Disable CMP1 hysteresis 1: Enable CMP1 hysteresis
		5	CMP1DBOP	R/W	0	CMP1 debounce output to timer1 polarity select 0: no inverse 1: inverse
		4~0	SYNDBT	R/W	00h	PPG synchronuous mode CMP1 output debounce time Debounce time: SYNDBT*T _{PPG} If SYNDBT=0, CMP1 output is directly bypassed to

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
						output of debounce circuit
C2h	CMP2VRF	7~0	CMP2VRF	R/W	00h	CMP2 reference level select 00h~FFh: $0V \sim (255/256) * V_{CC}$ Reference level = $(1/256) * CMP2VRF * V_{CC}$
C3h	CMP3VRF	7~0	CMP3VRF	R/W	00h	CMP3 reference level select 00h~FFh: $0V \sim (255/256) * V_{CC}$ Reference level = $(1/256) * CMP3VRF * V_{CC}$
C4h	CMP4VRF	7~0	CMP4VRF	R/W	00h	CMP4 reference level select 00h~FFh: $0V \sim (255/256) * V_{CC}$ Reference level = $(1/256) * CMP4VRF * V_{CC}$
C5h	CMP5VRF	7~0	CMP5VRF	R/W	00h	CMP5 reference level select 00h~FFh: $0V \sim (255/256) * V_{CC}$ Reference level = $(1/256) * CMP5VRF * V_{CC}$
C6h	CMP23EQ	7	CMP3EDS	R/W	0	CMP3 event detect select 0: always detect 1: detect during PPG output active
		6~4	CMP3EQ	R/W	111	CMP3 output low event qualification 000~111: 1, 2, 4, 8, 16, 32, 64, 128 * T_{PPG}
		2~0	CMP2EQ	R/W	111	CMP2 output falling event qualification 000~111: 1, 2, 4, 8, 16, 32, 64, 128 consecutive falling events
C7h	CMP45EQ	7	DAC5SEL	R/W	0	DAC5 reference level source select 0: from CMP5VRF 1: sync. with ETMDT
		6~4	CMP5EQ	R/W	111	CMP5 output low event qualification 000~111: 1, 2, 4, 8, 16, 32, 64, 128 * T_{SYSCLK}
		2~0	CMP4EQ	R/W	111	CMP4 output low event qualification 000~111: 1, 2, 4, 8, 16, 32, 64, 128 * T_{PPG}
C8h	T2CON	7	TF2	R/W	0	Timer2 overflow flag Set by H/W when Timer/Counter 2 overflows unless RCLK=1 or TCLK=1. This bit must be cleared by S/W.
		6	EXF2	R/W	0	T2EX interrupt pin falling edge flag Set when a capture or a reload is caused by a negative transition on T2EX pin if EXEN2=1. This bit must be cleared by S/W.
		5	RCLK	R/W	0	UART receive clock control bit 0: Use Timer1 overflow as receive clock for serial port in mode 1 or 3 1: Use Timer2 overflow as receive clock for serial port in mode 1 or 3
		4	TCLK	R/W	0	UART transmit clock control bit 0: Use Timer1 overflow as transmit clock for serial port in mode 1 or 3 1: Use Timer2 overflow as transmit clock for serial port in mode 1 or 3
		3	EXEN2	R/W	0	T2EX pin enable 0: T2EX pin disable 1: T2EX pin enable, it cause a capture or reload when a negative transition on T2EX pin is detected if RCLK=TCLK=0
		2	TR2	R/W	0	Timer2 run control 0: Timer2 stops 1: Timer2 runs
		1	CT2N	R/W	0	Timer2 Counter/Timer select bit 0: Timer mode, Timer2 data increases at 2 System clock

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
						cycle rate 1: Counter mode, Timer2 data increases at T2 pin's negative edge
		0	CPRL2N	R/W	0	Timer2 Capture/Reload control bit 0: Reload mode, auto-reload on Timer2 overflows or negative transitions on T2EX pin if EXEN2=1 1: Capture mode, capture on negative transitions on T2EX pin if EXEN2=1 If RCLK=1 or TCLK=1, CPRL2N is ignored and timer is forced to auto-reload on Timer2 overflow
C9h	IAPCON	7~0	IAPCON	W	–	Write A1h to set INFOWE control flag; Write other value to clear INFOWE flag. It is recommended to clear it immediately after IAP write.
		6	IAPTO	R	0	IAP write time-out flag Set by H/W when IAP write time-out occurs. Cleared by H/W when INFOWE=0.
		4	INFOWE	R	0	Flag indicates Info ROM memory can be written or not 0: Info ROM write disable 1: Info ROM write enable
CAh	RCP2L	7~0	RCP2L	R/W	00h	Timer2 reload/capture data low byte
CBh	RCP2H	7~0	RCP2H	R/W	00h	Timer2 reload/capture data high byte
CCh	TL2	7~0	TL2	R/W	00h	Timer2 data low byte
CDh	TH2	7~0	TH2	R/W	00h	Timer2 data high byte
CEh	EXA2	7~0	EXA2	R/W	00h	Extra ACC for 32/16 bit division operation
CFh	EXA3	7~0	EXA3	R/W	00h	Extra ACC for 32/16 bit division operation
D0h	PSW	7	CY	R/W	0	ALU carry flag
		6	AC	R/W	0	ALU auxiliary carry flag
		5	F0	R/W	0	General purpose user-definable flag
		4	RS1	R/W	0	The contents of (RS1, RS0) enable the working register banks as: 00: Bank 0 (00h~07h) 01: Bank 1 (08h~0Fh) 10: Bank 2 (10h~17h) 11: Bank 3 (18h~1Fh)
		3	RS0	R/W	0	
		2	OV	R/W	0	ALU overflow flag
		1	F1	R/W	0	General purpose user-definable flag
		0	P	R/W	0	Parity flag. Set/cleared by hardware each instruction cycle to indicate odd/even number of “one” bits in the accumulator.
D1h	PWM0DH	7~0	PWM0DH	R/W	00h	PWM0 duty bit 15~8
D2h	PWM0DL	7~0	PWM0DL	R/W	00h	PWM0 duty bit 7~0
D3h	PWM1DH	7~0	PWM1DH	R/W	00h	PWM1 duty bit 15~8
D4h	PWM1DL	7~0	PWM1DL	R/W	00h	PWM1 duty bit 7~0
D5h	CERA	7~0	CERA	R/W	00h	ETM comparator A match data
D6h	CERB	7~0	CERB	R/W	00h	ETM comparator B match data
D7	CMPIEDG	4	CMP5EDG	R/W	0	CMP5 interrupt trigger edge 0: Falling edge 1: Rising edge
		3	CMP4EDG	R/W	0	CMP4 interrupt trigger edge 0: Falling edge 1: Rising edge
		2	CMP3EDG	R/W	0	CMP3 interrupt trigger edge

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
						0: Falling edge 1: Rising edge
		1	CMP2EDG	R/W	0	CMP2 interrupt trigger edge 0: Falling edge 1: Rising edge
		0	CMP1EDG	R/W	0	CMP1 interrupt trigger edge 0: Falling edge 1: Rising edge
D8h	CLKCON	5	STPSCK	R/W	0	Set 1 to stop Slow clock in Stop Mode
		4	STPPCK	R/W	0	Set 1 to stop UART/Timer0/Timer1/Timer2/ADC clock in Idle mode
		3	STPFCK	R/W	0	Set 1 to stop Fast clock for power saving in Slow / Idle mode. This bit can be changed only in Slow mode.
		2	SELFCK	R/W	0	System clock source selection. This bit can be changed only when STPFCK=0. 0: Slow clock 1: Fast clock
		1~0	CLKPSC	R/W	11	System clock prescaler. 00: System clock is Fast/Slow clock divided by 16 01: System clock is Fast/Slow clock divided by 4 10: System clock is Fast/Slow clock divided by 2 11: System clock is Fast/Slow clock divided by 1
D9h	PWM0PRDH	7~0	PWM0PRDH	R/W	FFh	PWM0 period bit 15~8
DAh	PWM0PRDL	7~0	PWM0PRDL	R/W	FFh	PWM0 period bit 7~0
DBh	PWM1PRDH	7~0	PWM1PRDH	R/W	FFh	PWM1 period bit 15~8
DCh	PWM1PRDL	7~0	PWM1PRDL	R/W	FFh	PWM1 period bit 7~0
DDh	CERC	7~0	CERC	R/W	00h	ETM comparator C match data
DEh	CERD	7~0	CERD	R/W	00h	ETM comparator D match data
DFh	CERE	7~0	CERE	R/W	00h	ETM comparator E match data
E0h	ACC	7~0	ACC	R/W	00h	Accumulator
E1h	MICON	7	MIEN	R/W	0	Master IIC enable 0: Master IIC disable 1: Master IIC enable
		6	MIACKO	R/W	0	When Master IIC receive data, send acknowledge to IIC bus 0: ACK to slave device 1: NACK to slave device
		5	MIIF	R/W	0	Master IIC interrupt flag Set by H/W when Master IIC transmit or receive one byte complete. Write "0" to this bit will clear this flag.
		4	MIACKI	R	–	When Master IIC transmission, acknowledgement from IIC bus (read only) 0: ACK received 1: NACK received
		3	MISTART	R/W	0	Master IIC start bit
		2	MISTOP	R/W	1	Master IIC stop bit
		1~0	MICR	R/W	00	Master IIC clock frequency selection 00: F _{SYSClk} /4 01: F _{SYSClk} /16 10: F _{SYSClk} /64 11: F _{SYSClk} /256
E2h	MIDAT	7~0	MIDAT	R/W	–	Master IIC data shift register W: After start and before stop condition, write this

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
						register will resume transmission to IIC bus R: After start and before stop condition, read this register will resume receiving from IIC bus
E3h	PPGCON2	4	PPGHW	R/W	0	PPG H/W mode, active while PPGM=1 and RLDM=0 0: Disable 1: Enable
		3	CMP5PPGEN	R/W	0	PPG increment/decrement while CMP5 event qualified enable 0: Disable 1: Enable
		2~0	CMP5PPG	R/W	000	PPG increment/decrement while CMP5 event qualified 000~111: +1~+8 if ETMCMS=1, -1~-8 if ETMCMS=0
E4h	SYNDLY	5~0	SYNDLY	R/W	00h	PPG output delay time (Synchronous mode only) The PPG output delay time is calculated as following equation Delay time = SYNDLY * T _{PPG}
E5h	LVRCON	5	PORPD	R/W	0	POR power down 0: POR enable 1: POR disable
		4	LVRPD	R/W	0	LVR power down 0: LVR enable 1: LVR disable
		3~0	LVRSEL	R/W	0h	LVR level select 0000: LVR level is 2.52V 0001: LVR level is 2.65V 0010: LVR level is 2.76V 0011: LVR level is 2.89V 0100: LVR level is 3.02V 0101: LVR level is 3.15V 0110: LVR level is 3.27V 0111: LVR level is 3.40V 1000: LVR level is 3.53V 1001: LVR level is 3.65V 1010: LVR level is 3.77V 1011: LVR level is 3.89V 1100: LVR level is 4.03V 1101: LVR level is 4.15V 1110: LVR level is 4.28V 1111: LVR level is 4.41V
E6h	EXA	7~0	EXA	R/W	00h	Extra ACC for 16 bits mul/div operation
E7h	EXB	7~0	EXB	R/W	00h	Extra B for 16 bits mul/div operation
E9h	CMP1CAL	7	CMP1O	R	–	CMP1 output status 0: V _{IN+} < V _{IN-} or CMP1 disable 1: V _{IN+} > V _{IN-}
		6	CMP1MOD	R/W	0	CMP1 operating mode select 0: Normal mode 1: Calibration mode
		5	CMP1CTS	R/W	0	CMP1 calibration terminal select 0: Select inverting input 1: Select non-inverting input
		4~0	CMP1ADJ	R/W	0Fh	CMP1 offset voltage adjust 00000~11111: -V _{OS_MAX} ~ +V _{OS_MAX}
EAh	CMP2CAL	7	CMP2O	R	–	CMP2 output status 0: V _{IN+} < V _{IN-} or CMP2 disable 1: V _{IN+} > V _{IN-}

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
		6	CMP2MOD	R/W	0	CMP2 operating mode select 0: Normal mode 1: Calibration mode
		5	CMP2CTS	R/W	0	CMP2 calibration terminal select 0: Select inverting input 1: Select non-inverting input
		4~0	CMP2ADJ	R/W	0Fh	CMP2 offset voltage adjust 00000~11111: $-V_{OS_MAX} \sim +V_{OS_MAX}$
EBh	CMP3CAL	7	CMP3O	R	–	CMP3 output status 0: $V_{IN+} < V_{IN-}$ or CMP3 disable 1: $V_{IN+} > V_{IN-}$
		6	CMP3MOD	R/W	0	CMP3 operating mode select 0: Normal mode 1: Calibration mode
		5	CMP3CTS	R/W	0	CMP3 calibration terminal select 0: Select inverting input 1: Select non-inverting input
		4~0	CMP3ADJ	R/W	0Fh	CMP3 offset voltage adjust 00000~11111: $-V_{OS_MAX} \sim +V_{OS_MAX}$
ECh	CMP4CAL	7	CMP4O	R	–	CMP4 output status 0: $V_{IN+} < V_{IN-}$ or CMP4 disable 1: $V_{IN+} > V_{IN-}$
		6	CMP4MOD	R/W	0	CMP4 operating mode select 0: Normal mode 1: Calibration mode
		5	CMP4CTS	R/W	0	CMP4 calibration terminal select 0: Select inverting input 1: Select non-inverting input
		4~0	CMP4ADJ	R/W	0Fh	CMP4 offset voltage adjust 00000~11111: $-V_{OS_MAX} \sim +V_{OS_MAX}$
EDh	CMP5CAL	7	CMP5O	R	–	CMP5 output status 0: $V_{IN+} < V_{IN-}$ or CMP5 disable 1: $V_{IN+} > V_{IN-}$
		6	CMP5MOD	R/W	0	CMP5 operating mode select 0: Normal mode 1: Calibration mode
		5	CMP5CTS	R/W	0	CMP5 calibration terminal select 0: Select inverting input 1: Select non-inverting input
		4~0	CMP5ADJ	R/W	0Fh	CMP5 offset voltage adjust 00000~11111: $-V_{OS_MAX} \sim +V_{OS_MAX}$
EEh	OPCON	7	OPAEN	R/W	0	OPamp enable 0: OPamp disable 1: OPamp enable
		6	OPORS	R/W	0	OPamp output serial resistor select 0: 1K ohm 1: 10K ohm
		5	OPNS	R/W	0	OPamp negative input pin select 0: P1.1 1: P1.6
		4~3	OPFUNC	R/W	00	OPamp function select Normal mode 00: [IP] OPP, [IN] VSS with inter-gain 01: [IP] VSS, [IN] OPN with inter-gain 10: [IP] VSS with 1KR, [IN] OPN with inter-gain

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
						11: [IP] OPP, [IN] OPN Calibration mode 00: [IP] Vtrim, [IN] Vtrim (Vtrim = VSS or VBG, defined by CVRFS) 01: [IP] VSS, [IN] VSS with inter-gain 10: [IP] VSS with 1KR, [IN] VSS with inter-gain 11: [IP] OPP, [IN] OPN
		2~0	OPGAIN	R/W	000	OPAm internal gain select 000~111: 20X, 25X, 30X, 35X, 100X, 105X, 110X, 115X
EFh	OPCAL	7	OPOUT	R	–	OPAm output state in calibration mode (only OPAEN=1, OPMOD=1, OPFUNC=00, OPOE=1 and P1MOD0=0x) 0: $V_{IN+} < V_{IN-}$ 1: $V_{IN+} > V_{IN-}$
		6	OPMOD	R/W	0	OPAm operation mode select 0: Normal mode 1: Calibration mode
		5	CVRFS	R/W	0	Calibration mode reference level select 0: Select VSS 1: Select on-chip Bandgap reference voltage (VBG)
		4~0	OPADJ	R/W	–	OPAm offset voltage adjust (only OPAEN=1 and OPMOD=1 can be updated) 00000~11111: $-V_{OS_MAX} \sim +V_{OS_MAX}$ The offset voltage of devices has been calibrated before delivery. User can check the default (calibrated) value by reading this register before user's recalibrating process.
F0h	B	7~0	B	R/W	00h	B register
F1h	CRCDL	7~0	CRCDL	R/W	FFh	16-bit CRC data bit 7~0
F2h	CRCDH	7~0	CRCDH	R/W	FFh	16-bit CRC data bit 15~8
F3h	CRCIN	7~0	CRCIN	W	–	CRC input data
F5h	CFGGBG	3~0	BGTRIM	R/W	–	VBG trimming value
F6h	CFGWL	6~0	FRCF	R/W	–	FRC frequency adjustment 00h: lowest frequency 7Fh: highest frequency The frequency range is about 13MHz (FRCF=00h) to 22MHz (FRCF=7Fh) with approaching linearity. Due to the chip process issue, the frequency range is different between each chip.
F7h	AUX2	7~6	WDTE	R/W	00	Watchdog Timer Reset control 0x: Watchdog Timer Reset disable 10: Watchdog Timer Reset enable in Fast/Slow mode, disable in Idle/Stop mode 11: Watchdog Timer Reset always enable
		5	PWRSV	R/W	0	Set " to reduce the chip's power consumption at Idle and Stop mode
		4	VBGOUT	R/W	0	Bandgap voltage output control 0: P1.0 as normal I/O 1: Bandgap voltage output to P1.0 pin, with ADCHS = 11100b
		3	DIV32	R/W	0	Only active when MULDIV16=1 0: 16/16 division operation 1: 32/16 division operation
		2~1	IAPTE	R/W	11	IAP write watchdog timer enable 00: Disable 01: wait 0.8mS trigger watchdog time-out flag

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
F8h	AUX1					10: wait 3.1mS trigger watchdog time-out flag 11: wait 6.2mS trigger watchdog time-out flag
		0	MULDIV16	R/W	0	0: instruction MUL/DIV as 8*8, 8/8 operation 1: instruction MUL/DIV as 16*16, 16/16 or 32/16 operation
		7	CLRWDT	R/W	0	Set to clear WDT, H/W auto clear it after 2 clock cycles
		6	CLRTM3	R/W	0	Set to clear Timer3, H/W auto clear it after 2 clock cycles
		4	ADSOC	R/W	0	Start ADC conversion Set the ADSOC bit to start ADC conversion, and the ADSOC bit will be cleared by H/W at the end of conversion. S/W can also write 0 to clear this flag.
		3	CLRPWM0	R/W	1	PWM0 clear enable 0: PWM0 is running 1: PWM0 is cleared and held
		2	CLRPWM1	R/W	1	PWM1 clear enable 0: PWM1 is running 1: PWM1 is cleared and held
		1	T1SEL	R/W	0	Timer1 counter mode input select 0: P3.5 (T1) 1: SYNCNT (CMP1O debounced output)
		0	DPSEL	R/W	0	Active DPTR Select

XSFR

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
F008h	P1MODL	7~6	P1MOD3	R/W	01	P1.3 pin control
		5~4	P1MOD2	R/W	01	P1.2 pin control
		3~2	P1MOD1	R/W	01	P1.1 pin control
		1~0	P1MOD0	R/W	01	P1.0 pin control
F009h	P1MODH	7~6	P1MOD7	R/W	01	P1.7 pin control
		5~4	P1MOD6	R/W	01	P1.6 pin control
		3~2	P1MOD5	R/W	01	P1.5 pin control
		1~0	P1MOD4	R/W	01	P1.4 pin control
F00Ah	P1WKUP	7~0	P1WKUP	R/W	00h	P1.7~P1.0 pin individual Wake up/Interrupt enable control 0: Disable 1: Enable
F010h	P2MODL	3~2	P2MOD1	R/W	01	P2.1 pin control
		1~0	P2MOD0	R/W	01	P2.0 pin control
F012h	P2WKUP	1~0	P2WKUP	R/W	00	P2.1~P2.0 pin individual Wake up/Interrupt enable control 0: Disable 1: Enable
F018h	P3MODL	7~6	P3MOD3	R/W	01	P3.3 pin control
		5~4	P3MOD2	R/W	01	P3.2 pin control
		3~2	P3MOD1	R/W	01	P3.1 pin control
		1~0	P3MOD0	R/W	01	P3.0 pin control
F019h	P3MODH	7~6	P3MOD7	R/W	01	P3.7 pin control
		5~4	P3MOD6	R/W	01	P3.6 pin control
		3~2	P3MOD5	R/W	01	P3.5 pin control
		1~0	P3MOD4	R/W	01	P3.4 pin control
F01Ah	P3WKUP	7~0	P3WKUP	R/W	00h	P3.7~P3.0 pin individual Wake up/Interrupt enable control

SFR Adr	SFR Name	Bit #	Bit Name	R/W	Rst	Description
						0: Disable 1: Enable
F070h	PPGLIMLL	7~0	PPGLIMLL	R/W	00h	PPG lower limit bit 7~0
F071h	PPGLIMLH	3~0	PPGLIMLH	R/W	0h	PPG lower limit bit 11~8
F072h	PPGLIMHL	7~0	PPGLIMHL	R/W	FFh	PPG higher limit bit 7~0
F073h	PPGLIMHH	3~0	PPGLIMHH	R/W	Fh	PPG higher limit bit 11~8
F07Eh	EFTCON	7	EFT2CS	R/W	0	EFT2 detector enable 0: Disable 1: Enable
		6	EFT1CS	R/W	0	EFT1 detector enable 0: Disable 1: Enable
		5~4	EFT1S	R/W	00	EFT1 detector sensitivity adjustment
		3	EFTSLOW	R/W	0	Force SYSCLK to SLOWCLK while EFT detected 0: Disable 1: Enable
		0	CKHLDE	R/W	0	SYSCLK hold enable while EFT detected 0: Disable 1: Enable

Flash Adr	CFG Name	Bit #	Bit Name	Description
2FF9h	CFGOP	4~0	OPTRIM	OP-Amp offset voltage adjustment.
2FFBh	CFGGBG	4~0	BGTRIM	Bandgap voltage adjustment. VBG is trimmed to 1.20V in chip manufacturing. BGTRIM records the adjustment data.
2FFDh	CFGWL	6~0	FRCF	FRC frequency adjustment. FRC is trimmed to 16.5888 MHz in chip manufacturing. FRCF records the adjustment data.
2FFFh	CFGWH	7	PROT	Flash Memory Code Protect 0: Disable protect 1: Enable protect
		6	XRSTE	External Pin Reset control 0: Disable External Pin Reset 1: Enable External Pin Reset

指令系统

指令长度为 1、2 或 3 字节，列在下面的“字节”栏中。每条指令的执行需要 2~32 个系统时钟周期，列在下面的“周期”栏中。

ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
ADD A, Rn	Add register to A	1	2	28-2F
ADD A, dir	Add direct byte to A	2	2	25
ADD A, @Ri	Add indirect memory to A	1	2	26-27
ADD A, #data	Add immediate to A	2	2	24
ADDC A, Rn	Add register to A with carry	1	2	38-3F
ADDC A, dir	Add direct byte to A with carry	2	2	35
ADDC A, @Ri	Add indirect memory to A with carry	1	2	36-37
ADDC A, #data	Add immediate to A with carry	2	2	34
SUBB A, Rn	Subtract register from A with borrow	1	2	98-9F
SUBB A, dir	Subtract direct byte from A with borrow	2	2	95
SUBB A, @Ri	Subtract indirect memory from A with borrow	1	2	96-97
SUBB A, #data	Subtract immediate from A with borrow	2	2	94
INC A	Increment A	1	2	04
INC Rn	Increment register	1	2	08-0F
INC dir	Increment direct byte	2	2	05
INC @Ri	Increment indirect memory	1	2	06-07
DEC A	Decrement A	1	2	14
DEC Rn	Decrement register	1	2	18-1F
DEC dir	Decrement direct byte	2	2	15
DEC @Ri	Decrement indirect memory	1	2	16-17
INC DPTR	Increment data pointer	1	4	A3
MUL AB	Multiply A by B	1	8/16	A4
DIV AB	Divide A by B	1	8/16/32	84
DA A	Decimal Adjust A	1	2	D4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
ANL A, Rn	AND register to A	1	2	58-5F
ANL A, dir	AND direct byte to A	2	2	55
ANL A, @Ri	AND indirect memory to A	1	2	56-57
ANL A, #data	AND immediate to A	2	2	54
ANL dir, A	AND A to direct byte	2	2	52
ANL dir, #data	AND immediate to direct byte	3	4	53
ORL A, Rn	OR register to A	1	2	48-4F
ORL A, dir	OR direct byte to A	2	2	45
ORL A, @Ri	OR indirect memory to A	1	2	46-47
ORL A, #data	OR immediate to A	2	2	44
ORL dir, A	OR A to direct byte	2	2	42
ORL dir, #data	OR immediate to direct byte	3	4	43
XRL A, Rn	Exclusive-OR register to A	1	2	68-6F
XRL A, dir	Exclusive-OR direct byte to A	2	2	65
XRL A, @Ri	Exclusive-OR indirect memory to A	1	2	66-67
XRL A, #data	Exclusive-OR immediate to A	2	2	64
XRL dir, A	Exclusive-OR A to direct byte	2	2	62
XRL dir, #data	Exclusive-OR immediate to direct byte	3	4	63
CLR A	Clear A	1	2	E4
CPL A	Complement A	1	2	F4
SWAP A	Swap Nibbles of A	1	2	C4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
RL A	Rotate A left	1	2	23
RLC A	Rotate A left through carry	1	2	33
RR A	Rotate A right	1	2	03
RRC A	Rotate A right through carry	1	2	13

DATA TRANSFER				
Mnemonic	Description	byte	cycle	opcode
MOV A, Rn	Move register to A	1	2	E8-EF
MOV A, dir	Move direct byte to A	2	2	E5
MOV A, @Ri	Move indirect memory to A	1	2	E6-E7
MOV A, #data	Move immediate to A	2	2	74
MOV Rn, A	Move A to register	1	2	F8-FF
MOV Rn, dir	Move direct byte to register	2	4	A8-AF
MOV Rn, #data	Move immediate to register	2	2	78-7F
MOV dir, A	Move A to direct byte	2	2	F5
MOV dir, Rn	Move register to direct byte	2	4	88-8F
MOV dir, dir	Move direct byte to direct byte	3	4	85
MOV dir, @Ri	Move indirect memory to direct byte	2	4	86-87
MOV dir, #data	Move immediate to direct byte	3	4	75
MOV @Ri, A	Move A to indirect memory	1	2	F6-F7
MOV @Ri, dir	Move direct byte to indirect memory	2	4	A6-A7
MOV @Ri, #data	Move immediate to indirect memory	2	2	76-77
MOV DPTR, #data	Move immediate to data pointer	3	4	90
MOVC A, @A+DPTR	Move code byte relative DPTR to A	1	6	93
MOVC A, @A+PC	Move code byte relative PC to A	1	6	83
MOVX A, @Ri	Move external data (A8) to A	1	4/6	E2-E3
MOVX A, @DPTR	Move external data (A16) to A	1	4/6	E0
MOVX @Ri, A	Move A to external data (A8)	1	4/6	F2-F3
MOVX @DPTR, A	Move A to external data (A16)	1	4/6	F0
PUSH dir	Push direct byte onto stack	2	4	C0
POP dir	Pop direct byte from stack	2	4	D0
XCH A, Rn	Exchange A and register	1	2	C8-CF
XCH A, dir	Exchange A and direct byte	2	2	C5
XCH A, @Ri	Exchange A and indirect memory	1	2	C6-C7
XCHD A, @Ri	Exchange A and indirect memory nibble	1	2	D6-D7

BOOLEAN				
Mnemonic	Description	byte	cycle	opcode
CLR C	Clear carry	1	2	C3
CLR bit	Clear direct bit	2	2	C2
SETB C	Set carry	1	2	D3
SETB bit	Set direct bit	2	2	D2
CPL C	Complement carry	1	2	B3
CPL bit	Complement direct bit	2	2	B2
ANL C, bit	AND direct bit to carry	2	4	82
ANL C, /bit	AND direct bit inverse to carry	2	4	B0
ORL C, bit	OR direct bit to carry	2	4	72
ORL C, /bit	OR direct bit inverse to carry	2	4	A0
MOV C, bit	Move direct bit to carry	2	2	A2
MOV bit, C	Move carry to direct bit	2	4	92

BRANCHING				
Mnemonic	Description	byte	cycle	opcode
ACALL addr 11	Absolute jump to subroutine	2	6	11-F1
LCALL addr 16	Long jump to subroutine	3	6	12
RET	Return from subroutine	1	6	22
RETI	Return from interrupt	1	6	32
AJMP addr 11	Absolute jump unconditional	2	6	01-E1
LJMP addr 16	Long jump unconditional	3	6	02
SJMP rel	Short jump (relative address)	2	6	80
JC rel	Jump on carry=1	2	4/6	40
JNC rel	Jump on carry=0	2	4/6	50
JB bit, rel	Jump on direct bit=1	3	4/6	20
JNB bit, rel	Jump on direct bit=0	3	4/6	30
JBC bit, rel	Jump on direct bit=1 and clear	3	4/6	10
JMP @A+DPTR	Jump indirect relative DPTR	1	6	73
JZ rel	Jump on accumulator=0	2	4/6	60
JNZ rel	Jump on accumulator≠0	2	4/6	70
CJNE A, dir,rel	Compare A,direct, jump not equal relative	3	4/6	B5
CJNE A, #data, rel	Compare A,immediate, jump not equal relative	3	4/6	B4
CJNE Rn, #data, rel	Compare register,immediate, jump not equal relative	3	4/6	B8-BF
CJNE @Ri, #data, rel	Compare indirect,immediate, jump not equal relative	3	4/6	B6-B7
DJNZ Rn, rel	Decrement register, jump not zero relative	2	4/6	D8-DF
DJNZ dir, rel	Decrement direct byte, jump not zero relative	3	4/6	D5

MISCELLANEOUS				
Mnemonic	Description	byte	cycle	opcode
NOP	No operation	1	2	00

在上表中，E8-EF 这样的条目表示一个连续的十六进制操作码块，用于 8 个不同的寄存器，其寄存器号由相应代码的最低 3 位定义。非连续的代码块，如 11-F1 所示（例如），用于绝对跳转和调用，代码的前 3 位用于存储目的地址的前 3 位。

电气特性

1. 最大绝对额定值 ($T_A=25^{\circ}\text{C}$)

参数	额定值	单位
电源电压	$V_{SS}-0.3 \sim V_{SS}+5.5$	V
输入电压	$V_{SS}-0.3 \sim V_{CC}+0.3$	
输出电压	$V_{SS}-0.3 \sim V_{CC}+0.3$	
全部引脚高电位输出电流	-80	mA
全部引脚低电位输出电流	+150	
最大工作电压	5.5	V
工作温度	$-40 \sim +105$	$^{\circ}\text{C}$
储存温度	$-65 \sim +150$	

2. 直流特性 ($T_A=25^{\circ}\text{C}$, $V_{CC}=2.0\text{V} \sim 5.5\text{V}$)

参数	符号	条件	最小值	典型值	最大值	单位
工作电压	V_{CC}	快钟模式, $F_{SYSCLK}=16.5888\text{ MHz}$	2.0	—	5.5	V
输入高电压	V_{IH}	所有输入	$V_{CC}=5\text{V}$	0.7 V_{CC}	—	V
			$V_{CC}=3\text{V}$	0.7 V_{CC}	—	
输入低电压	V_{IL}	所有输入	$V_{CC}=5\text{V}$	—	0.3 V_{CC}	V
			$V_{CC}=3\text{V}$	—	0.3 V_{CC}	
I/O 端口 拉电流	I_{OH}	所有输出	$V_{CC}=5\text{V}$ $V_{OH}=0.9V_{CC}$	6	12	mA
			$V_{CC}=3\text{V}$ $V_{OH}=0.9V_{CC}$	2.5	5	
I/O 端口 灌电流	I_{OL}	所有输出	$V_{CC}=5\text{V}$ $V_{OL}=0.1V_{CC}$	21	42	mA
			$V_{CC}=3\text{V}$ $V_{OL}=0.1V_{CC}$	9	18	
电源电流	I_{DD}	快钟模式, $V_{CC}=5\text{V}$ LVR 启用	FRC=16.5888 MHz	—	7.3	mA
			FRC=8.2944 MHz	—	5.0	
		快钟模式, $V_{CC}=3\text{V}$ LVR 启用	FRC=16.5888 MHz	—	4.1	
			FRC=8.2944 MHz	—	2.8	
		慢钟模式 LVR 启用	SRC, $V_{CC}=5\text{V}$	—	1.5	μA
			SRC, $V_{CC}=3\text{V}$	—	1.0	
		空闲模式 PWRSAV=0	SRC, $V_{CC}=5\text{V}$	—	85	
			SRC, $V_{CC}=3\text{V}$	—	59	
		空闲模式 PWRSAV=1	SRC, $V_{CC}=5\text{V}$	—	18	
			SRC, $V_{CC}=3\text{V}$	—	8.5	
		暂停模式 PWRSAV=1	SRC, $V_{CC}=5\text{V}$	—	10	
			SRC, $V_{CC}=3\text{V}$	—	3.4	
		停止模式 PWRSAV=1	SRC, $V_{CC}=5\text{V}$	—	0.3	μA
			SRC, $V_{CC}=3\text{V}$	—	0.1	
上拉电阻	R_P	所有端口	$V_{CC}=5\text{V}$	—	32	$\text{K}\Omega$
			$V_{CC}=3\text{V}$	—	53	

3. 时钟时序 ($T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$, $V_{CC} = 3.0\text{V} \sim 5.5\text{V}$)

参数	条件	最小值	典型值	最大值	单位
FRC 频率	25°C , $V_{CC} = 5.0\text{V}$	-1%	16.5888	+1%	MHz
	$-20^{\circ}\text{C} \sim 105^{\circ}\text{C}$, $V_{CC} = 5.0\text{V}$	-1.5%	16.5888	+1.5%	
	$-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$, $V_{CC} = 3.0 \sim 5.5\text{V}$	-3.5%	16.5888	+3.5%	
SRC 频率	$V_{CC} = 5.0\text{V}$	-	137	-	KHz
	$V_{CC} = 3.0\text{V}$	-	111	-	

4. 复位时序特性 ($T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$, $V_{CC} = 3.0\text{V} \sim 5.0\text{V}$)

参数	条件	最小值	典型值	最大值	单位
RESET 输入低宽度	Input $V_{CC} = 5.0\text{V} \pm 10\%$	15	-	-	μs
WDT 唤醒时间	$V_{CC} = 5.0\text{V}$, WDT_PSC=11	-	60	-	ms
	$V_{CC} = 3.0\text{V}$, WDT_PSC=11	-	74	-	
CPU 启动时间	$V_{CC} = 5.0\text{V}$	-	27	-	ms

5. LVR 电路特性 ($T_A = 25^{\circ}\text{C}$)

参数	符号	条件	最小值	典型值	最大值	单位
LVR 参考电压	V_{LVR}	$T_A = 25^{\circ}\text{C}$	-	4.41	-	V
			-	4.28	-	
			-	4.15	-	
			-	4.03	-	
			-	3.89	-	
			-	3.77	-	
			-	3.65	-	
			-	3.53	-	
			-	3.40	-	
			-	3.27	-	
			-	3.15	-	
			-	3.02	-	
			-	2.89	-	
			-	2.76	-	
			-	2.65	-	
			-	2.52	-	
LVR 滞后电压	V_{HYST}	$T_A = 25^{\circ}\text{C}$	-	20	-	mV
低电压检测时间	t_{LVR}	$T_A = 25^{\circ}\text{C}$	100	-	-	μs

6. ADC 电气特性 ($T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$, $V_{CC} = 3.0\text{V} \sim 5.5\text{V}$, $V_{SS} = 0\text{V}$)

参数	条件	最小值	典型值	最大值	单位
总绝对误差	$V_{CC} = 5.12\text{V}$, $V_{SS} = 0\text{V}$	—	± 2.5	± 4	LSB
积分非线性误差		—	± 3.2	± 5	
最大输入时钟 (F_{ADC})	信号驱动源阻抗($R_s < 5\text{K}\Omega$)	—	—	4.2	MHz
	信号驱动源阻抗($R_s < 10\text{K}\Omega$)	—	—	2.1	
	信号驱动源阻抗($R_s < 25\text{K}\Omega$)	—	—	1.1	
	信号来源为 V_{BG} (ADCHS=11100b)	—	—	2	
转换时间	$F_{ADC} = 1\text{MHz}$	—	21	—	μs
带隙基准电压源 (V_{BG})	—	$V_{CC} = 3.0\text{V} \sim 5.5\text{V}$ 25°C	-1.5%	1.20	V
		$V_{CC} = 3.0\text{V} \sim 5.5\text{V}$ $-40^{\circ}\text{C} \sim 105^{\circ}\text{C}$	-2.0%	1.20	
输入电压	—	V_{SS}	—	V_{CC}	V

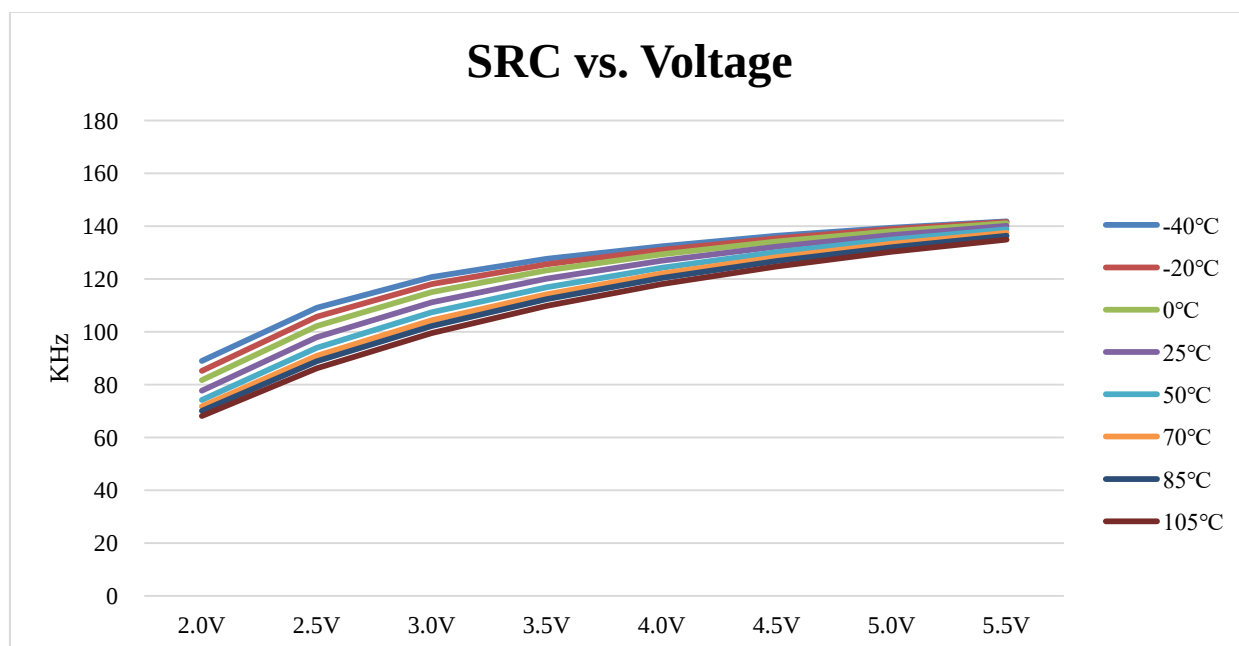
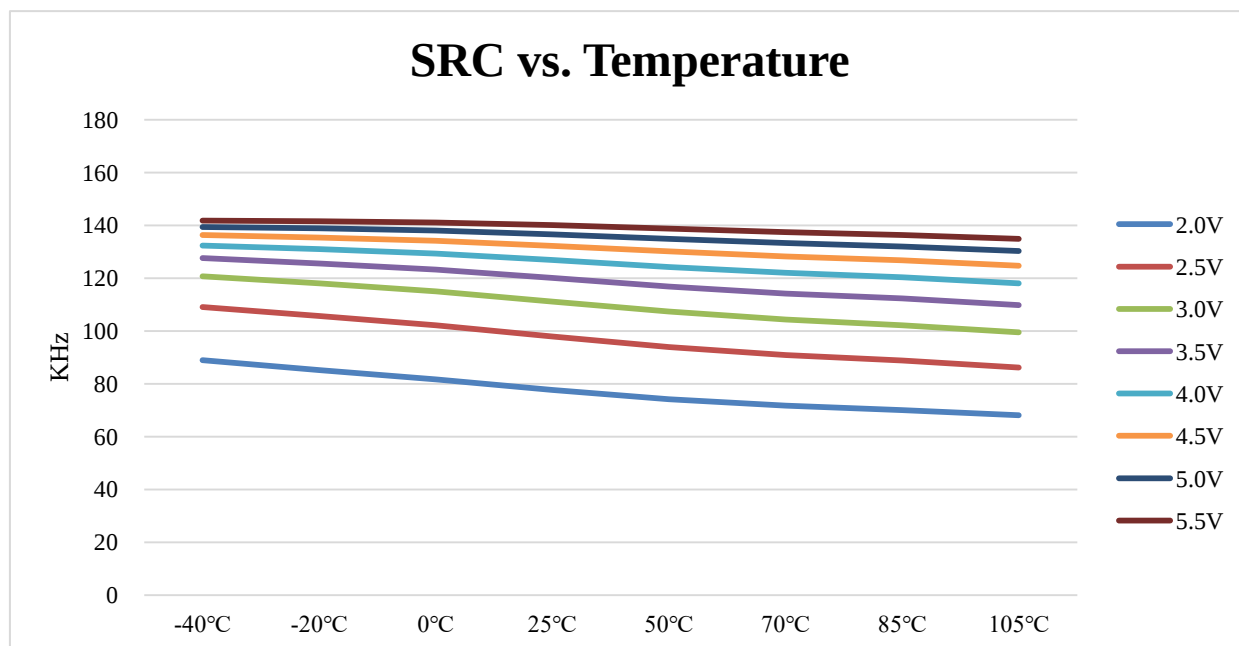
7. OPA 特性 ($T_A = 25^{\circ}\text{C}$, $V_{CC} = 2.2\text{V} \sim 5.5\text{V}$, $R_L = 1\text{M}\Omega$, $C_L = 100\text{pf}$)

符号	参数	测试条件	最小值	典型值	最大值	单位
V_{CC}	电源电压	—	2.2	—	5.5	V
V_{icm}	共模电压	—	0	—	$V_{CC} - 0.7$	V
V_{OS}	输入失调电压	$V_O = 2.0\text{V}$ 校准后	—	2	2.5	mV
$\Delta V_{OS} / \Delta T$	失调电压温漂	$V_O = 2.0\text{V}$ 校准后	—	2	8	$\mu\text{V}/^{\circ}\text{C}$
A_{VOL}	开环电压增益	$R_L = 1\text{M}\Omega$ $C_L = 100\text{pF}$ $V_i = 0.1$ to 4V $V_O = 1$ to 4V	—	90	—	dB
GBW	增益带宽	$R_L = 1\text{M}\Omega$ $C_L = 100\text{pF}$	—	2.1	—	MHz
CMRR	共模抑制率	$V_O = 2.0\text{V}$	—	80	—	dB
PSRR	电源抑制率	$V_O = 2.0\text{V}$	—	80	—	dB
I_{CC}	电源电流	$A_V = 1$ $V_O = 2.0\text{V}$ No load	—	300	—	μA
SR	转换速率	No load	—	1.4	—	$\text{V}/\mu\text{s}$
Φ_m	相位边限	$R_L = 1\text{M}\Omega$ $C_L = 60\text{pF}$	—	60	—	Degree
IOH	输出源电流	$V_{IN+} - V_{IN-} = V_{CC}$ $OPO > V_{CC}/2$ $V_{CC} = 5.0\text{V}$	—	10	—	mA
IOL	输出灌电流	$V_{IN-} - V_{IN+} = V_{CC}$ $OPO < V_{CC}/2$ $V_{CC} = 5.0\text{V}$	—	15	—	mA

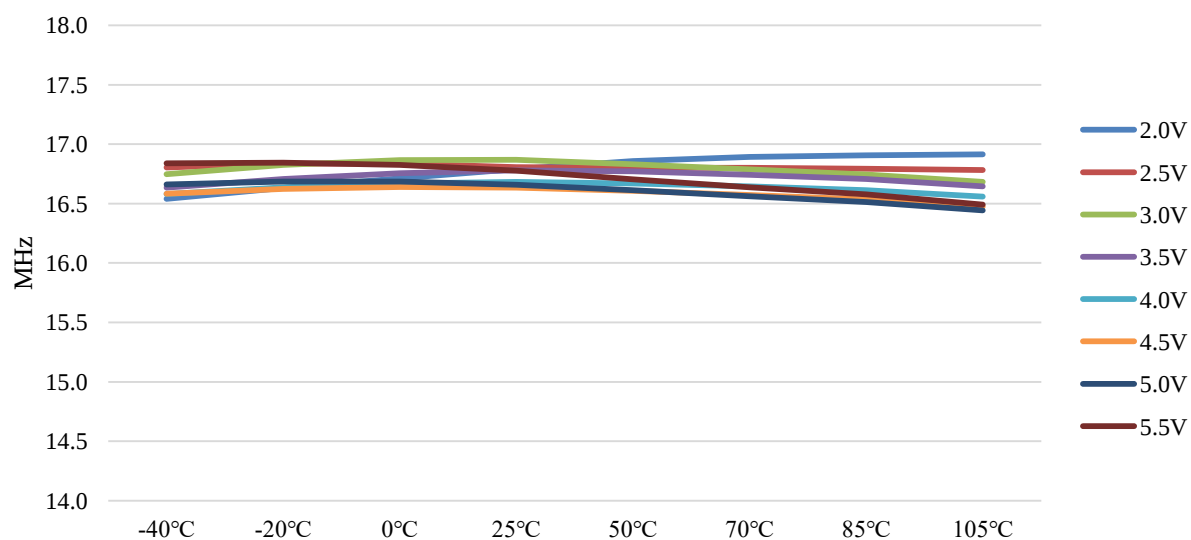
8. 模拟比较器特性 ($T_A=25^{\circ}\text{C}$, $V_{CC}=3.0\text{V} \sim 5.5\text{V}$)

符号	参数	测试条件	最小值	典型值	最大值	单位
V_{CC}	电源电压	—	3.0	—	5.5	V
V_{cm}	输入公共电压	—	0	—	$V_{CC}-1$	V
V_{OS}	输入偏移电压	校准前	-15	—	15	mV
		校准后	-2	—	2	
ΔV_{RF}	CMP2~CMP5 的变化 V^{IN+} 参考电压	$T_A = -40^{\circ}\text{C} \sim 105^{\circ}\text{C}$ $V_{CC} = 3.0 \sim 5.0\text{V}$	-5	—	+5	%
t_{PD}	响应时间	迟滞失效 10mV 输入超速	—	—	2	μs
V_{HYS}	磁滞电压	CMPxHYS=1	—	± 40	—	mV
I_{CC}	每个比较器的当前消耗	—	—	160	—	μA

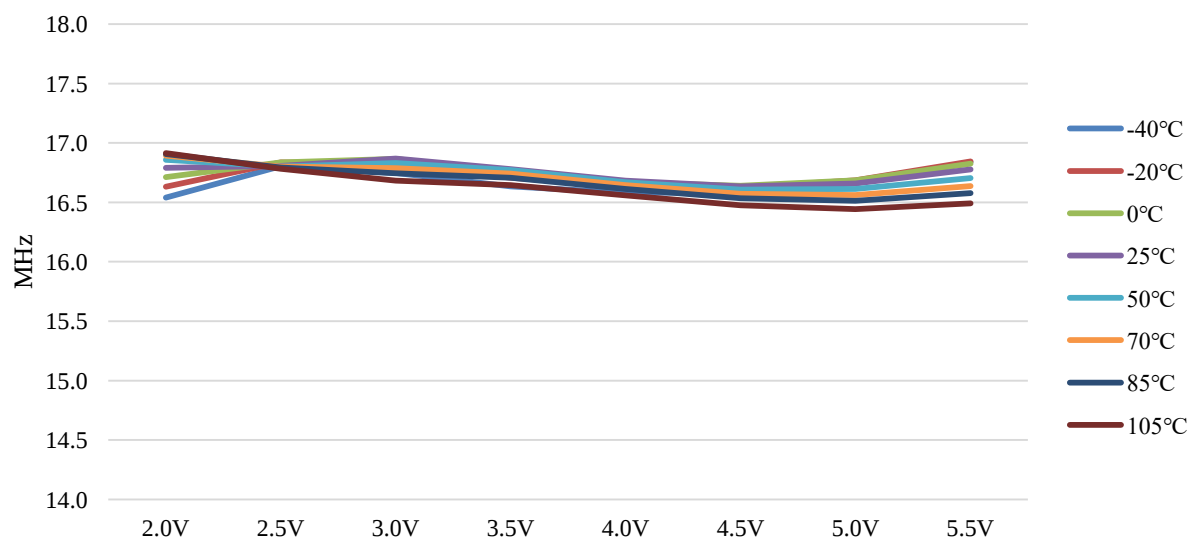
9. 特性曲线图

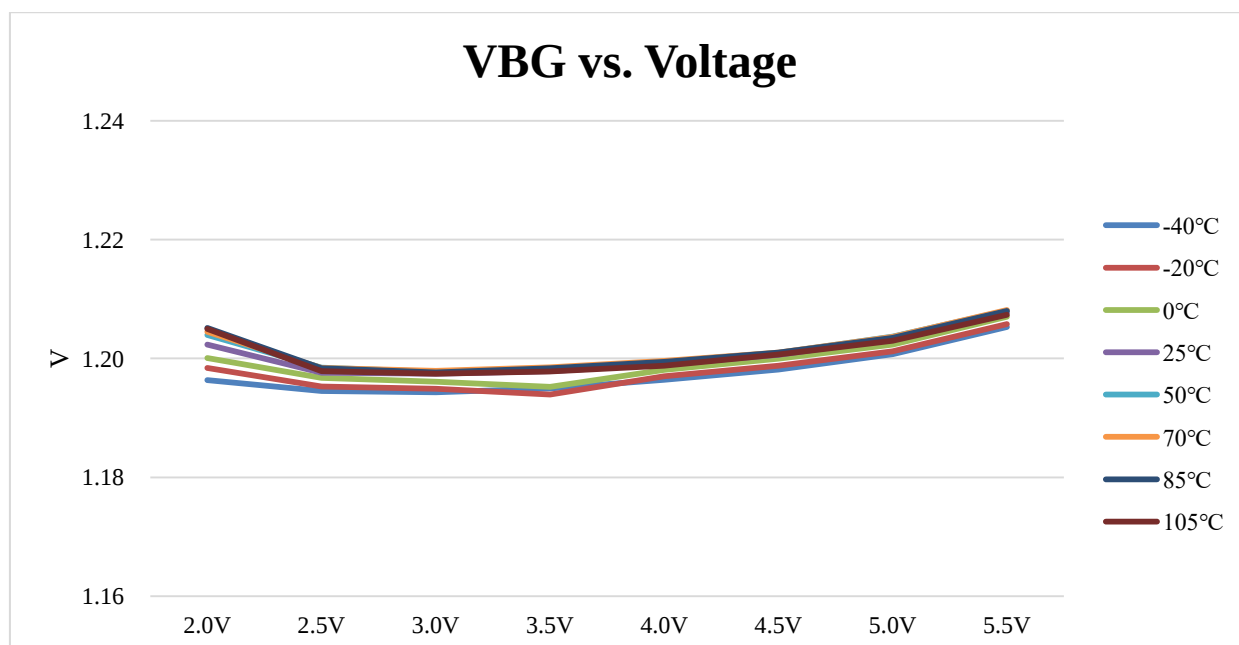
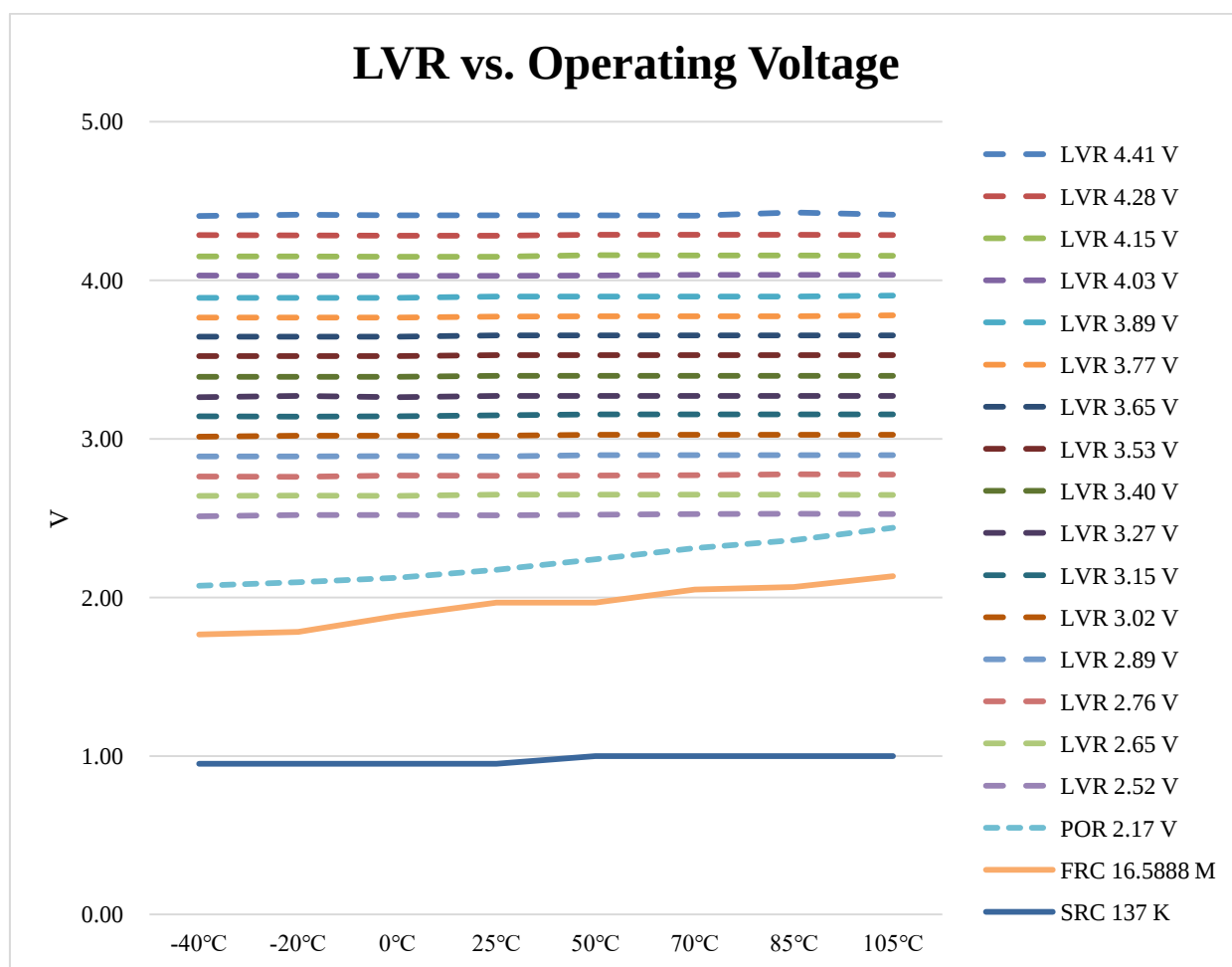


FRC vs. Temperature



FRC vs. Voltage





封装说明

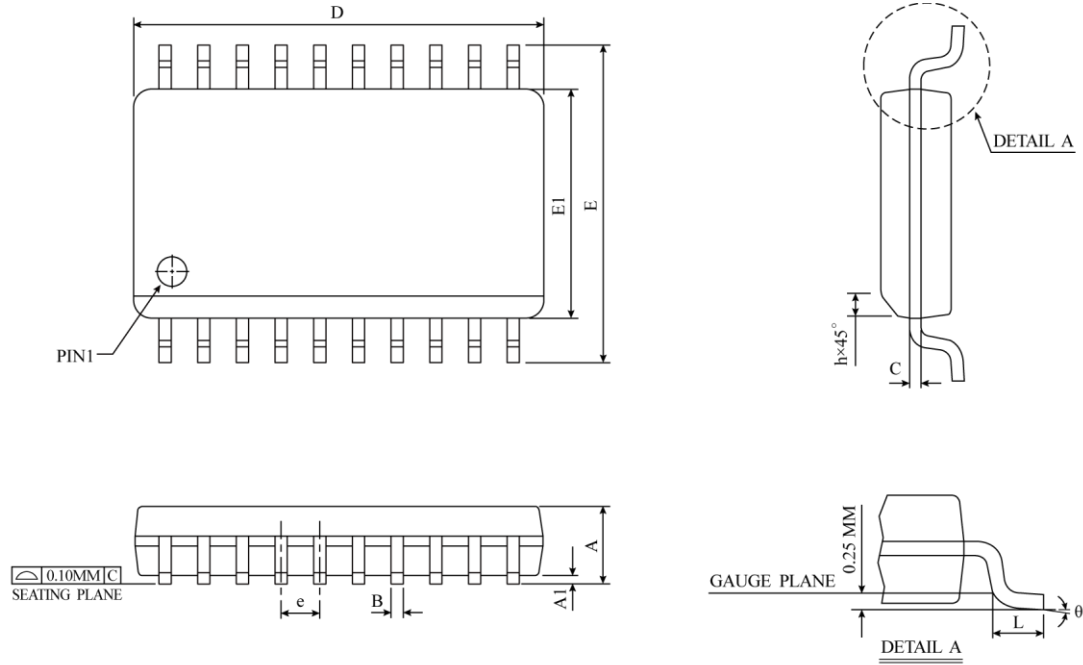
请注意，所提供的包装信息仅供参考。由于这些信息经常更新，用户可以联系销售部咨询最新的包装信息和库存情况。

订购信息

订购编号	包装
TM52F55A3-MTP	Wafer/Dice blank chip
TM52F55A3-COD	Wafer/Dice with code
TM52F55A33S	SOP 20-pin (300 mil)
TM52F55A32S	SOP 16-pin (150 mil)

包装信息

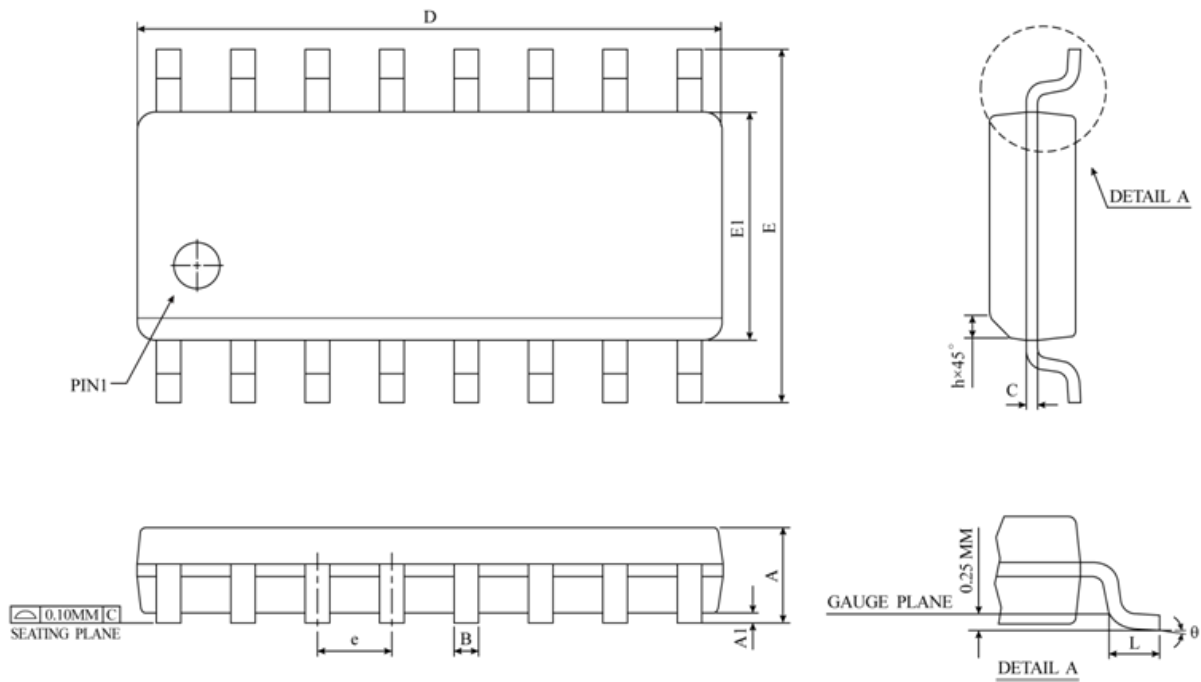
SOP 20-pin (300 mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.35	2.50	2.65	0.0926	0.0985	0.1043
A1	0.10	0.20	0.30	0.0040	0.0079	0.0118
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.23	0.28	0.32	0.0091	0.0108	0.0125
D	12.60	12.80	13.00	0.4961	0.5040	0.5118
E	10.00	10.33	10.65	0.3940	0.4425	0.4910
E1	7.40	7.50	7.60	0.2914	0.2953	0.2992
e	1.27 BSC			0.050 BSC		
h	0.25	0.50	0.75	0.0100	0.0195	0.0290
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-013 (AC)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

SOP 16-pin (150 mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.55	1.75	0.0532	0.0610	0.0688
A1	0.10	0.18	0.25	0.0040	0.0069	0.0098
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.19	0.22	0.25	0.0075	0.0087	0.0098
D	9.80	9.90	10.00	0.3859	0.3898	0.3937
E	5.80	6.00	6.20	0.2284	0.2362	0.2440
E1	3.80	3.90	4.00	0.1497	0.1536	0.1574
e	1.27 BSC			0.050 BSC		
h	0.25	0.38	0.50	0.0099	0.0148	0.0196
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-012 (AC)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.