



十速

TM52F5864

规格书

版本 1.2

(使用前请阅读第二页的注意事项)

hitenx reserves the right to change or discontinue the manual and online documentation to this product herein to improve reliability, function or design without further notice. **hitenx** does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. **hitenx** products are not designed, intended, or authorized for use in life support appliances, devices, or systems. If Buyer purchases or uses **hitenx** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **hitenx** and its officers, employees, subsidiaries, affiliates and distributors harmless against all claims, cost, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use even if such claim alleges that **hitenx** was negligent regarding the design or manufacture of the part.

使用注意事项

1. 如果INT0/INT1引脚是低电平且INT0/INT1唤醒功能启用，则芯片不能进入暂停/停止模式。
2. 如果需要使用LVR，建议在程序上电后先设置LVR (SFR LVRSEL)，然后再修改与引脚相关的默认值。

修改纪录

版次	生效日	修订内容概要
V1.0	Feb, 2025	新颁。
V1.1	Mar, 2025	一些错误修正。
V1.2	Jun, 2025	1.修正 QFN-32 引脚图 AD23、AD24 标示相反。 2.修改 SSOP-28 引脚图。 3.新增 LQFP-32、SSOP-24 引脚图。 4.移除 TSSOP-20 引脚图。 5.修正 ADC 电气特性。 6.其他一些错误修正。

目录

使用注意事项.....	2
修改纪录.....	3
概述.....	6
系统框图.....	6
基本功能.....	7
IC 引脚图	11
引脚描述.....	15
引脚汇总.....	16
功能描述.....	17
1. CPU 核心.....	17
1.1 累加器 (ACC).....	17
1.2 B 寄存器 (B).....	17
1.3 堆栈指针 (SP).....	18
1.4 数据指针 (DPTRs).....	18
1.5 程序状态字 (PSW).....	19
2. 存储器.....	20
2.1 程序存储器	20
2.2 EEPROM 数据存储器.....	24
2.3 EEPROM 操作注意事项.....	25
2.4 信息存储器	27
2.5 数据存储器	29
3. 低电压复位和低电压检测.....	31
4. 复位.....	35
4.1 上电复位 (POR).....	35
4.2 外部引脚复位 (XRST).....	35
4.3 软件复位 (SWRST).....	35
4.4 看门狗定时器复位 (WDTR).....	35
4.5 低电压复位 (LVR)	35
5. 时钟电路和工作模式.....	38
5.1 时钟电路	38
5.2 操作模式	40
6. 中断和唤醒.....	42
6.1 中断使能和优先级控制	43
6.2 子程序中断建议	43
6.3 引脚中断和 LVD 中断.....	46

6.4 空闲模式唤醒和中断	49
6.5 暂停/停止模式唤醒和中断	49
7. I/O 端口	51
7.1 端口 0~端口 3.....	51
8. 定时器.....	60
8.1 Timer0/1	60
8.2 Timer2	62
8.3 Timer3	64
9. UART.....	65
10. PWMs	67
10.1 PWM0	68
10.2 PWM1~PWM6.....	71
11. ADC	77
11.1 ADC 通道.....	78
11.2 ADC 转换时间.....	79
12. 比较器 (CMP)	81
13. S/W 控制的 LCD 驱动器	84
14. 通信格式波形发生器 (WG).....	86
15. 串行外设接口 (SPI).....	88
16. 主 I ² C 接口	93
17. 在线仿真器 (ICE) 模式	97
SFR & CFGW 映像	98
SFR & CFGW 说明	101
指令集.....	113
电器特性.....	116
1. 最大绝对额定值.....	116
2. DC 特性.....	116
3. 时钟时序.....	117
4. 复位时序特性.....	117
5. LVR 电路特性.....	117
6. LVD 电路特性	118
7. ADC 电气特性	118
8. 比较器特性.....	119
9. 特性曲线图.....	120
封装说明.....	125

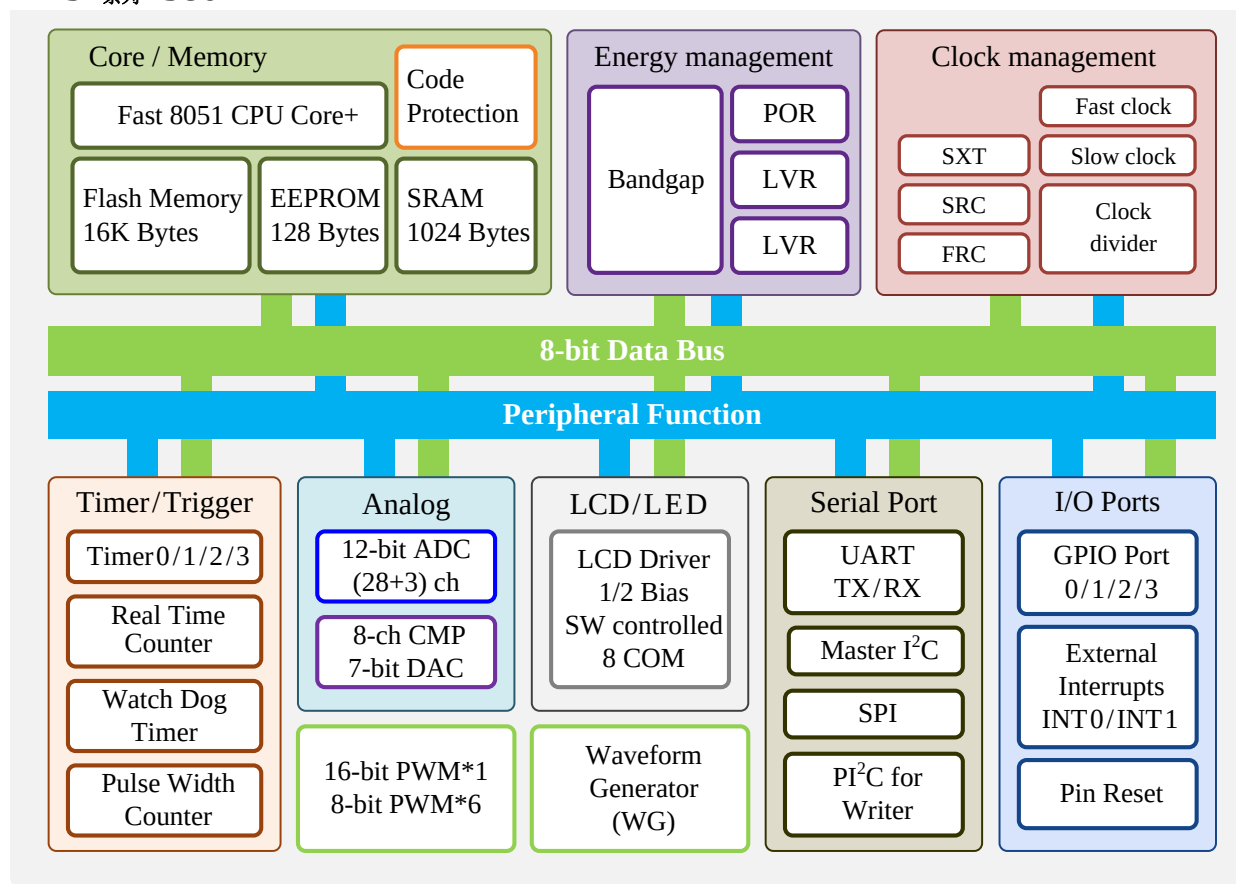
概述

TM52系列F5864 是一个新的，快速的8051架构，与业界标准8051指令集完全兼容的8位单片机。并保持了8051外围的功能模块。通常情况下，**TM52**执行指令，比传统的8051架构快六倍。

TM52F5864 通过集成多种功能在芯片上，提供更高的性能，更低的成本，能快速进入市场，包括 16K 字节的闪存 (Flash) 程序存储器，128 字节的 EEPROM 数据存储器，1024 字节 SRAM，低电压复位 (LVR)，低电压检测 (LVD)，双时钟省电工作模式和定时器 Timer0/Timer1/Timer2，实时计时器 Timer3，28+3 通道 12 位 A/D 转换器，1 组 16 位和 6 组 8 位脉冲宽度调制器 (PWM)，LED 通信格式波形发生器，S/W 控制 1/2 偏置 LCD COM，比较器与 7 位 D/A 转换器，UART 接口，主 I²C 接口，SPI 接口，和看门狗定时器 (WDT)。它的高可靠性和低功耗的特性，可广泛适用于消费电子产品。

系统框图

TM52系列F5864



基本功能

1. 标准 8051 指令集，快速的机器周期

- 指令执行比传统 8051 快六倍

2. Flash 程序存储器

- 16K 字节闪存程序存储器
- 支持 ICP (在线编程) 或 ISP (在系统编程) 的闪存程序码
- 在 IAP (在应用编程) 模式可以作为 EEPROM，以字节的方式存取
- 程序码保护功能
- 至少 1 万次的擦写次数
- 至少 10 年的数据保存时间

3. 128 字节 EEPROM 数据存储器

- 至少 5 万次的擦写次数
- 至少 10 年的数据保存时间

4. 总计 1024 字节 SRAM(IRAM+XRAM)

- 256 字节 IRAM 在 8051 内部数据存储器区
- 768 字节 XRAM 在 8051 外部数据存储区 (由 MOVX 指令存取)

5. 3 种系统时钟类型选择

- 快时钟使用内部 RC (FRC, 16.5888 MHz) (trim 7-bit)
- 慢时钟使用外部 32768 Hz 晶体 (SXT)
- 慢时钟使用内部 RC (SRC, 62 KHz)
- 系统时钟可以通过 1/2/4/16 选项除频

6. 8051 标准定时器 – Timer0/1/2

- 16 位 Timer0
- 16 位 Timer1
- 16 位 Timer2

7. 16 位 Timer3 时钟

- 时钟源为 SXT 或 SRC62K 或 FRC/512 (32.4KHz)
- 带高 8 位重载功能
- 具有清除和保持功能

8. UART

- 仅支持模式 1 和模式 3
- 具有额外波特率生成器
- 具有 UART 引脚选择选项

9. 主 I²C 接口

- 具有 I²C 引脚选择选项

10. SPI 接口

- 可选择主或从模式
- 可编程传输比特率
- 串行时钟相位和极性选项
- 可选择 MSB-first 或 LSB-first
- 具有 SPI 引脚选择选项

11. 1 个 16 位的 PWM 和 6 个 8 位的 PWM

【16 位 PWM0 P+N】

- 时钟源可选 FRC*2 (33.1776MHz), FRC (16.5888MHz), FRC/256 (62.5KHz), F_{SYSClk}
- 具有周期调整/缓冲加载/清除和保持功能
- 非重叠持续时间可调
- 半桥相控输出

【8 位 PWM1~6】

- 共享 PWM1 周期, 独立占空比
- 时钟源可选 FRC*2 (33.1776MHz), FRC (16.5888MHz), FRC/256 (62.5KHz), F_{SYSClk}
- 预分频器 1/2/4/8/16/32/64/128
- 具有周期调整/缓冲加载/清除和保持功能

12. LCD 驱动器

- 软件控制 LCDC0~LCDC7 (最多 8 引脚)
- 1/2 LCD 偏压

13. 12 位 ADC, 具有 28 个通道的外部引脚输入和 3 通道内部参考电压

- 通道可选内部基准电压源 (V_{BG}): 1.18V ± 1% @ V_{CC}=5V~3V, 25°C
- 通道可选内部参考电压: DAC 输出
- 通道可选内部参考电压: V_{CC}/4
- ADC 内部基准电压可选择 V_{CC} 或 V_{REF} (1.18V/2.0V/3.0V/4.0V)

14. 比较器

- 4 组正负端输入选择
- 带有 7 位 DAC 输出，用于比较器负端输入
- DAC 内部基准电压可选择 $V_{CC}/2$ 或 $V_{BG} 1.18V/2$

15. 通信格式波形发生器

- 1 组 1 字节通信格式波形发生器 WG
- 具有 WG 引脚选择选项

16. 14 来源，4 中断优先级

- Timer0/Timer1/Timer2/Timer3 中断
- INT0/INT1 引脚降边/低电平中断
- 端口 0/端口 1/端口 2/端口 3 引脚电平变化中断
- UART TX/RX 中断
- LVD 中断
- ADC 中断
- WG 中断
- 主 I²C/SPI 中断
- LVD 中断
- CMP 中断
- PWM0/PWM1 中断

17. 引脚中断能将 暂停/停止模式下的 CPU 唤醒

- 端口 0/端口 1/端口 2/端口 3 每个引脚可以定义为唤醒和中断引脚 (通过引脚电平变化)

18. 最大 30 可编程 I/O 引脚

- CMOS 推挽输出
- 伪开漏或开漏输出
- 施密特触发输入
- 引脚上拉可以使能/禁止

19. 独立的 RC 振荡看门狗定时器

- 528ms/264ms/132ms/66ms 可选择的看门狗超时选项

20. 5 种复位

- 上电复位 POR1.60V
- 可选的外部引脚复位
- 可选的看门狗复位
- 软件命令复位
- 可选的低电压复位

21. 16 级低电压或高电压复位 (LVR)

- 1.70V / 1.85V / 2.00V / 2.15V / 2.30V / 2.45V / 2.60V / 2.75V / 2.90V / 3.05V / 3.20V / 3.35V / 3.50V / 3.65V / 3.80V / 3.95V (阶=0.15V)

22. 16 级低电压检测 (LVD)

- 1.85V / 2.00V / 2.15V / 2.30V / 2.45V / 2.60V / 2.75V / 2.90V / 3.05V / 3.20V / 3.35V / 3.50V / 3.65V / 3.80V / 3.95V / 4.15V (阶=0.15V)

23. 5 种电源工作模式

- 快钟模式/慢钟模式/空闲模式/暂停模式/停止模式

24. 工作电压和电流

- $V_{CC} = 1.9V \sim 5.5V$
- 工作模式 8.2944MHz , $I_{CC} = 3.7mA@5V$
- 工作模式 16.5888MHz , $I_{CC} = 5.4mA@5V$
- 停止模式 $I_{CC} = 0.6\mu A@5V$ (*POR1.60V 永远开启)
- 暂停模式 $I_{CC} = 7.3\mu A @5V$
- 空闲模式 $I_{CC} = 11\mu A @5V$
- 工作温度范围 $-40^{\circ}C \sim +105^{\circ}C$

25. 烧录接口

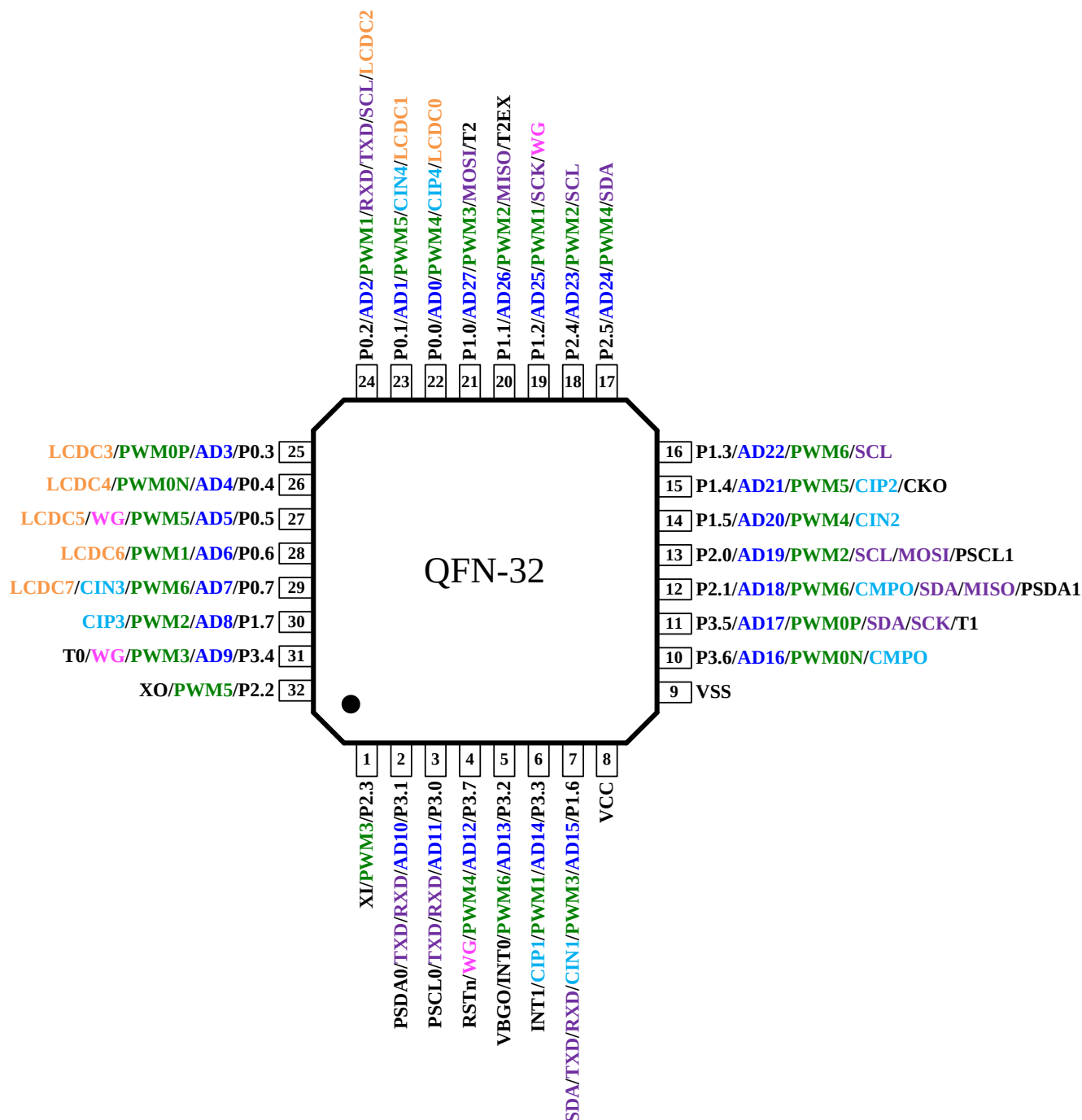
- 使用 P3.0/P3.1, P2.0/P2.1 引脚进行烧录

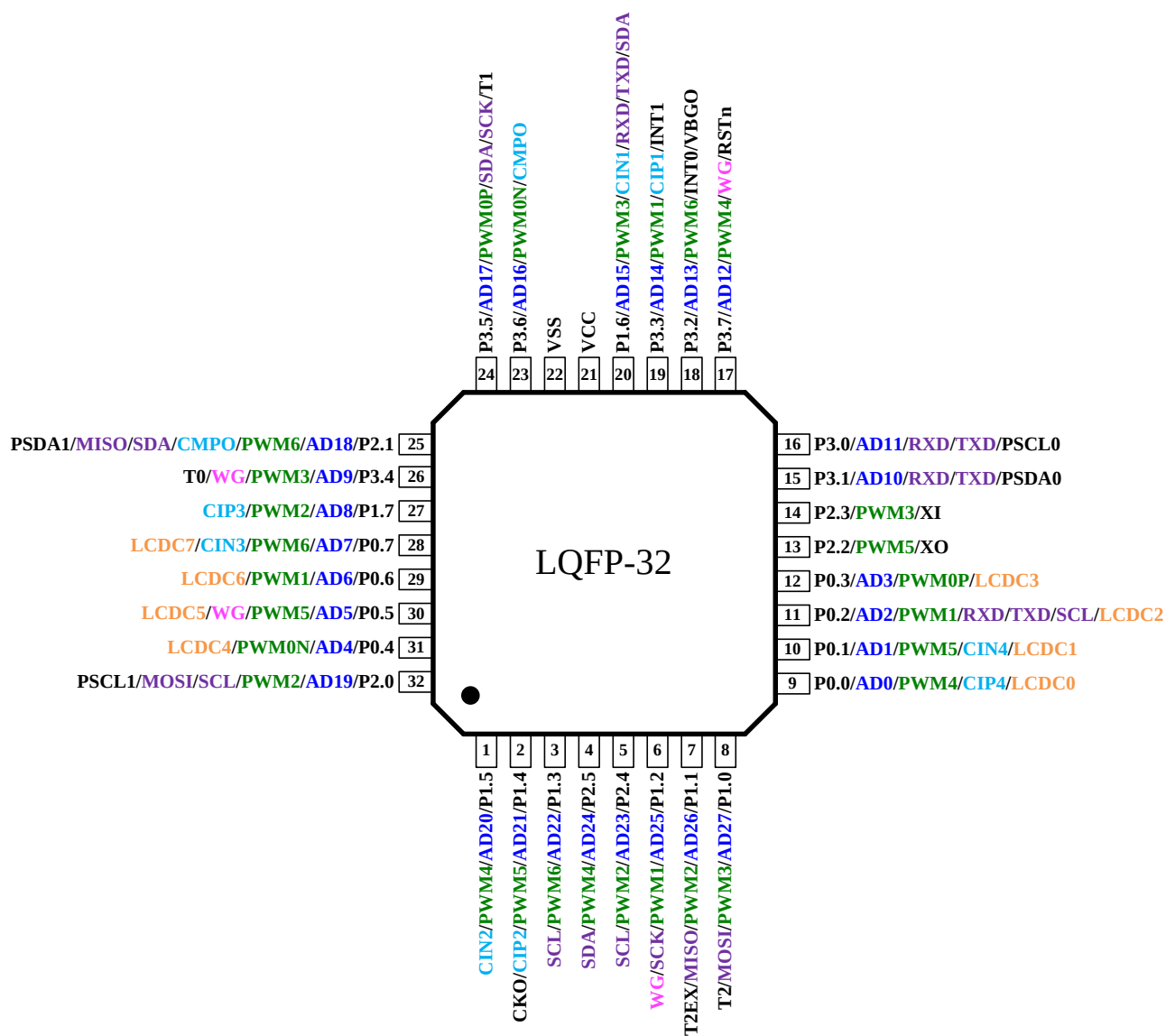
26. 封装类型

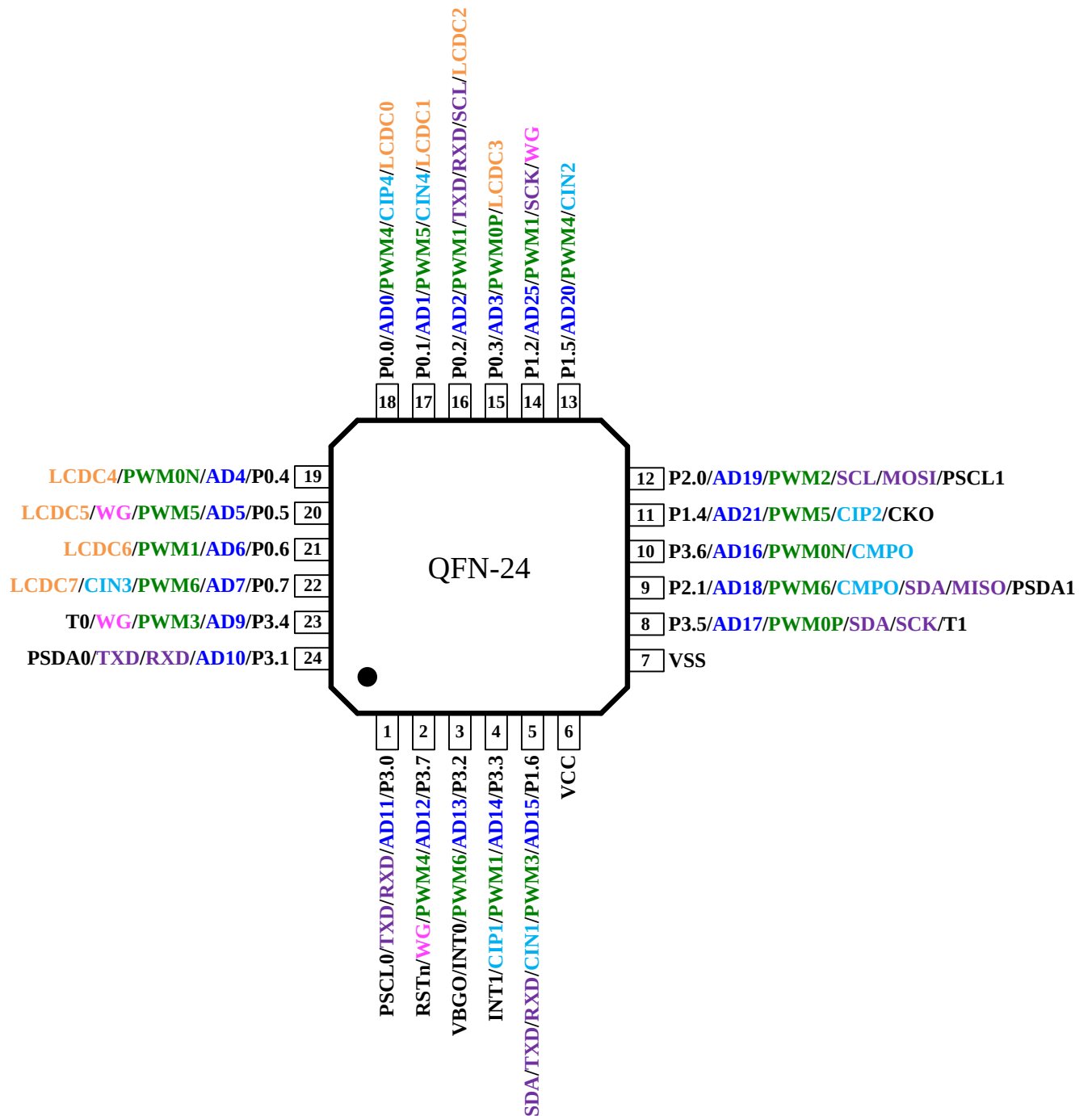
- 32-pin QFN (4x4x0.75-0.4 mm)
- 32-pin LQFP (7x7x1.4 mm)
- 24-pin QFN (3x3x0.75-0.35 mm)
- 28-pin SSOP (150mil)
- 24-pin SSOP (150 mil)

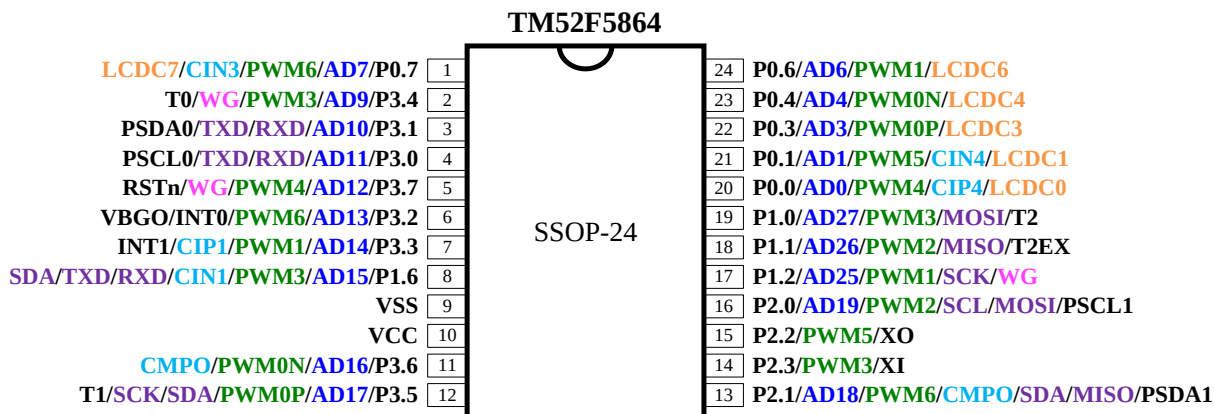
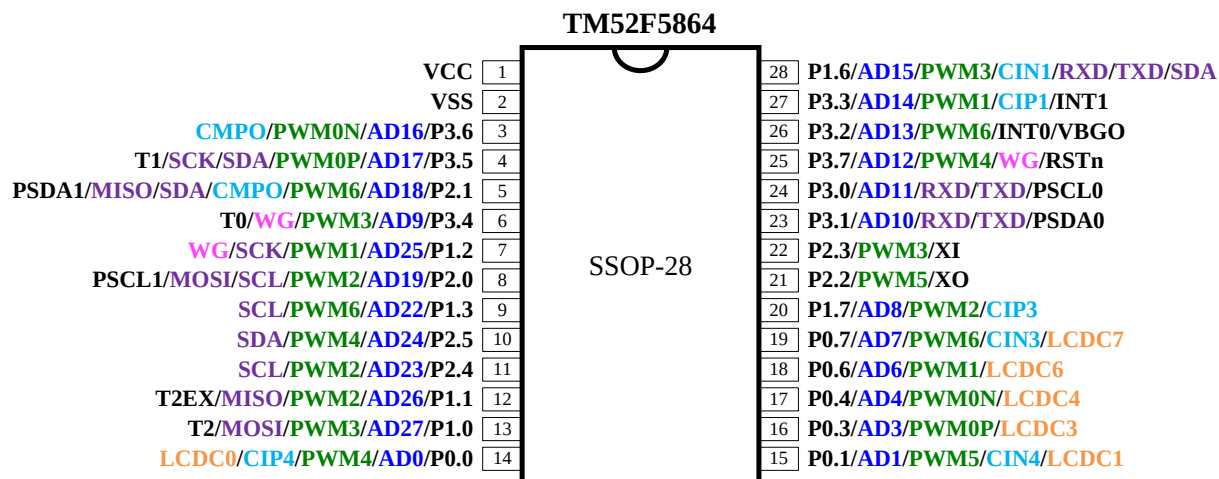
IC 引脚图

低耗电应用，所有数字I/O (包含未出脚或未使用) 避免设置高阻态。









引脚描述

引脚名称	输入/输出	引脚描述
P3.0~P3.7 P2.0~P2.5 P1.0~P1.7 P0.0~P0.7	I/O	位编程输入/输出端口，可施密特触发输入，CMOS 推挽输出或开漏输出。上拉电阻是由软件分配。 这些引脚的电平变化可以唤醒 CPU 的空闲/暂停/停止模式。
INT0, INT1	I	外部低电平或下降沿中断输入，空闲/暂停/停止模式唤醒输入
T0, T1, T2	I	Timer0, Timer1, Timer2 事件计数引脚输入
T2EX	I	Timer2 外部触发输入
CKO	O	系统时钟除以 2 输出
VBGO	O	带隙基准电压输出
PWM0N, PWM0P	O	16 位 PWM 死区互补输出
PWM1~PWM6	O	8 位 PWM 输出与 PWM1 共享周期
AD0~AD27	O	ADC 连接引脚
LCDC0~LCDC7	O	LCD COM 1/2 V _{CC} 偏压输出
CIN1~4	I	比较器负端输入
CIP1~4	I	比较器正端输入
CMPO	O	比较器输出
WG	O	级联输出
RXD	I	UART 模式 1/模式 3 接收数据
TXD	O	UART 模式 1/模式 3 发送数据
SCK	I/O	用于主机的 SPI 时钟输出或用于从机模式的时钟输入
MISO	I/O	SPI 数据输入用于主模式，数据输出用于从模式
MOSI	I/O	SPI 数据输出用于主机模式，数据输入用于从机模式
SCL	I/O	主 I ² C SCL
SDA	I/O	主 I ² C SDA
PSCL0, PSCL1	I/O	I ² C SCL 烧录脚
PSDA0, PSDA1	I/O	I ² C SDA 烧录脚
RSTn	I	外部低有效复位输入，固定上拉电阻
XI, XO	I	晶振接口
VCC, VSS	P	电源输入引脚和地

引脚汇总

引脚编号					引脚名称	类型	初始状态	输入			输出		交替功能										其它
QFN-32	LQFP-32	QFN-24	SSOP-28	SSOP-24				上拉电阻	唤醒	外部中断	推挽	开漏	ADC	PWM	LCD	比较器	级联输出	UART	主I ² C	SPI	定时器		
1	14	–	22	14	XI/PWM3/P2.3	I/O	Hi-Z	●	●	●	●	●	●	●									Crystal
2	15	24	23	3	PSDA0/TXD/RXD/AD10/P3.1	I/O	Hi-Z	●	●	●	●	●	●				●						PSDA
3	16	1	24	4	PSCL0/TXD/RXD/AD11/P3.0	I/O	Hi-Z	●	●	●	●	●	●				●						PSCL
4	17	2	25	5	RSTn/WG/PWM4/AD12/P3.7	I/O	Hi-Z	●	●	●	●	●	●			●							Reset
5	18	3	26	6	VBGO/INT0/PWM6/AD13/P3.2	I/O	Hi-Z	●	●	●	●	●	●										VBGO
6	19	4	27	7	INT1/CIP1/PWM1/AD14/P3.3	I/O	Hi-Z	●	●	●	●	●	●		●								
7	20	5	28	8	SDA/TXD/RXD/CIN1/PWM3/AD15/P1.6	I/O	Hi-Z	●	●	●	●	●	●		●		●	●					
8	21	6	1	10	VCC	P																	
9	22	7	2	9	VSS	P																	
10	23	10	3	11	CMPO/PWM0N/AD16/P3.6	I/O	Hi-Z	●	●	●	●	●	●		●								
11	24	8	4	12	T1/SCK/SDA/PWM0P/AD17/P3.5	I/O	Hi-Z	●	●	●	●	●	●				●	●	●				
12	25	9	5	13	PSDA1/MISO/SDA/CMPO/PWM6/AD18/P2.1	I/O	Hi-Z	●	●	●	●	●	●		●			●	●				PSDA
13	32	12	8	16	PSCL1/MOSI/SCL/PWM2/AD19/P2.0	I/O	Hi-Z	●	●	●	●	●	●				●	●					PSCL
14	1	13	–	–	CIN2/PWM4/AD20/P1.5	I/O	Hi-Z	●	●	●	●	●	●		●								
15	2	–	–	–	CKO/CIP2/PWM5/AD21/P1.4	I/O	Hi-Z	●	●	●	●	●	●		●								CKO
16	3	–	9	–	SCL/PWM6/AD22/P1.3	I/O	Hi-Z	●	●	●	●	●	●					●					
17	4	–	10	–	SDA/PWM4/AD24/P2.5	I/O	Hi-Z	●	●	●	●	●	●					●					
18	5	–	11	–	SCL/PWM2/AD23/P2.4	I/O	Hi-Z	●	●	●	●	●	●					●					
19	6	14	7	17	WG/SCK/PWM1/AD25/P1.2	I/O	Hi-Z	●	●	●	●	●	●			●			●				
20	7	–	12	18	T2EX/MISO/PWM2/AD26/P1.1	I/O	Hi-Z	●	●	●	●	●	●						●	●			
21	8	–	13	19	T2/MOSI/PWM3/AD27/P1.0	I/O	Hi-Z	●	●	●	●	●	●						●	●			
22	9	18	14	20	LCDC0/CIP4/PWM4/AD0/P0.0	I/O	Hi-Z	●	●	●	●	●	●	●	●								
23	10	17	15	21	LCDC1/CIN4/PWM5/AD1/P0.1	I/O	Hi-Z	●	●	●	●	●	●	●	●								
24	11	16	–	–	LCDC2/SCL/TXD/RXD/PWM1/AD2/P0.2	I/O	Hi-Z	●	●	●	●	●	●	●			●	●					
25	12	15	16	22	LCDC3/PWM0P/AD3/P0.3	I/O	Hi-Z	●	●	●	●	●	●	●									
26	31	19	17	23	LCDC4/PWM0N/AD4/P0.4	I/O	Hi-Z	●	●	●	●	●	●	●									
27	30	20	–	–	LCDC5/WG/PWM5/AD5/P0.5	I/O	Hi-Z	●	●	●	●	●	●	●		●							
28	29	21	18	24	LCDC6/PWM1/AD6/P0.6	I/O	Hi-Z	●	●	●	●	●	●	●									
29	28	22	19	1	LCDC7/CIN3/PWM6/AD7/P0.7	I/O	Hi-Z	●	●	●	●	●	●	●	●								
30	27	–	20	–	CIP3/PWM2/AD8/P1.7	I/O	Hi-Z	●	●	●	●	●	●		●								
31	26	23	6	2	T0/WG/PWM3/AD9/P3.4	I/O	Hi-Z	●	●	●	●	●	●			●					●		
32	13	–	21	15	XO/PWM5/P2.2	I/O	Hi-Z	●	●	●	●	●	●										Crystal

功能描述

1. CPU 核心

采用8051的架构，C语言作为开发平台。TM52装置拥有一个快速8051内核的高度集成微控制器，可以使开发人员实现比传统8051芯片更高的性能。TM52系列微控制器提供标准8051指令集兼容的完整的二进制代码，以确保一个简单的移植路径，以加快系统产品的开发速度。CPU核心包括了ALU，程序状态字 (PSW)，累加器 (ACC)，B寄存器，堆栈指针 (SP)，数据指针，编程计数器，指令译码器，以及核心的特殊功能寄存器 (SFR)。

1.1 累加器 (ACC)

该寄存器提供了一个运算数供给大多数的ALU操作。累加器通常被称为A或ACC和有时被称为寄存器A。在本文档中，累加器被表示为“A”或“ACC”，包括指令表。累加器，正如其名称所示，被用作通用寄存器累积了大量的指令的中间结果。累加器是完成算术运算和逻辑运算的最重要、最频繁的寄存器。它保存大多数算术和逻辑运算的中间结果，以协助数据运送。

SFR E0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E0h.7~0 ACC:累加器

1.2 B 寄存器 (B)

“B”寄存器和ACC是非常相似的，可容纳1个字节的值。该寄存器提供了乘法或除法指令的第二个运算数。否则，它可被用作一个暂存寄存器。B寄存器只有用于两个8051的指令，MUL和DIV。当A乘或除以另一个数，结果数存储在B。对于MUL和DIV指令，有必要将这两个运算数放在A和B。

ex: DIV AB

当执行该指令，A里面的数会除以B的数，得到的答复是存储在A。

SFR F0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F0h.7~0 B:B 寄存器

1.3 堆栈指针 (SP)

SP寄存器包含堆栈指针。执行LCALL，ACALL和PUSH指令时，堆栈指针先加1，再将程序计数器加载到堆栈中。执行RET，RETI和POP指令时，堆栈数据退回程序计数器后，堆栈指针再减1。

SFR 81h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SP	SP							
R/W	R/W							
Reset	0	0	0	0	0	1	1	1

81h.7~0 **SP**:堆栈指针

1.4 数据指针 (DPTRs)

TM52装置有两个数据指针，它们共享相同的SFR地址。每个DPTR的大小是16位，有两个数据指针寄存器:高字节 (DPH) 和低字节 (DPL)。该DPTR用于16位地址的外部存储器存取，偏移字节代码读取和偏移程序跳转。设置DPSEL控制位允许程序代码在两个物理数据指针之间进行切换。

SFR 82h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPL	DPL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

82h.7~0 **DPL**:数据指针低字节

SFR 83h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPH	DPH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

83h.7~0 **DPH**:数据指针高字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	CLRPWM0	CLRPWM1	WGEN	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	1	1	0	0

F8h.0 **DPSEL**:活动数据指针选择

1.5 程序状态字 (PSW)

该寄存器包含CPU和ALU操作导致的状态信息。会影响PSW的指令如下所示。

指令	标志		
	C	OV	AC
ADD	X	X	X
ADDC	X	X	X
SUBB	X	X	X
MUL	0	X	
DIV	0	X	
DA	X		
RRC	X		
RLC	X		
SETB C	1		

指令	标志		
	C	OV	AC
CLR C	0		
CPL C	X		
ANL C, bit	X		
ANL C, /bit	X		
ORL C, bit	X		
ORL C, /bit	X		
MOV C, bit	X		
CJNE	X		

“0”表示标志被清零，“1”表示标志被设置和“X”表示标志的状态取决于操作的结果。

SFR D0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PSW	CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

D0h.7 **CY**:ALU 进位标志

D0h.6 **AC**:ALU 辅助进位标志

D0h.5 **F0**:通用的使用者定义标志

D0h.4~3 **RS1, RS0**:(RS1, RS0) 的内容所启动之工作寄存器存储区为:

00:存储区 0 (00h~07h)

01:存储区 1 (08h~0Fh)

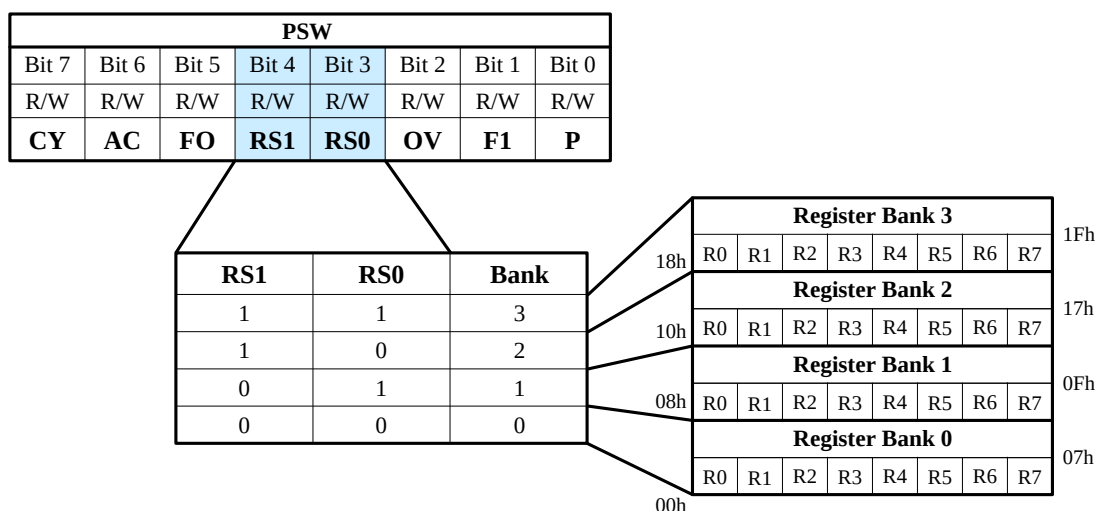
10:存储区 2 (10h~17h)

11:存储区 3 (18h~1Fh)

D0h.2 **OV**:ALU 溢出标志

D0h.1 **F1**:通用的使用者定义标志

D0h.0 **P**:奇偶标志。由硬件于每个指令周期设置/清零来表示在累加器“1”位之奇/偶数。



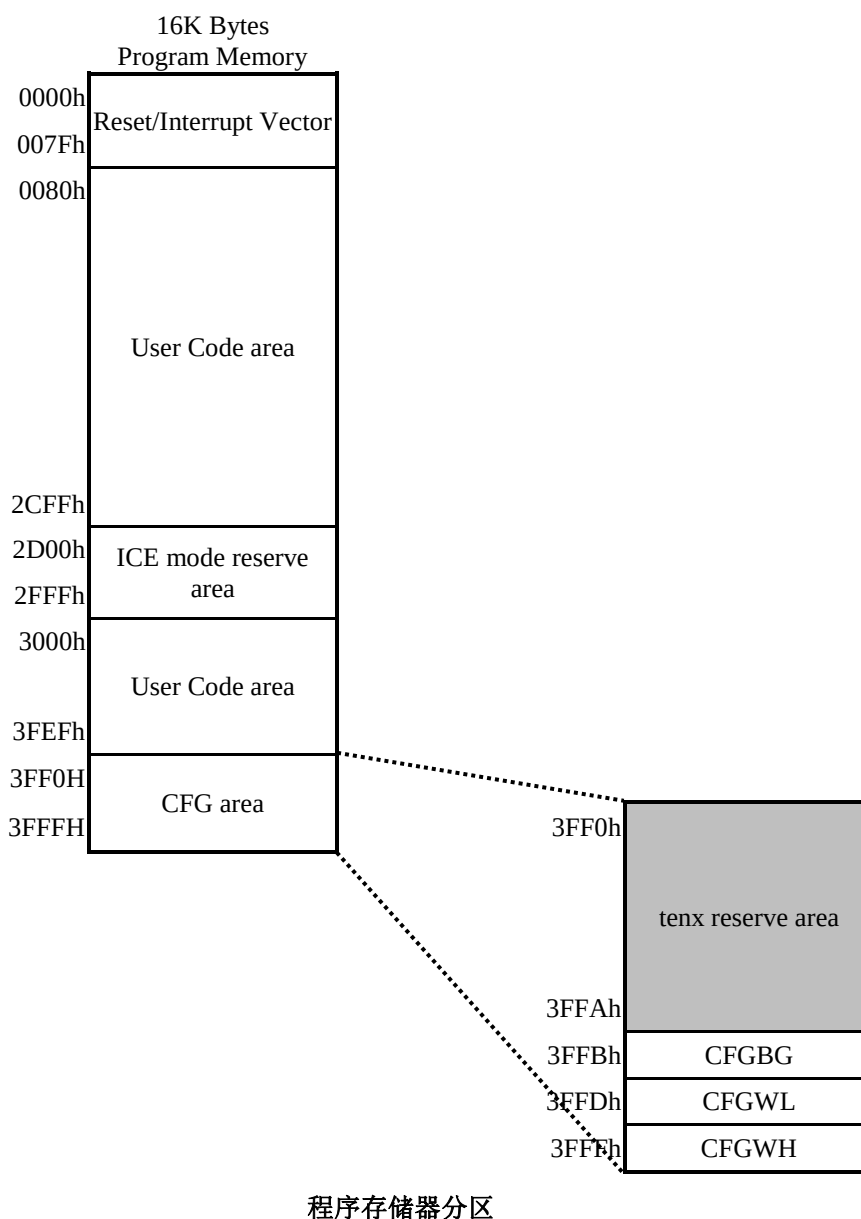
2. 存储器

2.1 程序存储器

该芯片有16K字节的闪存程序存储器，可支持在线编程 (ICP)，在应用编程 (IAP) 和在系统编程 (ISP) 功能模式。此闪存可反复擦写至少1万次以上。闪存程序存储器的连续地址空间 (0000h~3FFFh) 被划分到多个扇区的设备操作。

2.1.1 程序存储器的功能分区

程序存储器的最后16个字节 (3FF0h~3FFFh) 被定义为芯片配置字 (CFGW)，在上电复位 (POR) 时，它会被装载到装置控制寄存器。0000h~007Fh被标准8051定义为复位/中断向量。在线仿真 (ICE) 模式下，用户还需要预留2D00h~2FFFh的地址空间以供ICE系统通讯使用。



2.1.2 闪存 ICP 模式

闪存存储器可以通过tenx专用的烧录器，这需要至少四根线 (VCC, VSS, P3.0和P3.1引脚) 连接到该芯片以进行编程。如果用户想在目标电路板上的闪存进行编程 (在电路编程, ICP), 这些引脚必须保留足够的自由来连接到烧录器, 最好不要连接电路; 如果要连接电路的话, 请参考相关AP资料。

连接数	连接管脚
4 线	VCC, VSS, P3.0, P3.1

2.1.3 闪存 IAP 模式

该芯片具有“在应用编程”(IAP) 功能, 它允许软件在CPU运行时对闪存存储器读/写数据, 就像对EEPROM存取数据一样方便。IAP功能是单字节的写入, 这意味着芯片并不需要在写入前擦除一整个闪存页面。IAP可用数据空间是芯片复位后240个字节, 并且可以由“IAPALL”控制寄存器重新定义, 如下所示。

16K Bytes Flash Program memory		Flash memory	IAPALL	MOVC Accessible	MOVX (IAP) Accessible
0000h	IAP-All area	0000h~3EFFh	0	Yes	No
3EFFh			1	Yes	Yes
3F00h	IAP-Free area	3F00h~3FEFh	X	Yes	Yes
3FEFh	CFGW area	3FF0h~3FF7h	X	Yes	Yes
3FF0h		3FF8h~3FFEh	0	Yes	No
			1	Yes	Yes
3FFFh		3FFFh	X	Yes	No

在IAP模式下, 程序闪存分为三个扇区: IAP-All区域、IAP-Free区域和CFGW区域。这三个扇区受到不同的管制。

IAP-All区域受IAPALL寄存器保护, 以防止IAP模式将应用程序数据写入程序区域, 导致无法修复的程序代码错误。该区域的大小为16128 字节。启用 IAPALL 需要将65h写入SFR SWCMD 97h 以设置IAPALL控制标志。然后, 软件可以使用MOVX指令将应用数据写入闪存0000h至3EFFh。如果用户想要禁用IAPALL功能, 用户可以向SFR SWCMD 97h写入其他值以清除IAPALL控制标志。用户必须小心, 不要覆盖已驻留在同一闪存区域的程序代码。

IAP-Free区域没有控制位来保护。它可以可靠地存储系统运行期间需要一次性或定期编程的系统应用数据。闪存的其他区域可以用来存储数据, 但这个区域通常更好。该区域的大小为240字节, 相当于一个EEPROM。额外提供了一个实体128字节的EEPROM, 比起闪存, EEPROM拥有较广泛的写入电压以及擦写次数, 建议优先使用EEPROM来存储数据。

CFGW区域有3个数据字节 (CFGWH、CFGWL和CFGBG)，它位于闪存存储器的最后16个地址。IAP无法访问CFGWH，而在设置了IAPALL标志的情况下，IAP可以读取或写入CFGWL和CFGBG。上电复位后，CFGWL被复制到SFR F6h，CFGBG被复制到SFR F5h，然后软件可以通过修改SFR F6h和F5h来接管CFGWL和CFGBG的控制能力。

2.1.4 闪存 IAP 模式存取程序

IAP闪存写入通过“MOVX @DPTR, A”指令来实现，数据指针 (DPTR) 包含闪存的目标地址 (0000h~3FFEh) ACC包含要写入的数据。该芯片只有在IAPWE SFR使能时才会接受IAP写入命令。IAP闪存写入大约需要1 ms@VCC=5.0V。同时，CPU处于等待状态，但所有外设模块 (定时器等) 在写入期间继续运行。软件必须在IAP写完后处理期间产生的中断。同时该芯片内建一个IAP看门狗定时器，用以离开当写入失败的卡死状态。IAP闪存写入需要设定系统时钟跑FRC/2 (含以下) 且 $VCC > 3.0V$ 。

由于程序存储器和IAP数据共享同一个实体空间，只要目标地址指向0000h~3FFFh区域，IAP可以通过“MOVX @A, DPTR”或“MOVC”指令读取闪存，可联络FAE取得详细信息。闪存的IAP读取不需要额外的CPU等待时间。

```
; IAP示例代码 (汇编)
; 需要3.0V < VCC < 5.5V
ANL    AUX2, #3Fh          ; Disable WDT
MOV     DPTR, #3F00h        ; DPTR=3F00h=target IAP address
MOV     A, #5Ah             ; A=5Ah=target IAP write data
MOV     IAPWE, #47h         ; IAP write enable
ORL     AUX2, #02h          ; IAP Time-Out function enable
MOVX    @DPTR, A            ; Flash[3F00h] =5Ah, after IAP write
                        ; 1ms~2ms H/W writing time, CPU wait
MOV     IAPWE, #00h         ; IAP write disable, immediately after IAP write
CLR     A                   ; A=0
MOVX    A, @DPTR            ; A=5Ah
CLR     A                   ; A=0
MOVC    A, @A+DPTR          ; A=5Ah
```

```
; IAP示例代码 (C语言)
; 需要3.0V < VCC < 5.5V
unsigned char xdata PROM[4096] _at_ 0x2000 // 0x2000 = start address
unsigned char code CODE[4096] _at_ 0x2000 // 0x2000 = start address

IAPALL = 0x65;
IAPWE = 0x47;
PROM[0x02] = wdata; // write data into ROM[0x2002]
IAPWE = 0x00;
IAPALL = 0x00;

rdata = CODE[0x105]; // read data from ROM[0x2105]
```

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPALL/SWRST							
R/W	W							
Reset	—							

97h.7~0 **IAPALL (W)**: 写入 65h 以设置 IAPALL 控制标志, 写入其它值则清除 IAPALL 标志。建议 IAP 写入命令完成后, 立即清除 IAPALL 标志。

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	—						WDT0	IAPALL
R/W	R						R	R
Reset	0						0	0

97h.0 **IAPALL (R)**: 该标志指示闪存扇区可否通过 IAP 进行存取
0: 闪存 IAP 禁用
1: 闪存 IAP 启用

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPCON	IAPCON							
R/W	W							
Reset	—	—	—	—	—	—	—	—

C9h.7~0 **IAPCON (W)**:
写入 47h 或 74h 设置 IAPWE 标志; 写 47h 一次可以写 1 字节, 写 74h 一次可以写 2 字节。
写入其他值以清除 IAPWE 标志。建议在 IAP 写入后立即清除它。
写 A1h 设置 INFOWE 标志; 写其他值清除 INFOWE 标志。建议在 IAP 写入后立即清除它。
写 E2h 设置 EEPWE 标志; 写入其他值以清除 EEPWE 标志。建议在写入 EEPROM 后立即清除。

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPCON	IAPWE	IAPTO	EEPWE	INFOWE	—	—	—	—
R/W	R	R	R	R	—	—	—	—
Reset	0	0	0	0	—	—	—	—

C9h.7 **IAPWE (R)**: 写标志表示闪存是否可以被 IAP 写入
0: 禁用 IAP 写功能
1: 启用 IAP 写功能

C9h.6 **IAPTO (R)**: IAP 写/EEPROM 写/INFO 写超时标志。当 IAP 或 EEPROM 写或 INFO 写超时, 由 H/W 设置。当 IAPWE=0 或 EEPWE=0 或 INFOWE=0 时, H/W 清除该标志。

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	—	IAPTE		—
R/W	R/W	R/W	R/W	R/W	—	R/W		—
Reset	0	0	0	0	—	1	1	—

F7h.2~1 **IAPTE**: 使能 IAP 写/EEPROM 写/INFO 写看门狗定时器
00: 禁用
01: 等待 2 ms 触发看门狗超时标志, 退出写失败状态
10: 等待 4 ms 触发看门狗超时标志, 退出写失败状态
11: 等待 16 ms 触发看门狗超时标志, 退出写失败状态

2.1.5 闪存 ISP 模式

“在系统编程” (ISP) 的用法和 IAP 类似, 但目的是为了更新程序代码。用户可以使用 UART/SPI 或其他方法从外部主机来获得新的程序代码, 然后用 IAP 相同的方式写入代码。ISP 操作复杂; 基本上它需要指定一个启动代码区, 不受 ISP 过程而被改变的闪存区。

2.2 EEPROM 数据存储器

该芯片包含了一个128字节的EEPROM数据存储器。它被组织为一个单独的数据空间，可以读取和写入单个字节。EEPROM具有至少5万次的写入/擦除周期耐久性。

EEPROM Memory	
EE00h	EEPROM[0]
EE02h	EEPROM[1]
EE04h	
	.
	.
	.
EEFCh	EEPROM[126]
EEFEh	EEPROM[127]

(只使用偶数地址，奇数地址无效)

EEPROM数据写入使用类似闪存IAP的方式，通过“MOVX @DPTR, A”指令来实现，数据指针(DPTR) 包含EEPROM的目标地址 (EE00h~EEFEh，地址每次跳2，即Addr.=Addr.+2)，ACC包含要写入的数据。写入大约需要2 ms @V_{CC}=3.0V，1 ms @V_{CC}=5.0V。同时，CPU处于等待状态，但所有外设模块 (定时器等) 在写入期间继续运行。软件必须在EEPROM数据写入完成后处理期间产生的中断。同时该芯片内建一个EEPROM看门狗定时器 (与IAP看门狗定时器共享)，用以离开当写入失败的卡死状态。EEPROM数据写入需要V_{CC} > 2.7V。

通过“MOVX A, @DPTR”指令，只要将目标地址指向EE00h~EEFEh区域，便可以读取EEPROM数据。EEPROM数据读取大约需要300 ns。

```

; EEPROM示例代码
; 需要 2.7V < VCC < 5.5V
ANL    AUX2, #3Fh      ; Disable WDT
MOV    DPTR, #0EE00h   ; DPTR=EE00h=target EEPROM[0] address
MOV    A, #0A5h        ; A=A5h=target EEPROM[0] write data
MOV    EEPWE, #0E2h    ; EEPROM write enable
ORL    AUX2, #04h      ; EEPROM Time-Out function select
MOVX   @DPTR, A        ; EEPROM[0]=A5h, after EEPROM write
                        ; 1ms~2ms H/W writing time, CPU wait
MOV    EEPWE, #000h    ; EEPROM write disable, immediately after EEPROM write
CLR    A               ; A=0
MOVX   A, @DPTR        ; A=A5h

```


2.3 EEPROM 操作注意事项

2.3.1 关于 EEPROM 的烧写特性

- (1) EEPROM烧写时间不是固定的，烧写不同的数据需要的时间不同。
- (2) 烧写时间与电压、温度、数据转换条件皆有影响，较高的电压烧写时间较短，高温及数据烧写0数据较多时，烧写时间也相对较长。
- (3) EEPROM烧写途中CPU处于等待状态，但所有外设模块（定时器等）仍继续运行。软件必须在EEPROM数据写入完成后处理期间产生的中断。
- (4) 此芯片内置一个写入超时看门狗定时器保护写超时，确保系统能正常执行程序。

2.3.2 关于 EEPROM 的烧写次数

程序EEPROM的烧写次数，与电压、温度、烧写次数有关。

至少5万次擦写寿命 ($F_{SYSCLK}=FRC/2$, $2.7V < \text{电压} < 5.5V$, $-20^{\circ}C \sim 105^{\circ}C$)

2.3.3 写校验

根据具体的应用，一般要求将写入程序EEPROM的值读回对比校验。

2.3.4 避免误写的保护

写操作的启动时，以下操作可防止发生误写操作：

- (1) 欠压侦测，写EEPROM时，电压必须 $>2.7V$ ，可以使用LVD功能监控电压
(LVD监控电压建议 $>3.2V$ ，以防断电时，给写EEPROM留充足的时间)
- (2) 每写一个字节，清系统看门狗 (WDT)，防止多字节连续写时，导致系统看门狗复位。
- (3) 写数据时，暂时关闭总中断，完成后再恢复。
- (4) 软件故障，程序里添加EEPROM回读机制确保数据正确写入。
- (5) 超时保护，程序里开启写入超时看门狗 (IAPTE)，保护写超时系统不卡死。
- (6) 电源毛刺，根据波形在VCC与VSS引脚处并联电容可稳定系统电源。

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPCON	IAPCON							
R/W	W							
Reset	—	—	—	—	—	—	—	—

C9h.7~0 **IAPCON (W):**

写入 47h 或 74h 设置 IAPWE 标志;写 47h 一次可以写 1 字节, 写 74h 一次可以写 2 字节。

写入其他值以清除 IAPWE 标志。建议在 IAP 写入后立即清除它。

写 A1h 设置 INFOWE 标志;写其他值清除 INFOWE 标志。建议在 IAP 写入后立即清除它。

写E2h设置EEPWE标志;写入其他值以清除EEPWE标志。建议在写入EEPROM后立即清除。

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPCON	IAPWE	IAPTO	EEPWE	INFOWE	—	—	—	—
R/W	R	R	R	R	—	—	—	—
Reset	0	0	0	0	—	—	—	—

C9h.6 **IAPTO (R):** IAP写/EEPROM写/INFO写超时标志。当IAP或EEPROM写或INFO写超时, 由H/W设置。当IAPWE=0或EEPWE=0或INFOWE=0时, H/W清除该标志。

C9h.5 **EEPWE (R):** 标志指示 EEPROM 存储器是否可以被写入

0: 禁用 EEPROM 写功能

1: 启用EEPROM写功能

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	—	IAPTE		—
R/W	R/W	R/W	R/W	R/W	—	R/W		—
Reset	0	0	0	0	—	1	1	—

F7h.2~1 **IAPTE:** 使能 IAP 写/EEPROM 写/INFO 写看门狗定时器

00: 禁用

01: 等待 2 ms 触发看门狗超时标志, 退出写失败状态

10: 等待 4 ms 触发看门狗超时标志, 退出写失败状态

11: 等待 16 ms 触发看门狗超时标志, 退出写失败状态

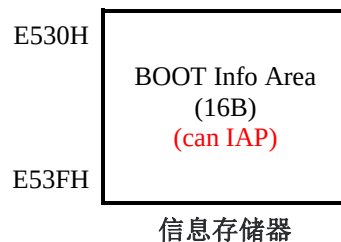
2.4 信息存储器

芯片有一个16字节的信息存储器。信息内存地址连续空间 (E530h~E53Fh) 用于设备操作。

该区域允许IAP写入，用户可以在闪存IAP后在该区域存储新的校验和代码。此外S/W必须在IAP写入之前禁用WDT。

要使用IAP功能，用户需要满足以下条件：

1. 只有E530h~E53Fh区域可以由IAP编写；
2. 设置INFOWE = 1。



Info ROM IAP 写入：

简单地通过“MOVX @DPTR, a”指令实现，而DPTR包含目标Flash地址，ACC包含正在写入的数据。Flash写入大约需要0.6 ms@V_{CC}=3.0V~5.5V，V_{CC}电容大于220uF。在IAP期间，CPU处于等待状态，但所有外设模块在写入时间内继续运行。软件必须在IAP写入完成后处理期间产生的中断。芯片内置IAPTE (F7h.2~1) 选择的写超时功能，可避开写失败状态。

Info ROM IAP 读取：

只要目标地址指向E530h~E53Fh区域，就可以由“MOVX”指令执行。Info ROM的IAP读取不需要额外的CPU等待时间。

Info ROM IAP示例代码:

; 需要 $3.0V < V_{CC} < 5.5V$

```
ANL      AUX2, #3Fh      ; Disable WDT
MOV      DPTR, #E530h    ; DPTR=E530h=target IAP address
MOV      A, #5Ah         ; A=5Ah=target IAP write data
ORL      AUX2, #04h      ; IAP Time-Out function select
MOV      IAPCON, #A1h    ; Info ROM IAP write enable.
MOVX     @DPTR, A        ; IAP Write Info ROM
                        ; Info ROM[E530h]=5Ah after IAP write
MOV      IAPCON, #00h    ; IAP write disable, immediately after IAP write
ANL      PWRCON, #7Fh    ; IVC Enable
MOVX     A, @DPTR        ; Read Info ROM. A=5Ah
```

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPCON	IAPCON							
R/W	W							
Reset	—	—	—	—	—	—	—	—

C9h.7~0 **IAPCON (W):**

写入 47h 或 74h 设置 IAPWE 标志;写 47h 一次可以写 1 字节, 写 74h 一次可以写 2 字节。

写入其他值以清除 IAPWE 标志。建议在 IAP 写入后立即清除它。

写 A1h 设置 INFOWE 标志;写其他值清除 INFOWE 标志。建议在 IAP 写入后立即清除它。

写 E2h 设置 EEPWE 标志;写入其他值以清除 EEPWE 标志。建议在写入 EEPROM 后立即清除。

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPCON	IAPWE	IAPTO	EEPWE	INFOWE	—	—	—	—
R/W	R	R	R	R	—	—	—	—
Reset	0	0	0	0	—	—	—	—

C9h.6 **IAPTO (R):** IAP 写/EEPROM 写/INFO 写超时标志。当 IAP 或 EEPROM 写或 INFO 写超时, 由 H/W 设置。当 IAPWE=0 或 EEPWE=0 或 INFOWE=0 时, H/W 清除该标志。

C9h.4 **INFOWE (R):** 标志指示 INFO 存储器是否可以被写入

0: 禁用 INFO IAP 写功能

1: 启用 INFO IAP 写功能

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	—	IAPTE		—
R/W	R/W	R/W	R/W	R/W	—	R/W		—
Reset	0	0	0	0	—	1	1	—

F7h.2~1 **IAPTE:** 使能 IAP 写/EEPROM 写/INFO 写看门狗定时器

00: 禁用

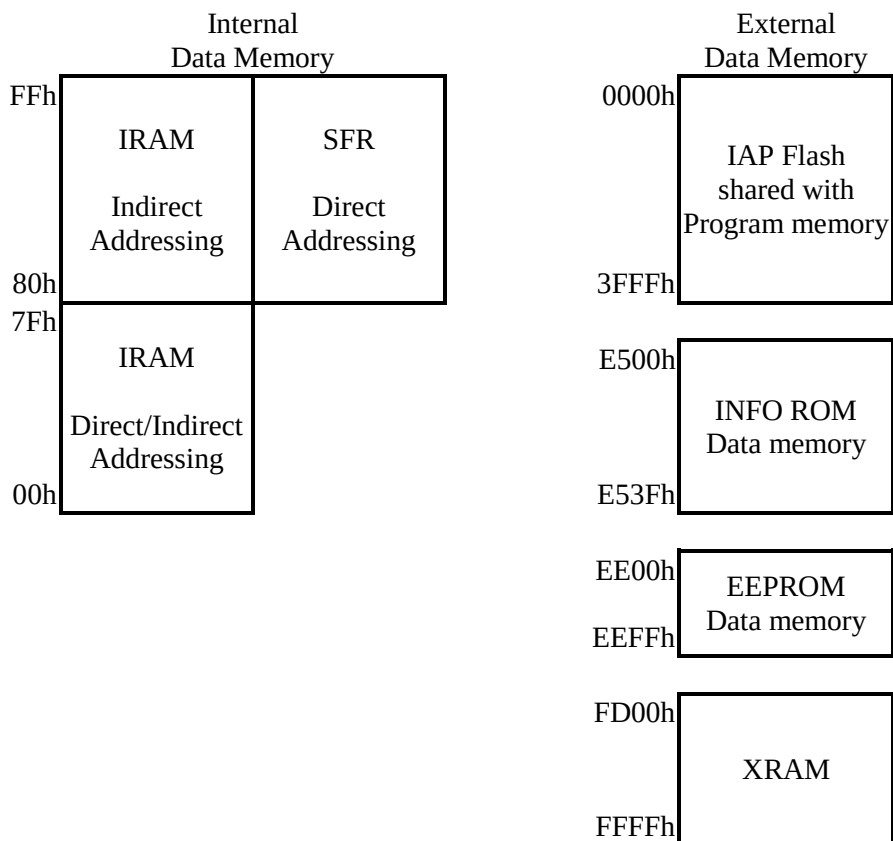
01: 等待 2 ms 触发看门狗超时标志, 退出写失败状态

10: 等待 4 ms 触发看门狗超时标志, 退出写失败状态

11: 等待 16 ms 触发看门狗超时标志, 退出写失败状态

2.5 数据存储器

正如标准的8051，该芯片具有内部和外部数据存储器空间。内部数据存储器空间由256字节IRAM和SFR组成，可通过丰富的指令集进行访问。外部数据存储器空间由768字节XRAM、128字节EEPROM、64字节INFO ROM和IAP闪存组成，只能通过MOVX指令存取。



2.5.1 IRAM

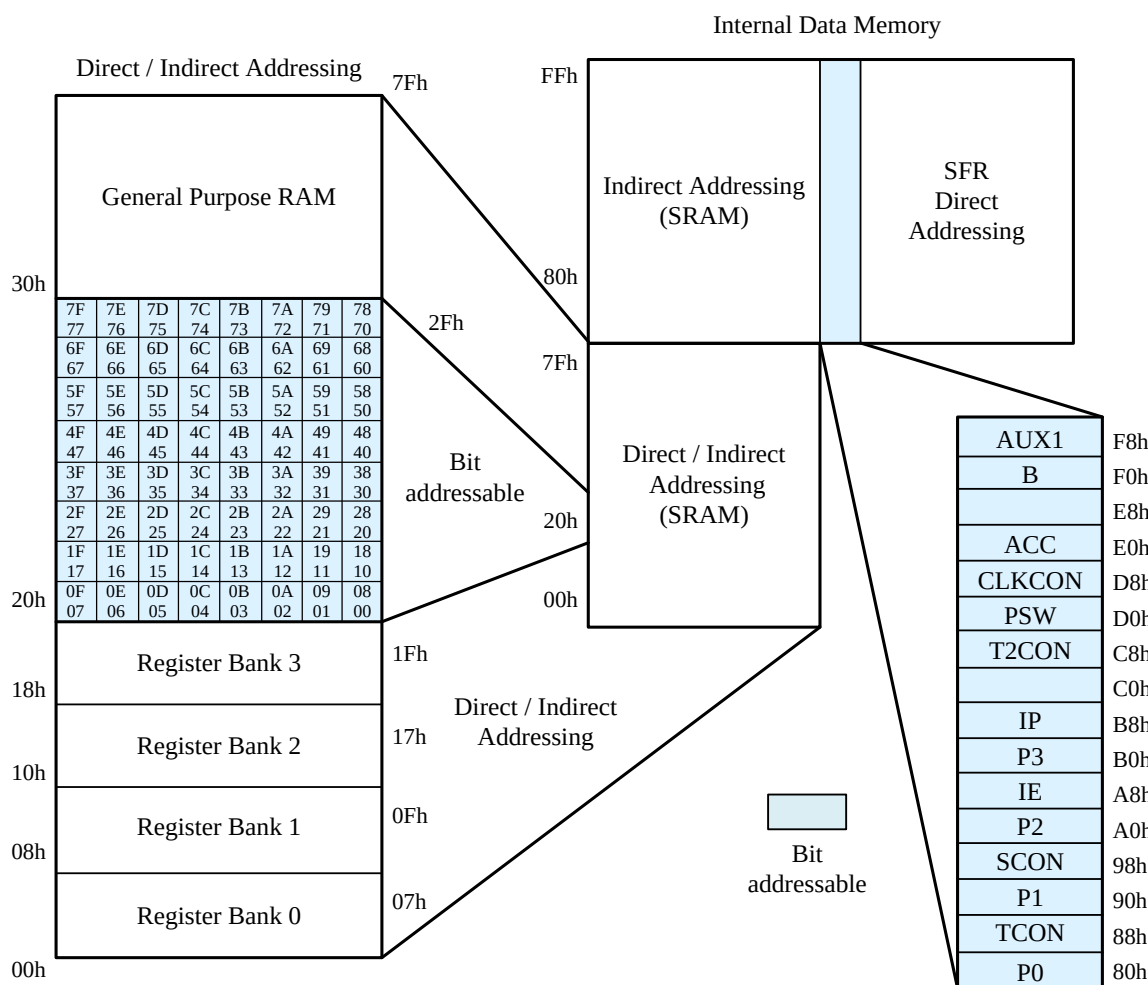
IRAM位于8051内部数据存储空间。整个256字节IRAM都可以使用间接寻址存取，只有较低的128字节可以使用直接寻址存取。有四个直接寻址寄存器组（由PSW开关），占据IRAM空间从00h到1Fh。地址20h到2Fh的16字节IRAM空间可以使用位寻址。IRAM可以作为一般寄存器和程序堆栈。

2.5.2 XRAM

XRAM位于8051外部数据存储器空间（地址从FD00h到FFFFh）。768字节XRAM只能通过“MOVX”指令存取。

2.5.3 SFRs

芯片的所有外围功能模块（例如I/O端口、定时器和UART操作）均通过特殊功能寄存器（SFR）存取设置。这些寄存器占用高128字节位置直接数据存储空间上的80h到FFh范围。有14可位寻址的SFR（这意味着单个字节内部的8个各别的位是可寻址的），如ACC，B寄存器，PSW，TCON，SCON和其他。其它SFR只能按字节寻址。SFR提供了内部资源和该芯片的外围设备进行数据交换和控制。在TM52系列微控制器提供了与标准8051指令集完全兼容的二进制代码。除了标准8051特殊功能寄存器之外，该芯片还实现了额外的SFR，用于用于配置和存取额外子系统的特殊功能寄存器，例如ADC/PWM/CMP等等该芯片特有功能。



	8/0	9/1	A/2	B/3	C/4	D/5	E/6	F/7
F8h	AUX1							
F0h	B					CFGBG	CFGWL	AUX2
E8h			PWM4D		PWM5D		PWM6D	AUX3
E0h	ACC	MICON	MIDAT	LVRCON	LVDCON			
D8h	CLKCON	PWM0PRDH	PWM0PRDL		PWM1PRD		PWM3D	UARTBRP
D0h	PSW	PWM0DH	PWM0DL		PWM1D		PWM2D	TM3RLD
C8h	T2CON	IAPCON	RCP2L	RCP2H	TL2	TH2		
C0h					LVDDT	DACDT	CMPCON	CMPPNS
B8h	IP	IPH	IP1	IP1H	SPCON	SPSTA	SPDAT	
B0h	P3						WGCON	WGBUF
A8h	IE	INTE1	ADCDL	ADCDH			ADCHSEL	PWMCON2
A0h	P2	PWMCON	P3MOD10	P3MOD32	P3MOD54	P3MOD76	PINMOD	P2MOD54
98h	SCON	SBUF	P1MOD10	P1MOD32	P1MOD54	P1MOD76	P2MOD10	P2MOD32
90h	P1	P0MOD10	P0MOD32	P0MOD54	OPTION	INTFLG	P0MOD76	SWCMD
88h	TCON	TMOD	TL0	TL1	TH0	TH1		
80h	P0	SP	DPL	DPH	INTE2	INTFLG2		PCON

SFR表

3. 低电压复位和低电压检测

该芯片提供低电压复位 (LVR)。通过SFR LVRCON可以选择16级LVR，SFR PWRSAV和LVRPD位也会影响LVR功能，如下表所示。

操作模式	SFR			低电压复位 (LVR)	功能	Note
	LVRPD	PWRSAV	LVRSEL			
快钟模式 慢钟模式	0	X	0000	ON	LV Reset 1.70V	
	0	X	0001	ON	LV Reset 1.85V	
	0	X	0010	ON	LV Reset 2.00V	
	0	X	0011	ON	LV Reset 2.15V	
	0	X	0100	ON	LV Reset 2.30V	
	0	X	0101	ON	LV Reset 2.45V	
	0	X	0110	ON	LV Reset 2.60V	
	0	X	0111	ON	LV Reset 2.75V	
	0	X	1000	ON	LV Reset 2.90V	
	0	X	1001	ON	LV Reset 3.05V	
	0	X	1010	ON	LV Reset 3.20V	
	0	X	1011	ON	LV Reset 3.35V	
	0	X	1100	ON	LV Reset 3.50V	
	0	X	1101	ON	LV Reset 3.65V	
	0	X	1110	ON	LV Reset 3.80V	
	0	X	1111	ON	LV Reset 3.95V	
空闲模式 停止模式 暂停模式	0	0	0000	ON	LV Reset 1.70V	电流消耗约 60uA
	0	0	0001	ON	LV Reset 1.85V	
	0	0	0010	ON	LV Reset 2.00V	
	0	0	0011	ON	LV Reset 2.15V	
	0	0	0100	ON	LV Reset 2.30V	
	0	0	0101	ON	LV Reset 2.45V	
	0	0	0110	ON	LV Reset 2.60V	
	0	0	0111	ON	LV Reset 2.75V	
	0	0	1000	ON	LV Reset 2.90V	
	0	0	1001	ON	LV Reset 3.05V	
	0	0	1010	ON	LV Reset 3.20V	
	0	0	1011	ON	LV Reset 3.35V	
	0	0	1100	ON	LV Reset 3.50V	
	0	0	1101	ON	LV Reset 3.65V	
	0	0	1110	ON	LV Reset 3.80V	
	0	0	1111	ON	LV Reset 3.95V	
空闲模式	0	1	XXXX	ON	Disable LVR Enable POR 1.60V	电流消耗约 11uA
停止模式 暂停模式	0	1	XXXX	OFF	Disable	*最小电流消耗约 0.6uA
空闲模式	1	X	XXXX	ON	Disable LVR Enable POR 1.60V	电流消耗约 16uA
停止模式 暂停模式	1	X	XXXX	OFF	Disable	*最小电流消耗约 0.6uA

注：暂停模式会比停止模式多了SRC启用的耗电电流约2.1~ 6.7uA。

注：POR永远开启，会有约0.6uA的耗电电流

该芯片提供低电压检测 (LVD) 功能。通过SFR LVDCON可以选择16级LVD。SFR PWRSV和LVDPD位也会影响LVD功能，如下表所示。低电压检测功能支持两种检测模式，低于 V_{CC} 电压或者高于 V_{CC} 的电压检测。为了避免误检测，该芯片可选择LVD迟滞是否开启或关闭，也提供了去抖动功能，去抖动时间可选择0.96 us~60.76 us。

操作模式	SFR			低电压检测 (LVD)	功能	Note
	LVDPD	PWRSV	LVDSSEL			
快钟模式 慢钟模式	0	X	0000	ON	LV Detection 1.85V	
	0	X	0001	ON	LV Detection 2.00V	
	0	X	0010	ON	LV Detection 2.15V	
	0	X	0011	ON	LV Detection 2.30V	
	0	X	0100	ON	LV Detection 2.45V	
	0	X	0101	ON	LV Detection 2.60V	
	0	X	0110	ON	LV Detection 2.75V	
	0	X	0111	ON	LV Detection 2.90V	
	0	X	1000	ON	LV Detection 3.05V	
	0	X	1001	ON	LV Detection 3.20V	
	0	X	1010	ON	LV Detection 3.35V	
	0	X	1011	ON	LV Detection 3.50V	
	0	X	1100	ON	LV Detection 3.65V	
	0	X	1101	ON	LV Detection 3.80V	
	0	X	1110	ON	LV Detection 3.95V	
	0	X	1111	ON	LV Detection 4.10V	
空闲模式 停止模式 暂停模式	0	0	0000	ON	LV Detection 1.85V	电流消耗约 60uA
	0	0	0001	ON	LV Detection 2.00V	
	0	0	0010	ON	LV Detection 2.15V	
	0	0	0011	ON	LV Detection 2.30V	
	0	0	0100	ON	LV Detection 2.45V	
	0	0	0101	ON	LV Detection 2.60V	
	0	0	0110	ON	LV Detection 2.75V	
	0	0	0111	ON	LV Detection 2.90V	
	0	0	1000	ON	LV Detection 3.05V	
	0	0	1001	ON	LV Detection 3.20V	
	0	0	1010	ON	LV Detection 3.35V	
	0	0	1011	ON	LV Detection 3.50V	
	0	0	1100	ON	LV Detection 3.65V	
	0	0	1101	ON	LV Detection 3.80V	
	0	0	1110	ON	LV Detection 3.95V	
	0	0	1111	ON	LV Detection 4.10V	
空闲模式	0	1	XXXX	ON	Disable LVD Enable POR 1.60V	电流消耗约 11uA
停止模式 暂停模式	0	1	XXXX	OFF	Disable	*最小电流消耗约 0.6uA
空闲模式	1	X	XXXX	ON	Disable LVD Enable POR 1.60V	电流消耗约 16uA
停止模式 暂停模式	1	X	XXXX	OFF	Disable	*最小电流消耗约 0.6uA

SFR E3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVRCON	—	—	—	LVRPD	LVRSEL			
R/W	—	—	—	R/W	R/W			
Reset	—	—	—	0	0	0	0	0

E3h.4 **LVRPD**:低电压复位功能选择

- 0:启用
- 1:禁用

E3h.3~0 **LVRSEL**:低电压复位选择 (step=0.15V)

- | | |
|---------------------|---------------------|
| 0000:设置 LVR 为 1.70V | 1000:设置 LVR 为 2.90V |
| 0001:设置 LVR 为 1.85V | 1001:设置 LVR 为 3.05V |
| 0010:设置 LVR 为 2.00V | 1010:设置 LVR 为 3.20V |
| 0011:设置 LVR 为 2.15V | 1011:设置 LVR 为 3.35V |
| 0100:设置 LVR 为 2.30V | 1100:设置 LVR 为 3.50V |
| 0101:设置 LVR 为 2.45V | 1101:设置 LVR 为 3.65V |
| 0110:设置 LVR 为 2.60V | 1110:设置 LVR 为 3.80V |
| 0111:设置 LVR 为 2.75V | 1111:设置 LVR 为 3.95V |

SFR E4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDCON	LVDM	LVDO	LVDHYS	LVDPD	LVDSEL			
R/W	R/W	R	R/W	R/W	R/W			
Reset	0	0	0	0	0	0	0	0

E4h.7 **LVDM**:低电压检测功能模式

- 0: $V_{CC} < V_{LVD}$ (LVDIF = 1, 当 LVDO = 1 时)
- 1: $V_{CC} > V_{LVD}$ (LVDIF = 1, 当 LVDO = 0 时)

E4h.6 **LVDO**:低电压检测实时输出

E4h.5 **LVDHYS**:LVD 迟滞使能

- 0:关闭 LVD 迟滞
- 1:使能 LVD 迟滞

E4h.4 **LVDPD**:低电压检测功能选择

- 0:启用
- 1:禁用

E4h.3~0 **LVDSEL**:低电压检测选择 (step=0.15V)

- | | |
|---------------------|---------------------|
| 0000:设置 LVD 为 1.85V | 1000:设置 LVD 为 3.05V |
| 0001:设置 LVD 为 2.00V | 1001:设置 LVD 为 3.20V |
| 0010:设置 LVD 为 2.15V | 1010:设置 LVD 为 3.35V |
| 0011:设置 LVD 为 2.30V | 1011:设置 LVD 为 3.50V |
| 0100:设置 LVD 为 2.45V | 1100:设置 LVD 为 3.65V |
| 0101:设置 LVD 为 2.60V | 1101:设置 LVD 为 3.80V |
| 0110:设置 LVD 为 2.75V | 1110:设置 LVD 为 3.95V |
| 0111:设置 LVD 为 2.90V | 1111:设置 LVD 为 4.10V |

SFR C4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDDT	—	—	LVDDT					
R/W	—	—	R/W					
Reset	—	—	0	0	0	0	0	0

C4h.5~0 **LVDDT**:LVD 去抖动时间选择 (step=FRC16.588M/16, $T_{LVD}=0.96\text{ us}$)

- 00_0000:关闭 LVD 去抖动模式
- 00_0001:启用 LVD 去抖动模式且去抖动时间选择 0.96 us ($T_{LVD} \times 1$)
- ...
- 11_1111:启用 LVD 去抖动模式且去抖动时间选择 60.76 us ($T_{LVD} \times 63$)

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAP	VBGOUT	–	IAPTE		–
R/W	R/W	R/W	R/W	R/W	–	R/W		–
Reset	0	0	0	0	–	1	1	–

F7h.5 **PWRSAP**: 设置 1 可降低空闲/暂停/停止模式下芯片的功耗

4. 复位

该芯片有五种类型的复位 (Reset) 方法。上电复位 (POR)，外部引脚复位 (XRST)，软件复位 (SWRST)，看门狗定时器复位 (WDTR) 和低电压复位 (LVR)，复位后 SFR 返回到默认值。

4.1 上电复位 (POR)

上电复位后，设备停留在复位状态，进行40 ms的芯片预热。上电复位需要VCC引脚的电压先放电至接近VSS电平，然后再上升超过1.60V。

4.2 外部引脚复位 (XRST)

外部引脚复位为低电平有效。RSTn引脚需要保持至少两个SRC时钟周期长到芯片可采样。外部引脚复位可以由CFGW使能/禁止。

4.3 软件复位 (SWRST)

软件复位是通过将数据56h写入SWCMD (SFR 97h) 来产生。

4.4 看门狗定时器复位 (WDTR)

WDT溢出复位透过WDTE (SFR F7h.7~6) 来控制。WDT使用SRC作为计数时基，在快钟/慢钟模式运行，在空闲/暂停/停止时钟模式下可选运行或停止。看门狗定时器溢出速度可透过WDTPSC (SFR 94h.5~4) 定义。WDT由CLRWDT (F8h.7) 或复位清零。

4.5 低电压复位 (LVR)

低电压复位 (LVR) 通过LVRCON (E3h.3~0) 可以选择16阶不同电压门槛值。当PWRSV (F7h.5)=1 时，LVR 会在芯片进入空闲/暂停/停止模式时自动关闭。可以由LVRPD (E3h.4) 使能/禁止。

注: 请参考AP-TM52XXXXX_02S 有关LVR 应用说明。

Flash 3FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	—	—	—	—	—	—

3FFFh.6 **XRSTE**: 外部引脚复位控制
0: 关闭外部引脚复位
1: 使能外部引脚复位

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	—	TM3CKS	WDT PSC		ADCKS		SXTGAIN	
R/W	—	R/W	R/W		R/W		R/W	
Reset	—	0	0	0	0	0	0	0

94h.5~4 **WDT PSC**: 看门狗定时器预调量器时间选择
00: 528 ms WDT 溢出率
01: 264 ms WDT 溢出率
10: 132 ms WDT 溢出率
11: 66 ms WDT 溢出率

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPEN/SWRST							
R/W	W							
Reset	—							

97h.7~0 **SWRST**: 写入 56h 生成 S/W 复位

SFR E3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVRCON	—	—	—	LVRPD	LVRSEL			
R/W	—	—	—	R/W	R/W			
Reset	—	—	—	0	0	0	0	0

E3h.4 **LVRPD**: 低电压复位功能选择
0: 使能 LVR
1: LVR 未使能

E3h.3~0 **LVRSEL**: 低电压复位选择 (step=0.15V)
0000: 设置 LVR 为 1.70V
0001: 设置 LVR 为 1.85V
0010: 设置 LVR 为 2.00V
0011: 设置 LVR 为 2.15V
0100: 设置 LVR 为 2.30V
0101: 设置 LVR 为 2.45V
0110: 设置 LVR 为 2.60V
0111: 设置 LVR 为 2.75V
1000: 设置 LVR 为 2.90V
1001: 设置 LVR 为 3.05V
1010: 设置 LVR 为 3.20V
1011: 设置 LVR 为 3.35V
1100: 设置 LVR 为 3.50V
1101: 设置 LVR 为 3.65V
1110: 设置 LVR 为 3.80V
1111: 设置 LVR 为 3.95V

SFR E4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDCON	LVDM	LVDO	LVDHYS	LVDPD	LVDSSEL			
R/W	R/W	R	R/W	R/W	R/W			
Reset	0	0	0	0	0	0	0	0

- E4h.7 **LVDM**:低电压检测功能模式
0: $V_{CC} < V_{LVD}$ (LVDIF = 1, 当 LVDO = 1 时)
1: $V_{CC} > V_{LVD}$ (LVDIF = 1, 当 LVDO = 0 时)
- E4h.6 **LVDO**:低电压检测实时输出
- E4h.5 **LVDHYS**:LVD 迟滞使能
0:关闭 LVD 迟滞
1:使能 LVD 迟滞
- E4h.4 **LVDPD**:低电压检测功能选择 (在空闲/暂停/停止模式下自动关闭)
0:启用
1:禁用
- E4h.3~0 **LVDSSEL**:低电压检测选择 (step=0.15V)
0000:设置 LVD 为 1.85V
0001:设置 LVD 为 2.00V
0010:设置 LVD 为 2.15V
0011:设置 LVD 为 2.30V
0100:设置 LVD 为 2.45V
0101:设置 LVD 为 2.60V
0110:设置 LVD 为 2.75V
0111:设置 LVD 为 2.90V
1000:设置 LVD 为 3.05V
1001:设置 LVD 为 3.20V
1010:设置 LVD 为 3.35V
1011:设置 LVD 为 3.50V
1100:设置 LVD 为 3.65V
1101:设置 LVD 为 3.80V
1110:设置 LVD 为 3.95V
1111:设置 LVD 为 4.10V

SFR C4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDDT	—	—	LVDDT					
R/W	—	—	R/W					
Reset	—	—	0	0	0	0	0	0

- C4h.5~0 **LVDDT**:LVD 去抖动时间选择 (step=FRC16.588M/16, $T_{LVD}=0.96\text{ us}$)
00_0000:关闭 LVD 去抖动模式
00_0001:启用 LVD 去抖动模式且去抖动时间选择 0.96 us ($T_{LVD}*1$)
...
11_1111:启用 LVD 去抖动模式且去抖动时间选择 60.76 us ($T_{LVD}*63$)

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAP	VBGOUT	—	IAPTE		—
R/W	R/W	R/W	R/W	R/W	—	R/W		—
Reset	0	0	0	0	—	1	1	—

- F7h.7~6 **WDTE**:复位控制
0x:看门狗定时器复位功能关闭
10:看门狗定时器复位在快/慢模式下使能, 在空闲/暂停/停止模式下使能
11:看门狗定时器复位总是使能
- F7h.5 **PWRSAP**:设置 1 可降低空闲/暂停/停止模式下芯片的功耗

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	CLRPWM0	CLRPWM1	WGEN	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	1	1	0	0

- F8h.7 **CLRWDT**:设置为清除 WDT, H/W 在下一个时钟周期自动清除

5. 时钟电路和工作模式

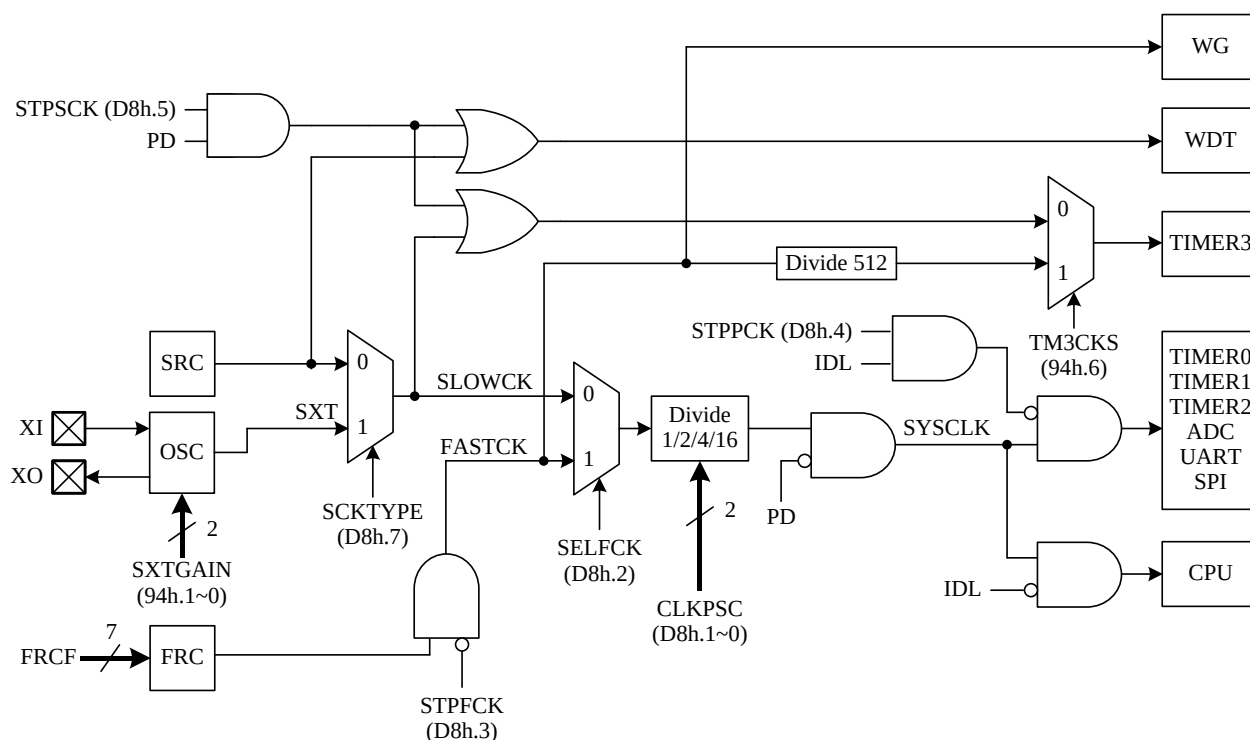
5.1 时钟电路

该芯片设计有双时钟系统。在运行时，用户可以直接切换从快钟到慢钟或由慢到快。它可以选择除以1, 2, 4或16的时钟分频器。快时钟为FRC (快速内部RC, 16.5888 MHz)。慢时钟可以选用SXT (慢速晶振, 32768Hz) 或SRC (慢速内部RC, 62 KHz)。快钟模式和慢钟模式被定义为快/慢时钟的CPU运行速度。

复位后，该设备在慢钟模式62 KHz的SRC运行。S/W应该正确选择安全的芯片运行时钟速率。较高的 V_{CC} 允许芯片在更高的系统时钟频率运行。在典型的情况下，16.5888MHz的系统时钟频率需要 $V_{CC} > 1.9V$ 。

该芯片有一个外部振荡器连接到XI/XO引脚。它依赖于外部电路提供时钟信号、频率的稳定，例如一个独立的振荡器，石英晶体或陶瓷谐振器。在慢钟模式下，慢速振荡器只能使用32768 Hz的时钟频率。透过设定振荡器的增益 (SXTGAIN)，可以缩短晶体振荡的热启动时间，同时也可以减少振荡电流的消耗 (最高增益为3，最低增益为0)。

CLKCON SFR控制系统时钟的正常运行。H/W自动阻断S/W异常设置该寄存器。S/W只能在快钟模式下改变慢时钟类型，在慢钟模式下改变快时钟类型。千万不要同时写STPFCK = 1和SELFCK = 1。建议在写这个SFR时一次只写一个位。



注:因CLKPSC有延迟，改变CLKPSC之后，需等待16个时钟周期之后，再把慢时钟切换至快时钟，请参考AP-TM52XXXXX_01S和AP-TM52XXXXX_02S有关系统时钟应用说明。

SYSCLK	CLKCON (D8h)		
	bit7 SCKTYPE	bit3 STPFCK	bit2 SELFCK
Fast FRC	0/1	0	1
Slow SXT	1	0/1	0
Slow SRC	0	0/1	0
Slow type change	0 $\leftarrow$ $\rightarrow$ 1	0	1
Stop FRC	0/1	0 $\rightarrow$ 1	0
Switch to FRC	0/1	0	0 $\rightarrow$ 1
Switch to SRC/SXT	0/1	0	1 $\rightarrow$ 0

Flash 3FFDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	-	FRCF						

3FFDh.6~0 **FRCF**:FRC频率调整

在芯片制造中，FRC 被调整为 16.5888 MHz。FRCF 记录调整数据。

SFR F6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	-	FRCF						
R/W	-	R/W						
Reset	-	-	-	-	-	-	-	-

F6h.6~0 **FRCF**:FRC频率调整

00h= 频率最低

7Fh= 频率最高。

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	-	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	-	R/W	R/W	R/W	R/W	R/W	
Reset	0	-	1	0	0	0	1	1

D8h.7 **SCKTYPE**:慢时钟类型。该位只能在快钟模式 (SELFCK=1) 时改变。

0:SRC, P2.3, P2.2 为 I/O 引脚

1:SXT, P2.3, P2.2 为晶振引脚

D8h.5 **STPSCK**:设为 1, 停止慢钟在停止模式。

D8h.4 **STPPCK**:设为 1, 停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。

D8h.3 **STPFCK**:设为 1, 停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

D8h.2 **SELFCK**:系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0:慢时钟

1:快时钟

D8h.1~0 **CLKPSC**:系统时钟分频器, 生效延迟最大为 16 个时钟周期

00:系统时钟是快/慢时钟除以 16

01:系统时钟是快/慢时钟除以 4

10:系统时钟是快/慢时钟除以 2

11:系统时钟是快/慢时钟除以 1

5.2 操作模式

这个设备有四种操作模式。**快钟模式**被定义为在快时钟速度运行的CPU。**慢钟模式**被定义为慢时钟速度运行的CPU。当系统时钟速度较低，功耗较低。

空闲模式通过设置PCON中的IDL位进入。快或慢时钟都可设置为在空闲模式下的系统时钟源，但慢时钟的省电越好。在空闲模式下，CPU进入睡眠，而片上外围设备保持活跃。在CLKCON SFR中的“STPPCK”位可以设置为进一步降低空闲模式下的电流。如果STPPCK = 1，Timer0/1/2，ADC和UART在空闲模式时停止。较慢的系统时钟频率也有助于节省电流。它可以通过设置CLKPSC SFR降低系统时钟频率来实现。空闲模式是通过复位或使能的中断来唤醒。

停止模式是通过设置PCON中的PD位及CLKCON中的STPSCK位进入。这种模式在标准的8051是所谓的“省电”模式。在停止模式下，除了WDT时钟可能开启，其他所有时钟停止。停止模式可以通过复位或引脚唤醒来结束。

暂停模式是通过设置PCON中的PD位及清除CLKCON中的STPSCK位进入。在暂停模式下，所有时钟都停止，但如果启用了Timer3和WDT，则它们可能处于开启状态。暂停模式可以通过复位，引脚唤醒或Timer3中断来终止。在这种模式下，Timer3时钟源只能选择慢时钟，不能选择FRC/512。

注:如果INTn 引脚是低电平且该唤醒功能启用，则芯片无法进入暂停/停止模式。(INTn=0 and EXn=1, n=0~1)

注:固件必须关闭Bandgap以获得最小电流消耗 (VBGOUT=0)

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	-	-	-	-	GF1	GF0	PD	IDL
R/W	-	-	-	-	R/W	R/W	R/W	R/W
Reset	-	-	-	-	0	0	0	0

87h.1 **PD:**停止位，如果 1 进入暂停/停止模式。

87h.0 **IDL:**空闲位，如果 1 进入空闲模式。

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	-	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	-	R/W	R/W	R/W	R/W	R/W	
Reset	0	-	1	0	0	0	1	1

D8h.7 **SCKTYPE:**慢时钟类型。该位只能在快钟模式 (SELFCK=1) 时改变。

0:SRC, P2.3, P2.2 为 I/O 引脚

1:SXT, P2.3, P2.2 为晶振引脚

D8h.5 **STPSCK:**设为 1，停止慢钟在停止模式。

D8h.4 **STPPCK:**设为 1，停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。

D8h.3 **STPFCK:**设为 1，停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

D8h.2 **SELFCK:**系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0:慢时钟 1:快时钟

D8h.1~0 **CLKPSC:**系统时钟分频器，生效延迟最大为 16 个时钟周期

00:系统时钟是快/慢时钟除以 16

01:系统时钟是快/慢时钟除以 4

10:系统时钟是快/慢时钟除以 2

11:系统时钟是快/慢时钟除以 1

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	-	IAPTE		-
R/W	R/W	R/W	R/W	R/W	-	R/W		-
Reset	0	0	0	0	-	1	1	-

F7h.4 **VBGOUT**: 带隙基准电压输出至 P3.2

0: 关闭

1: 启用

6. 中断和唤醒

该芯片有14源4级中断优先级结构。只有引脚中断可以从暂停/停止模式下唤醒CPU。每个中断源都有自己的使能控制位。不管它的中断使能控制位是0还是1，中断事件将设置其个别的中断标志。中断向量和标志列表如下：

向量	标志	描述
0003	IE0	INT0 外部引脚中断 (可以唤醒暂停/停止模式)
000B	TF0	Timer0 中断
0013	IE1	INT1 外部引脚中断 (可以唤醒暂停/停止模式)
001B	TF1	Timer1 中断
0023	RI+TI	串口(UART)中断
002B	TF2+EXF2	Timer2 中断
0033	—	保留为 ICE 模式使用
003B	TF3	Timer3 中断
0043	PCIF	Port0~Port3 外部引脚电平变化中断 (可以唤醒暂停/停止模式)
004B	WGIF	WG 中断
0053	ADIF	ADC 中断
005B	SPIF MIIF	SPI/主 I ² C 中断
0063	LVDIF	LVD 中断
006B	CMPIF	CMP 中断
0073	PWM0IF PWM1IF	PWM0~1 中断

中断向量和标志

向量	项	中断使能	子中断使能	中断标志
0003	IE0	IE A8.0		TCON 88.1
000B	TF0	IE A8.1		TCON 88.5
0013	IE1	IE A8.2		TCON 88.3
001B	TF1	IE A8.3		TCON 88.7
0023	RI+TI	IE A8.4		SCON 98.1~0
002B	TF2+EXF2	IE A8.5		T2CON C8.7~6
0033	—			
003B	TF3	INTE1 A9.0		INTFLG 95.0
0043	PCIF	INTE1 A9.1		INTFLG 95.1
004B	WGIF	INTE1 A9.2		INTFLG 95.3
0053	ADIF	INTE1 A9.3		INTFLG 95.4
005B	SPIF MIIF	INTE1 A9.4		SPSTA BD.7 MICON E1.5
0063	LVDIF	INTE1 A9.5		INTFLG 95.7
006B	CMPIF	INTE1 A9.6		INTFLG 95.6
0073	PWM0IF PWM1IF	INTE1 A9.7	INTE2 84.6 INTE2 84.5	INTFLG2 85.6 INTFLG2 85.5

中断相关的SFR

6.1 中断使能和优先级控制

IE和INTE1的SFR决定中断是否由CPU提供服务。IP, IPH, IP1和IP1H SFRs决定中断优先级。中断会被服务, 需要相同或更高优先级的中断尚未被服务。如果相同或更高优先级的中断被服务时, 新的中断将等待被服务, 直到它之前的服务完成。如果较低优先级中断正被服务时, 将被停止, 开始新的中断服务。当新的中断结束后, 被停止的较低优先级的中断才会被完成。

6.2 子程序中断建议

当进入中断程序时, 除了传统上已知的应该是PUSH、POP的SFR A或PSW外, 一些用于索引的SFR也应该添加到PUSH POP的行列中。为了避免在中断前后读写这些sfr可能导致不一致。此外, PWM0DH、PWM0DL、PWM0PRDH或PWM0PRDL为16位操作, 程序在高字节和低字节写入和读取时, 应该避免发生中断。假如在读写这些双字节的SFR其间发生中断。而中断内又对这些SFR做读写。则容易造成读写的错误。对于16位PWM周期和占空比读写任务时, 建议只在主程序中更新数据, 或者只在中断中更新数据, 以避免可能出现的错误。

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	—	ET2	ES	ET1	EX1	ET0	EX0
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	—	0	0	0	0	0	0

A8h.7 **EA**: 总中断使能控制

0: 禁用所有中断

1: 每个中断通过其各个中断控制位使能或禁止

A8h.5 **ET2**: Timer2 中断使能控制

0: 禁用 Timer2 中断

1: 允许 Timer2 中断

A8h.4 **ES**: 串口 (UART) 中断使能控制

0: 禁用串口 (UART) 中断

1: 允许串口 (UART) 中断

A8h.3 **ET1**: Timer1 中断使能控制

0: 禁用 Timer1 中断

1: 允许 Timer1 中断

A8h.2 **EX1**: INT1 引脚中断和暂停/停止模式唤醒使能控制

0: 禁用 INT1 引脚中断和暂停/停止模式唤醒

1: 允许 INT1 引脚中断和暂停/停止模式唤醒, 不管 EA 为 0 或 1, 都可从暂停/停止模式下唤醒 CPU

A8h.1 **ET0**: Timer0 中断使能控制

0: 禁用 Timer0 中断

1: 允许 Timer0 中断

A8h.0 **EX0**: INT0 引脚中断和暂停/停止模式唤醒使能控制

0: 禁用 INT0 引脚中断和暂停/停止模式唤醒

1: 允许 INT0 引脚中断和暂停/停止模式唤醒, 不管 EA 为 0 或 1, 都可从暂停/停止模式下唤醒 CPU

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	LVDIE	SPI2CE	ADIE	WGIE	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- A9h.7 **PWMIE**: PWM0~PWM1 中断使能控制
0: 允许 PWM0~PWM1 中断
1: 禁用 PWM0~PWM1 中断
- A9h.6 **CMPIE**: CMP 中断使能控制
0: 关闭 CMP 中断
1: 使能 CMP 中断
- A9h.5 **LVDIE**: LVD 中断使能控制
0: 关闭 LVD 中断
1: 使能 LVD 中断
- A9h.4 **SPI2CE**: 使能 SPI/主 I²C 中断
0: 关闭 SPI/主 I²C 中断
1: 使能 SPI/主 I²C 中断
- A9h.3 **ADIE**: ADC 中断使能控制
0: 关闭 ADC 中断
1: 使能 ADC 中断
- A9h.2 **WGIE**: WG 中断使能控制
0: 关闭 WG 中断
1: 使能 WG 中断
- A9h.1 **PCIE**: Port0~Port3 引脚改变中断使能。此位不影响暂停/停止模式唤醒能力
0: 关闭 Port0~Port3 引脚变换中断
1: 使能 Port0~Port3 引脚变换中断
- A9h.0 **TM3IE**: Timer3 中断使能控制
0: 关闭 Timer3 中断
1: 使能 Timer3 中断

SFR 84h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE2	—	PWM1IE	PWM0IE	—	—	—	—	—
R/W	—	R/W	R/W	—	—	—	—	—
Reset	—	0	0	—	—	—	—	—

- 84h.6 **PWM1IE**: PWM1 中断使能
0: 禁用
1: 使能 (注意: PWMIE 必须同时为 1 才能产生 PWM 中断)
- 84h.5 **PWM0IE**: PWM0 中断使能
0: 禁用
1: 使能 (注意: PWMIE 必须同时为 1 才能产生 PWM 中断)

SFR B9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPH	–	–	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
R/W	–	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	–	–	0	0	0	0	0	0

SFR B8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP	–	–	PT2	PS	PT1	PX1	PT0	PX0
R/W	–	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	–	–	0	0	0	0	0	0

B9h.5, B8h.5 **PT2H, PT2**:Timer2 中断优先级控制。(PT2H, PT2)=

00:0 级 (最低优先级)

01:1 级

10:2 级

11:3 级 (最高优先级)

B9h.4, B8h.4 **PSH, PS**:串口 (UART) 中断优先级控制。定义如上。

B9h.3, B8h.3 **PT1H, PT1**:Timer1 中断优先级控制。定义如上。

B9h.2, B8h.2 **PX1H, PX1**:INT1 引脚中断优先级控制。定义如上。

B9h.1, B8h.1 **PT0H, PT0**:Timer0 中断优先级控制。定义如上。

B9h.0, B8h.0 **PX0H, PX0**:INT0 引脚中断优先级控制。定义如上。

SFR BBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1H	PPWMH	PCMPH	PLVDH	PSPI2CH	PADIH	PWGH	PPCH	PT3H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

SFR BAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1	PPWM	PCMP	PLVD	PSPI2C	PADI	PWG	PPC	PT3
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

BBh.7, BAh.7 **PPWMH, PPWM**:PWM0~PWM1 中断优先级控制。(PPWMH, PPWM)=

00:0 级 (最低优先级)

01:1 级

10:2 级

11:3 级 (最高优先级)

BBh.6, BAh.6 **PCMPH, PCMP**:CMP 中断优先级控制。定义如上所述。

BBh.5, BAh.5 **PLVDH, PLVD**:LVD 中断优先级控制。定义如上所述。

BBh.4, BAh.4 **PSPI2CH, PSPI2C**:SPI/主 I²C 中断优先级控制。定义如上所述。

BBh.3, BAh.3 **PADIH, PADI**:ADC 中断优先级控制。定义如上所述。

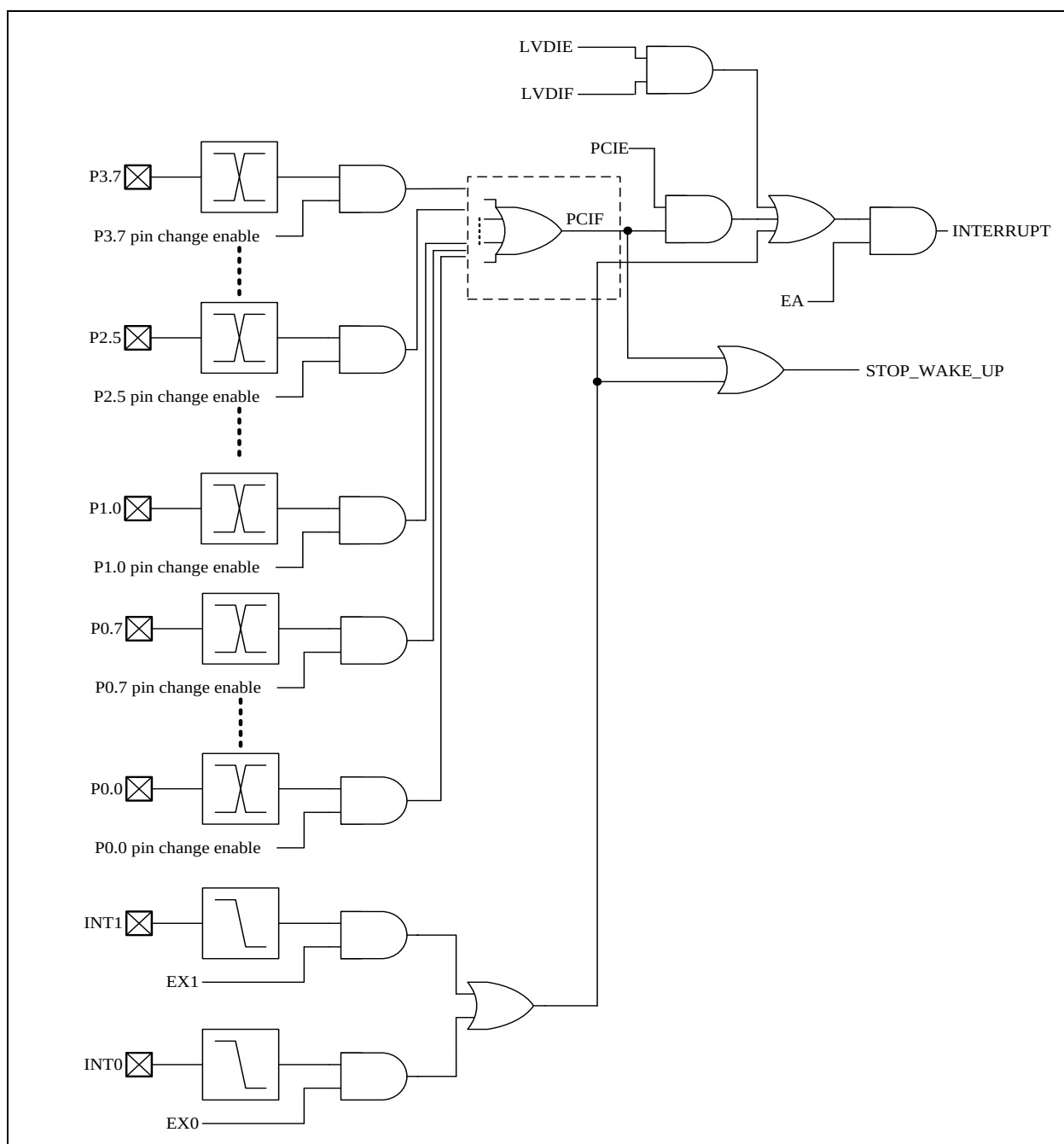
BBh.2, BAh.2 **PWGH, PWG**:WG 中断优先级控制。定义如上所述。

BBh.1, BAh.1 **PPCH, PPC**:端口 0~端口 3 引脚改变中断优先级控制。定义如上所述。

BBh.0, BAh.0 **PT3H, PT3**:Timer3 中断优先级控制。定义如上所述。

6.3 引脚中断和 LVD 中断

引脚中断包括INT0 (P3.2)、INT1 (P3.3) 和Port0~Port3引脚电平变化中断。这些引脚具有暂停/停止模式唤醒能力。INT0和INT1是下降沿或低电平触发的8051标准。而Port0~Port3引脚变化中断由I/O状态变化触发。具体操作请参见第7章。引脚模式和引脚更改启用设置。LVD中断可以用来检测V_{CC}电压水平并产生中断。



引脚中断和唤醒

注:如果INT_n 引脚为低电平并且使能了唤醒功能，则芯片无法进入暂停/停止模式。(INT_n=0 和EX_n=1, n=0~1)

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.3 **IE1**:外部中断 1 (INT1 引脚) 边沿标志
 设置于 H/W 检测到 INT1 引脚下降沿时, 不管 EX1 为 0 或 1。
 程序执行中断服务时, 它会被自动清除。
- 88h.2 **IT1**:外部中断 1 控制位
 0:低电平有效 (电平触发) 的 INT1 引脚
 1:下降沿有效 (边沿触发) 的 INT1 引脚
- 88h.1 **IE0**:外部中断 0 (INT0 引脚) 边沿标志
 设置于 H/W 检测到 INT0 引脚下降沿时, 不管 EX0 为 0 或 1。
 程序执行中断服务时, 它会被自动清除。
- 88h.0 **IT0**:外部中断 0 控制位
 0:低电平有效 (电平触发) 的 INT0 引脚
 1:下降沿有效 (边沿触发) 的 INT0 引脚

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	CMPIF	—	ADIF	WGIF	—	PCIF	TF3
R/W	R/W	R/W	—	R/W	R/W	—	R/W	R/W
Reset	0	0	—	0	0	—	0	0

- 95h.7 **LVDIF**:低电压检测中断标志
 由 H/W 设置。S/W 将 7Fh 写入 INTFLG 以清除此标志。
- 95h.1 **PCIF**:Port0~Port3 引脚改变中断标志
 当检测到 Port0~Port3 引脚状态变化并设置其中断使能位时,
 程序执行中断服务, 它会被自动清除。
 S/W 也可以写 FDh 到 INTFLG 以清除该标志。(注)

注:S/W可以写0清除INTFLG中的标志, 但写1没有任何效果。

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	—	ET2	ES	ET1	EX1	ET0	EX0
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	—	0	0	0	0	0	0

- A8h.7 **EA**:总中断使能控制
 0:禁用所有中断
 1:每个中断通过其各个中断控制位使能或禁止
- A8h.2 **EX1**:INT1 引脚中断和暂停/停止模式唤醒使能控制
 0:禁用 INT1 引脚中断和暂停/停止模式唤醒
 1:允许 INT1 引脚中断和暂停/停止模式唤醒, 不管 EA 为 0 或 1, 都从暂停/停止模式下唤醒 CPU
- A8h.0 **EX0**:INT0 引脚中断和暂停/停止模式唤醒使能控制
 0:禁用 INT0 引脚中断和暂停/停止模式唤醒
 1:允许 INT0 引脚中断和暂停/停止模式唤醒, 不管 EA 为 0 或 1, 都从暂停/停止模式下唤醒 CPU

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	LVDIE	SPI2CE	ADIE	WGIE	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.5 **LVDIE**:LVD 中断使能控制

0:关闭 LVD 中断

1:使能 LVD 中断

A9h.1 **PCIE**:Port0~Port3 引脚改变中断使能。此位不影响暂停/停止模式唤醒能力

0:关闭 Port0~Port3 引脚变换中断

1:使能 Port0~Port3 引脚变换中断

SFR E4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDCON	LVDM	LVDO	LVDHYS	LVDPD	LVDSEL			
R/W	R/W	R	R/W	R/W	R/W			
Reset	0	0	0	0	0	0	0	0

E4h.7 **LVDM**:低电压检测功能模式

0: $V_{CC} < V_{LVD}$ (LVDIF = 1, 当 LVDO = 1 时)

1: $V_{CC} > V_{LVD}$ (LVDIF = 1, 当 LVDO = 0 时)

E4h.6 **LVDO**:低电压检测实时输出

E4h.5 **LVDHYS**:LVD 迟滞使能

0:关闭 LVD 迟滞

1:使能 LVD 迟滞

E4h.4 **LVDPD**:低电压检测功能选择 (在空闲/暂停/停止模式下自动关闭)

0:启用

1:禁用

E4h.3~0 **LVDSEL**:低电压检测选择 (step=0.15V)

0000:设置 LVD 为 1.85V

0001:设置 LVD 为 2.00V

0010:设置 LVD 为 2.15V

0011:设置 LVD 为 2.30V

0100:设置 LVD 为 2.45V

0101:设置 LVD 为 2.60V

0110:设置 LVD 为 2.75V

0111:设置 LVD 为 2.90V

1000:设置 LVD 为 3.05V

1001:设置 LVD 为 3.20V

1010:设置 LVD 为 3.35V

1011:设置 LVD 为 3.50V

1100:设置 LVD 为 3.65V

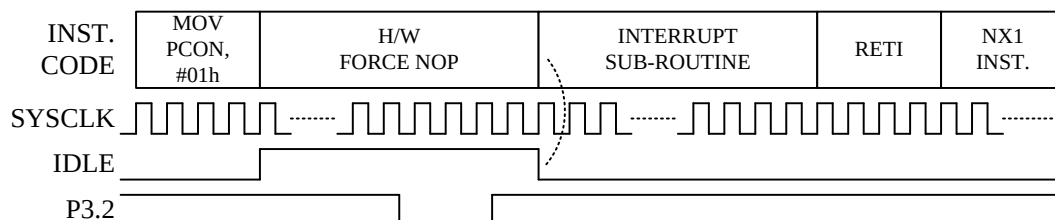
1101:设置 LVD 为 3.80V

1110:设置 LVD 为 3.95V

1111:设置 LVD 为 4.10V

6.4 空闲模式唤醒和中断

空闲模式下被启用的中断唤醒，这意味着各个中断使能位 (如:EX0) 和EA位必须都设置为1以建立空闲模式唤醒功能。所有被允许的中断 (引脚, 定时器, ADC, PWM和UART), 可以将CPU从空闲模式唤醒。当空闲被唤醒, 立即进入中断服务程序。当中断服务程序返回后, “IDL (PCON.0) 设置后的第一个指令” 将被执行。



EA=EX0=1, P3.2 (INT0) 空闲模式唤醒和中断

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	—	—	—	—	GF1	GF0	PD	IDL
R/W	—	—	—	—	R/W	R/W	R/W	R/W
Reset	—	—	—	—	0	0	0	0

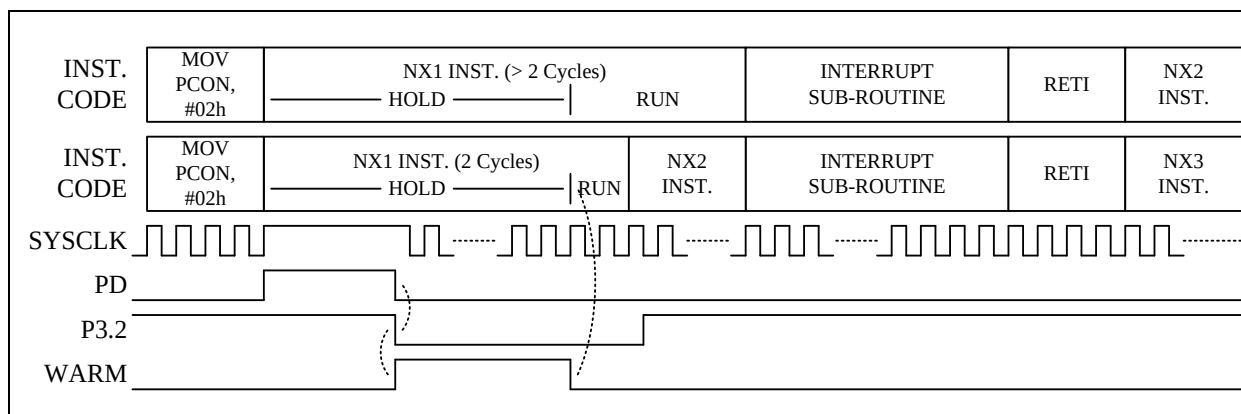
87h.1 **PD**: 停止位, 如果 1 进入暂停/停止模式。

87h.0 **IDL**: 空闲位, 如果 1 进入空闲模式。

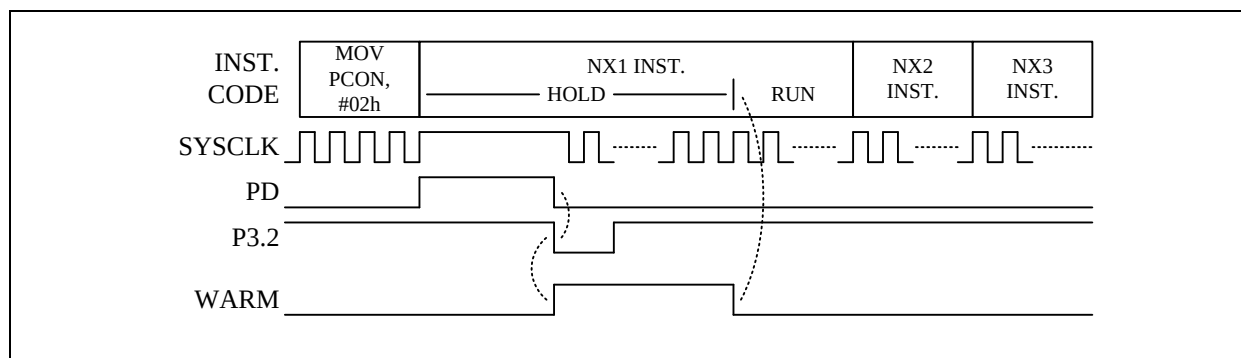
6.5 暂停/停止模式唤醒和中断

暂停/停止模式唤醒很简单, 只要把各个引脚的中断使能位 (如:EX0) 设置, 该引脚唤醒功能启用。设置EX0/EX1可以允许INT0/INT1引脚上的暂停/停止模式唤醒功能。设置PINMOD可以启用Port0~Port3的暂停/停止模式唤醒功能。一旦暂停/停止被唤醒, “PD (PCON.1) 设置后的第一条指令” 立即在中断服务之前被执行。中断进入需要EA=1和该引脚触发状态停留足够长, 以被系统时钟采样到。此功能可让CPU暂停/停止模式唤醒后, 进入或不进入中断子程序。

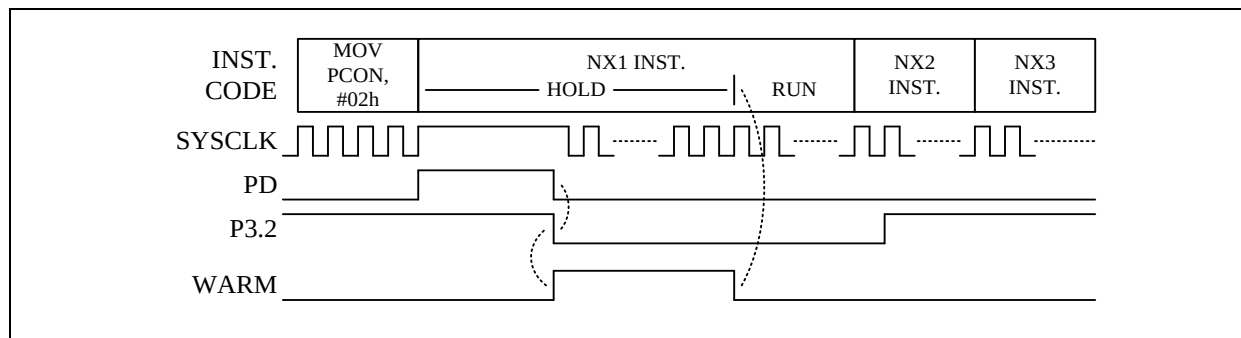
注:如果INTn 引脚是低电平且该唤醒功能启用, 则芯片无法进入暂停/停止模式。(INTn=0 and EXn=1, n=0~1)



EA=EX0=1, P3.2 (INT0) 预热后被采样, 暂停/停止模式唤醒和中断



EA=EX0=1, 脉冲太窄, 暂停/停止模式唤醒, 但没有中断



EX0=1, EA=0, P3.2 (INT0) 暂停/停止模式唤醒, 但没有中断

7. I/O 端口

该芯片总共有30个多功能I/O引脚。所有的I/O引脚遵循标准8051“读-修改-写”功能。读取SFR的，而不是引脚状态的指令，会读取一个端口或端口位的值，可能改变它，然后将它改写到SFR。(例如:ANL P1, A; INC P2; CPL P3.0)。

7.1 端口 0~端口 3

IO引脚可以按以下不同方式定义。

PxMODn (x=0~3, n=0~7)					引脚状态	中断	唤醒	高灌电流
模式 0	0	0	0	0	开漏输出，上拉	支持*	支持*	-
模式 1	0	0	0	1	开漏输出 (默认)	支持*	支持*	-
模式 2	0	0	1	0	CMOS 推挽输出	-	-	-
模式 3	0	0	1	1	ADC/CMP 通道	-	-	-
模式 4	0	1	0	0	开漏输出，上拉	支持*	支持*	-
模式 5	0	1	0	1	开漏输出	支持*	支持*	-
模式 6	0	1	1	0	CMOS 推挽输出	-	-	-
模式 7	0	1	1	1	LCD 1/2 V _{CC} 偏压输出	-	-	-
模式 8	1	0	0	0	开漏输出，上拉 (针对暂停/停止模式引脚电平变化)	支持	支持	-
模式 9	1	0	0	1	开漏输出 (针对暂停/停止模式引脚电平变化)	支持	支持	-
模式 10	1	0	1	0	CKO/WG/CMPO/TXD 推挽输出	-	-	-
模式 11	1	0	1	1	PWMO 输出	-	-	-
模式 12	1	1	0	0	开漏输出，上拉 (针对暂停/停止模式引脚电平变化)	支持	支持	支持
模式 13	1	1	0	1	开漏输出 (针对暂停/停止模式引脚电平变化)	支持	支持	支持
模式 14	1	1	1	0	CKO/WG/CMPO/TXD 推挽输出	-	-	支持
模式 15	1	1	1	1	PWMO 输出	-	-	支持

表7.1 端口0~端口3引脚菜单

注:针对INT0/INT1

引脚模式	端口0~端口3引脚功能	Px.n SFR 数据	引脚状态	电阻上拉	数位输入
模式0 模式4 模式8 模式12	带上拉的开漏输出	0	驱动低	N	N
		1	上拉	Y	Y
模式1 模式5 模式9 模式13	开漏输出	0	驱动低	N	N
		1	高阻抗	N	Y
模式2 模式6	CMOS 推挽输出	0	驱动低	N	N
		1	驱动高	N	N
模式3	ADC/CMP 通道	X (无关)	-	N	N
模式7	LCD 1/2 V _{CC} 偏压输出	X (无关)	-	N	N
模式10 模式14	CKO/WG/CMPO/TXD (CMOS 推挽输出)	X (无关)	-	N	N
模式11 模式15	PWMO (CMOS 推挽输出)	X (无关)	-	N	N

端口0~端口3引脚功能表

如果一个端口0~端口3引脚用于施密特触发输入，S/W必须设置I/O引脚到模式0，模式1，模式4，模式5，模式8，模式9，模式12或模式13（开漏或带上拉的开漏），并设置相应的端口数据SFR为1来禁止该引脚的输出驱动电路。

除了I/O端口功能外，每个端口1~端口3引脚还具有一个或多个替代功能，例如ADC，CMP，LCD，WG，TXD和PWM。通过将单独的引脚模式控制SFR设置为模式3，模式7，模式10，模式11，模式14或模式15，可以激活大多数功能。端口1和端口3引脚具有标准的8051辅助定义，例如INT0/INT1。这些引脚功能需要将引脚模式SFR设置为模式0，模式1，模式4，模式5，模式8，模式9，模式12或模式13（开漏或带上拉的开漏），并将Px.n SFR保持为1（x=0~3，n=0~7）。

引脚名称	唤醒中断	ADC	PWM	LCD	UART	MI ² C	SPI	CMP	WG	其他
P0.7	Y	AD7	PWM6	LCDC7				CIN3		
P0.6	Y	AD6	PWM1	LCDC6						
P0.5	Y	AD5	PWM5	LCDC5					WG _(m)	
P0.4	Y	AD4	PWM0N	LCDC4						
P0.3	Y	AD3	PWM0P	LCDC3						
P0.2	Y	AD2	PWM1	LCDC2	RXD ₍₁₎ TXD _(m)	SCL ₍₁₎				
P0.1	Y	AD1	PWM5	LCDC1				CIN4		
P0.0	Y	AD0	PWM4	LCDC0				CIP4		
P1.7	Y	AD8	PWM2					CIP3		
P1.6	Y	AD15	PWM3		RXD ₍₃₎ TXD _(m)	SDA ₍₁₎		CIN1		
P1.5	Y	AD20	PWM4					CIN2		
P1.4	Y	AD21	PWM5					CIP2		CKO
P1.3	Y	AD22	PWM6			SCL ₍₀₎				
P1.2	Y	AD25	PWM1				SCK ₍₁₎		WG _(m)	
P1.1	Y	AD26	PWM2				MISO ₍₁₎			T2EX
P1.0	Y	AD27	PWM3				MOSI ₍₁₎			T2
P2.5	Y	AD24	PWM4			SDA ₍₃₎				
P2.4	Y	AD23	PWM2			SCL ₍₃₎				
P2.3	Y		PWM3							XI
P2.2	Y		PWM5							XO
P2.1	Y	AD18	PWM6			SDA ₍₂₎	MISO ₍₀₎	CMPO _(m)		PSDA1
P2.0	Y	AD19	PWM2			SCL ₍₂₎	MOSI ₍₀₎			PSCL1
P3.7	Y	AD12	PWM4						WG _(m)	RSTn
P3.6	Y	AD16	PWM0N					CMPO _(m)		
P3.5	Y	AD17	PWM0P			SDA ₍₀₎	SCK ₍₀₎			T1
P3.4	Y	AD9	PWM3						WG _(m)	T0
P3.3	Y	AD14	PWM1					CIP1		INT1
P3.2	Y	AD13	PWM6							INT0 VBGO
P3.1	Y	AD10			RXD ₍₂₎ TXD _(m)					PSDA0
P3.0	Y	AD11			RXD ₍₀₎ TXD _(m)					PSCL0

端口0~端口3多重功能菜单

注:(m) = 模式 10 或模式 14

下面列出了端口0~端口3引脚的替代功能所需的 SFR 设置。

替代功能	PxMODn (x=0~3, n=0~7)	Px.n SFR 数据	引脚状态	设其他需要的 SFR 置
INT0, INT1	0000	1	带上拉的输入	
	0001	1	输入	
T0, T1, T2, T2EX	0000	1	带上拉的输入	
	0001	1	输入	
XI, XO	0000	1	晶振	CLKCON
VBGO	0011	X	带隙基准电压输出	AUX2
AD0~AD27	0011	X	ADC 通道	ADCHSEL
CIN1~CIN4 CIP1~CIP4	0011	X	CMP 通道	CMPPNS
LCDC0~LCDC7	0111	X	LCD 1/2 V _{CC} 偏压输出	
CKO	1x10	X	时钟输出 (CMOS 推挽)	
CMPO	1x10	X	CMP 输出 (CMOS 推挽)	
WG	1x10	X	WG 输出 (CMOS 推挽)	
RXD	0000	1	UART RX (上拉输入)	PINMOD
	0001	1	UART RX (输入)	
TXD	1x10		UART TX 输出 (CMOS 推挽)	
SPI Master Mode MISO	0001	1	SPI 数据输入	SPCON PINMOD
SPI Master Mode SCK, MOSI	0010	X	SPI 时钟/数据输出 (CMOS 推挽)	
SPI Slave Mode MISO	0010	X	SPI 数据输出 (CMOS 推挽)	
SPI Slave Mode SCK, MOSI	0001	1	SPI 时钟/数据输入	
Master I ² C SCL	0000	X	I ² C 时钟输出 (漏极开路输出, 上拉)	MICON PINMOD
	0010	X	I ² C 时钟输出 (CMOS 推挽)	
Master I ² C SDA	0000	1	I ² C 数据 (上拉)	
PWM0N/P PWM1~PWM6	1x11	X	PWM 输出 (CMOS 推挽)	

对于上表中，“CMOS推挽”引脚意味着它可以吸收和驱动至少4mA的电流。我们不建议使用这种引脚作为输入功能。

一个“开漏”引脚意味着它可以吸收至少4mA电流，但只能驱动小电流 (<20μA)。它可以用作输入或输出功能，并且通常需要一个外部上拉电阻。

该芯片支持I/O高灌电流功能。这是一个选项，通过设置引脚模式在模式12，模式13，模式14或模式15。

SFR 80h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

80h.7~0 **P0**: 端口0数据

SFR 90h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

90h.7~0 **P1**: 端口1数据

SFR A0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

A0h.7~0 **P2**: 端口2数据

SFR B0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

B0h.7~0 **P3**: 端口3数据

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0MOD10	P0MOD1				P0MOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

91h.7~4 **P0MOD1**: P0.1引脚控制

0000~1111: 见表7.1

91h.3~0 **P0MOD0**: P0.0引脚控制

0000~1111: 见表7.1

SFR 92h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0MOD32	P0MOD3				P0MOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

92h.7~4 **P0MOD3**: P0.3引脚控制

0000~1111: 见表7.1

92h.3~0 **P0MOD2**: P0.2引脚控制

0000~1111: 见表7.1

SFR 93h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0MOD54	P0MOD5				P0MOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

93h.7~4 **P0MOD5**: P0.5引脚控制

0000~1111: 见表7.1

93h.3~0 **P0MOD4**: P0.4引脚控制

0000~1111: 见表7.1

SFR 96h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0MOD76	P0MOD7				P0MOD6			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

96h.7~4 **P0MOD7**:P0.7引脚控制

0000~1111: 见表7.1

96h.3~0 **P0MOD6**:P0.6引脚控制

0000~1111: 见表7.1

SFR 9Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD10	P1MOD1				P1MOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Ah.7~4 **P1MOD1**:P1.1引脚控制

0000~1111: 见表7.1

9Ah.3~0 **P1MOD0**:P1.0引脚控制

0000~1111: 见表7.1

SFR 9Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD32	P1MOD3				P1MOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Bh.7~4 **P1MOD3**:P1.3引脚控制

0000~1111: 见表7.1

9Bh.3~0 **P1MOD2**:P1.2引脚控制

0000~1111: 见表7.1

SFR 9Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD54	P1MOD5				P1MOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Ch.7~4 **P1MOD5**:P1.5引脚控制

0000~1111: 见表7.1

9Ch.3~0 **P1MOD4**:P1.4引脚控制

0000~1111: 见表7.1

SFR 9Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD76	P1MOD7				P1MOD6			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Dh.7~4 **P1MOD7**:P1.7引脚控制

0000~1111: 见表7.1

9Dh.3~0 **P1MOD6**:P1.6引脚控制

0000~1111: 见表7.1

SFR 9Eh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2MOD10	P2MOD1				P2MOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Eh.7~4 **P2MOD1**:P2.1引脚控制

0000~1111: 见表7.1

9Eh.3~0 **P2MOD0**:P2.0引脚控制

0000~1111: 见表7.1

SFR 9Fh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2MOD32	P2MOD3				P2MOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Fh.7~4 **P2MOD3**:P2.3引脚控制

0000~1111: 见表7.1

9Fh.3~0 **P2MOD2**:P2.2引脚控制

0000~1111: 见表7.1

SFR A7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2MOD54	P2MOD5				P2MOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A7h.7~4 **P2MOD5**:P2.5引脚控制

0000~1111: 见表7.1

A7h.3~0 **P2MOD4**:P2.4引脚控制

0000~1111: 见表7.1

SFR A2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD10	P3MOD1				P3MOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A2h.7~4 **P3MOD1**:P3.1引脚控制

0000~1111: 见表7.1

A2h.3~0 **P3MOD0**:P3.0引脚控制

0000~1111: 见表7.1

SFR A3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD32	P3MOD3				P3MOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A3h.7~4 **P3MOD3**:P3.3引脚控制

0000~1111: 见表7.1

A3h.3~0 **P3MOD2**:P3.2引脚控制

0000~1111: 见表7.1

SFR A4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD54	P3MOD5				P3MOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A4h.7~4 **P3MOD5**:P3.5引脚控制

0000~1111: 见表7.1

A4h.3~0 **P3MOD4**:P3.4引脚控制

0000~1111: 见表7.1

SFR A5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD76	P3MOD7				P3MOD6			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A5h.7~4 **P1MOD7**:P3.7引脚控制

0000~1111: 见表7.1

A5h.3~0 **P1MOD6**:P3.6引脚控制

0000~1111: 见表7.1

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	—	SPIPS	UARTRXS		MSDAPS		MSCLPS	
R/W	—	R/W	R/W		R/W		R/W	
Reset	—	0	0	0	0	0	0	0

A6h.6 **SPIPS**: SPI 引脚选择

0: SCK/MOSI/MISO = P3.5/P2.0/P2.1

1: SCK/MOSI/MISO = P1.2/P1.0/P1.1

A6h.5~4 **UARTRXS**: UART RXD 引脚选择 (TXD 引脚由引脚模式选择)

00: RXD = P3.0

01: RXD = P0.2

10: RXD = P3.1

11: RXD = P1.6

A6h.3~2 **MSDAPS**: 主 I²C SDA 引脚选择

00: P3.5

01: P1.6

10: P2.1

11: P2.5

A6h.1~0 **MSCLPS**: 主 I²C SCL 引脚选择

00: P1.3

01: P0.2

10: P2.0

11: P2.4

SFR BCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPCON	SPEN	MSTR	CPOL	CPHA	—	LSBF	SPCR	
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	
Reset	0	0	0	0	—	0	0	0

BCh.7 **SPEN**: SPI 使能

0: SPI 禁用

1: SPI 使能

SFR BFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMPPNS	SCMPN	SCIN			—	SCIP		
R/W	R/W	R/W			—	R/W		
Reset	1	1	1	1	—	1	1	1

BFh.7 **SCMPN**: 比较器 CMPN 源选择

0: 比较器 CMPN 源为外部输入 (CIN_x)

1: 比较器 CMPN 源为 DAC 输出

BFh.6~4 **SCIN**: 比较器 CMPN 外部输入选择

000: 比较器 CMPN 外部输入为 CIN1 (P1.6)

001: 比较器 CMPN 外部输入为 CIN2 (P1.5)

010: 比较器 CMPN 外部输入为 CIN3 (P0.7)

011: 比较器 CMPN 外部输入为 CIN4 (P0.1)

100: 比较器 CMPN 输入为 V_{SS}

其他: 无连接

BFh.2~0 **SCIP**: 比较器 CMPP 外部输入选择

000: 比较器 CMPP 外部输入为 CIP1 (P3.3)

001: 比较器 CMPP 外部输入为 CIP2 (P1.4)

010: 比较器 CMPP 外部输入为 CIP3 (P1.7)

011: 比较器 CMPP 外部输入为 CIP4 (P0.0)

100: 比较器 CMPP 输入为 V_{SS}

其他: 无连接

SFR AEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCHSEL	ADCHS					ADCVREFS	ADCVBGS	
R/W	R/W					R/W	R/W	
Reset	1	1	1	1	1	0	0	0

AEh.7~3 **ADCHS**: ADC 通道选择

00000: AD0 (P0.0)	10000: AD16 (P3.6)
00001: AD1 (P0.1)	10001: AD17 (P3.5)
00010: AD2 (P0.2)	10010: AD18 (P2.1)
00011: AD3 (P0.3)	10011: AD19 (P2.0)
00100: AD4 (P0.4)	10100: AD20 (P1.5)
00101: AD5 (P0.5)	10101: AD21 (P1.4)
00110: AD6 (P0.6)	10110: AD22 (P1.3)
00111: AD7 (P0.7)	10111: AD23 (P2.4)
01000: AD8 (P1.7)	11000: AD24 (P2.5)
01001: AD9 (P3.4)	11001: AD25 (P1.2)
01010: AD10 (P3.1)	11010: AD26 (P1.1)
01011: AD11 (P3.0)	11011: AD27 (P1.0)
01100: AD12 (P3.7)	11100: V_{BG}
01101: AD13 (P3.2)	11101: DAC
01110: AD14 (P3.3)	11110: 保留
01111: AD15 (P1.6)	11111: $V_{CC}/4$

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	—	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	
Reset	0	—	1	0	0	0	1	1

D8h.7 **SCKTYPE**: 慢时钟类型。该位只能在快钟模式 (SELFCK=1) 时改变。

- 0: SRC, P2.3, P2.2为 I/O 引脚
- 1: SXT, P2.3, P2.2为晶振引脚

SFR E1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MICON	MIEN	MIACKO	MIIF	MIACKI	MISTART	MISTOP	MICR	
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	1	0	0

E1h.7 **MIEN**: 主 I²C 使能

- 0: 主 I²C 禁用
- 1: 主 I²C 使能

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSVAV	VBGOUT	—	IAPTE		—
R/W	R/W	R/W	R/W	R/W	—	R/W		—
Reset	0	0	0	0	—	1	1	—

F7h.4 **VBGOUT**: 带隙基准电压 V_{BG} 输出至 P3.2

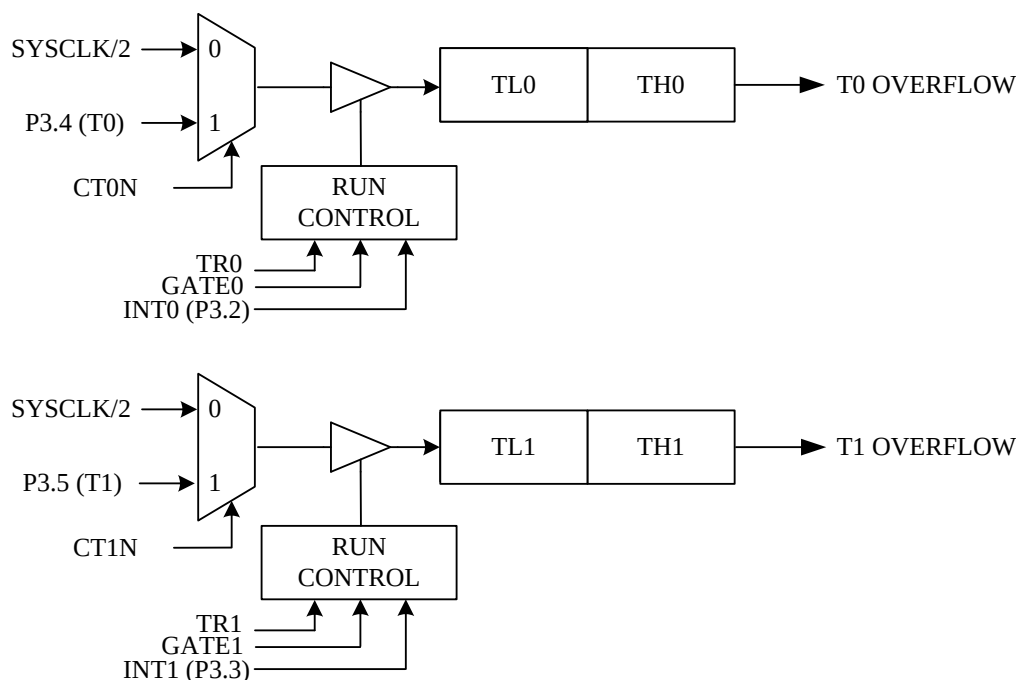
- 0: 关闭
- 1: 启用

8. 定时器

Timer0, Timer1和Timer2设置为标准的8051兼容的定时器/计数器。相较于传统的12T 8051, 该芯片的Timer0/1/2使用2个系统时钟周期的时间基本单元。也就是说, 在定时器模式下, 这些定时器以每一个“2个系统时钟”率增加;在计数器模式下, T0/T1/T2引脚输入脉冲必须大于2个系统时钟以便该设备可以辨识。当时基是SXT, Timer3被设置为一个实时时钟计数。

8.1 Timer0/1

TCON和TMOD用于设置操作模式, 并控制Timer0/1的运行和中断产生, 定时器/计数器的值存储在两个成对的8位寄存器 (TL0, TH0和TL1, TH1)。



Timer0 and Timer1结构

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.7 **TF1**:Timer1 溢出标志
当定时器/计数器 1 溢出时由 H/W 设置。
当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.6 **TR1**:Timer1 运行控制
0:Timer1 停止
1:Timer1 运行
- 88h.5 **TF0**:Timer0 溢出标志
当定时器/计数器 0 溢出时由 H/W 设置。
当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.4 **TR0**:Timer0 运行控制
0:Timer0 停止
1:Timer0 运行

SFR 89h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
R/W	R/W	R/W	R/W		R/W	R/W	R/W	
Reset	0	0	0	0	0	0	0	0

- 89h.7 **GATE1**:Timer1 门控位
0:当 TR1 位设置时 Timer1 使能
1:只有当 INT1 引脚为高, TR1 位设置时 Timer1 使能
- 89h.6 **CT1N**:Timer1 计数器/定时器选择位
0:定时器模式, Timer1 的数据以 2 个系统时钟周期率增加
1:计数器模式, Timer1 的数据在 T1 引脚的下降沿时增加
- 89h.5~4 **TMOD1**:Timer1 模式选择
00:8 位定时器/计数器 (TH1) 和 5 位预分频器 (TL1)
01:16 位定时器/计数器
10:8 位自动重载定时器/计数器 (TL1), 溢出时从 TH1 重新装载。
11:Timer1 停止
- 89h.3 **GATE0**:Timer0 门控位
0:当 TR0 位设置时 Timer0 使能
1:只有当 INT0 引脚为高, TR0 位设置时 Timer0 使能
- 89h.2 **CT0N**:Timer0 计数器/定时器选择位
0:定时器模式, Timer0 的数据以 2 个系统时钟周期率增加
1:计数器模式, Timer0 的数据在 T0 引脚的下降沿时增加
- 89h.1~0 **TMOD0**:Timer0 模式选择
00:8 位定时器/计数器 (TH0) 和 5 位预分频器 (TL0)
01:16 位定时器/计数器
10:8 位自动重载定时器/计数器 (TL0), 溢出时从 TH0 重新装载。
11:TL0 是一个 8 位定时器/计数器。TH0 是一个 8 位定时器/计数器, 使用 Timer1 的 TR1 和 TF1 位

SFR 8Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL0	TL0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ah.7~0 **TL0**:Timer0 数据的低字节

SFR 8Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL1	TL1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Bh.7~0 **TL1**:Timer1 数据的低字节

SFR 8Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH0	TH0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ch.7~0 **TH0**:Timer0 数据的高字节

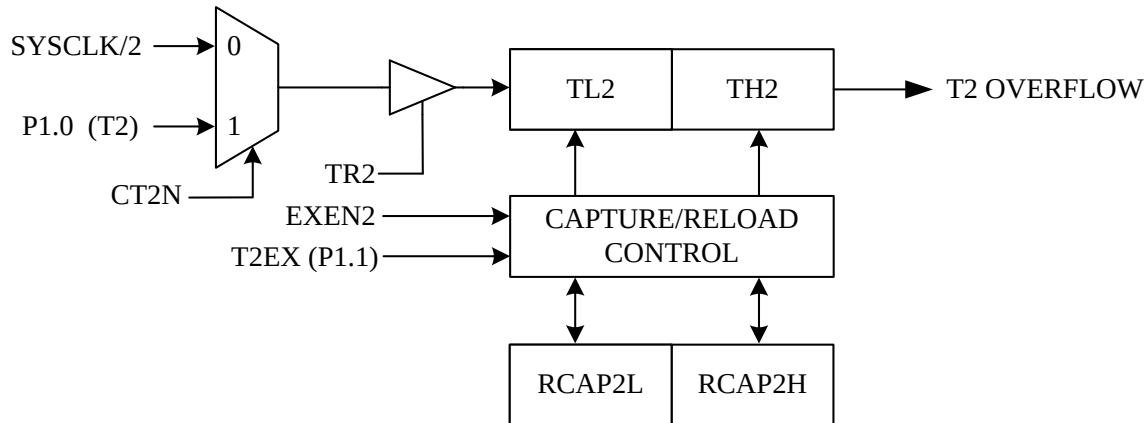
SFR 8Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH1	TH1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Dh.7~0 **TH1**:Timer1 数据的高字节

注:关于 Timer0/1 中断使能和优先级的更多信息参见第 6 章。

8.2 Timer2

Timer2通过TCON2寄存器存储在TL2和TH2的定时器/计数器2低和高字节和存储在RCAP2L和RCAP2H的Timer2重载/捕获寄存器的高和低字节来控制。



Timer2 结构

SFR C8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- C8h.7 **TF2**:Timer2 溢出标志
当定时器/计数器 2 溢出时由 H/W 设置，除非 RCLK=1 或 TCLK=1。此位必须由 S/W 清零。
- C8h.6 **EXF2**:T2EX 中断引脚下降沿标志
如果 EXEN2=1，当捕获或重载是由 T2EX 引脚的下降沿跳变引起时被设置。该位必须由 S/W 清零。
- C8h.5 **RCLK**:此位保持0
- C8h.4 **TCLK**:此位保持0
- C8h.3 **EXEN2**:T2EX 引脚使能
0:T2EX 引脚禁用
1:T2EX 引脚使能，如果 RCLK=TCLK=0，当检测出 T2EX 引脚的下降沿跳变，这引起捕获或重载
- C8h.2 **TR2**:Timer2 运行控制
0:Timer2 停止
1:Timer2 运行
- C8h.1 **CT2N**:Timer2 计数器/定时器选择位
0:定时器模式，Timer2 的数据以 2 个系统时钟周期率增加
1:计数器模式，Timer2 的数据在 T2 引脚的下降沿时增加
- C8h.0 **CPRL2N**:Timer2 捕捉/重载控制位
0:重载模式，如果 EXEN2=1 当 Timer2 溢出或 T2EX 引脚上的下降沿跳变则自动重载
1:捕捉模式，如果 EXEN2=1 在 T2EX 引脚上的下降沿跳变则捕捉
如果 RCLK=1 或 TCLK=1 时，CPRL2N 被忽略，Timer2 溢出时定时器被强制自动重载

SFR CAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2L	RCP2L							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CAh.7~0 **RCP2L**:Timer2 重载/捕获数据的低字节

SFR CBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2H	RCP2H							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CBh.7~0 **RCP2H**:Timer2 重载/捕获数据的高字节

SFR CCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL2	TL2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CCh.7~0 **TL2**:Timer2 数据的低字节

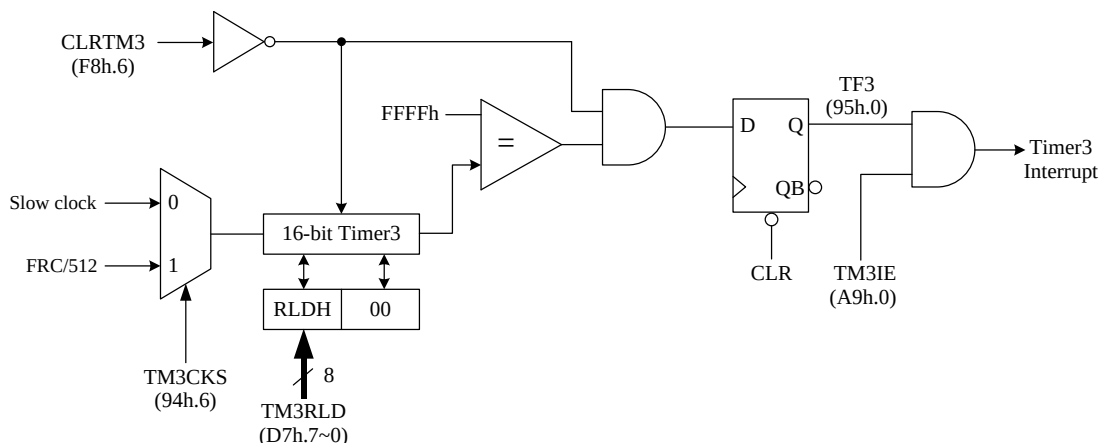
SFR CDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH2	TH2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CDh.7~0 **TH2**:Timer2 数据的高字节

注:关于Timer2 中断使能和优先级的更多信息参见第6 章。

8.3 Timer3

Timer3作为一个16位时基计数器，周期性地产生中断。此外，Timer3周期性地增加自身，并在它滚动并生成中断标志 (TF3) 时，自动从SFR TM3RLD重新加载一个新的“偏移值”至Timer3的高8位，计数范围從[TM3RLD, 00h]~FFFFh。如果设置了CLRTM3位，Timer3可以停止计数。Timer3时钟源为慢时钟 (SRC或SXT) 或FRC/512。当时钟源为SXT时，这是实时时钟 (RTC) 功能的理想选择。



Timer3 结构

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	—	TM3CKS	WDTPSC		ADCKS		SXTGAIN	
R/W	—	R/W	R/W		R/W		R/W	
Reset	—	0	0	0	0	0	0	0

94h.6 **TM3CKS**:Timer3 时钟源选择
0:慢时钟 (SXT/SRC)
1:FRC/512 (32.398 KHz)

SFR D7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TM3RLD	TM3RLD							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D7h.7~0 **TM3RLD**:16 位 Timer3 高 8 位重载数据
计数范围:[TM3RLD, 00h]~FFFFh

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	CMPIF	—	ADIF	WGIF	—	PCIF	TF3
R/W	R/W	R/W	—	R/W	R/W	—	R/W	R/W
Reset	0	0	—	0	0	—	0	0

95h.0 **TF3**:Timer3 中断标志

当 Timer3 计数为 FFFFh 时，由 H/W 设置。当程序执行中断服务程序时自动清除。S/W 可以将 FEh 写入 INTFLG 以清除该位。

注:S/W 可以写0来清除INTFLG中的标志，但是写1不起作用。

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	CLRPWM0	CLRPWM1	WGEN	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	1	1	0	0

F8h.6 **CLRTM3**:设置 1 为 clear 并保持 Timer3，需要 S/W 清除。

注:关于 Timer3 中断使能和优先级的更多信息参见第 6 章。

9. UART

UART使用SCON, SBUF_TX和SBUF_RX的SFR。SCON是控制寄存器，SBUF_TX和SBUF_RX是数据寄存器。数据被写入到SBUF_TX用于传输，而SBUF_RX被读取时，可获得接收数据。接收到的数据和发送数据寄存器是完全独立的。发送和接收数据采用P0.2, P1.6, P3.0或P3.1脚，发送脚透过引脚模式选择，发送脚则是透过SFR PINMOD选择。

F_{SYSCLK} 为系统时钟频率，UART波特率计算公式如下：

UART 波特率设置：

• Mode 1, 3:

$$\text{Baud Rate} = F_{SYSCLK} / 16 / \text{UARTBRP}$$

注：关于 UART 中断使能和优先级的更多信息参见第6章。

注：同时参阅第7章有关 UART 引脚输入设置的详细信息。

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	—	SPIPS	UARTRXS		MSDAPS		MSCLPS	
R/W	—	R/W	R/W		R/W		R/W	
Reset	—	0	0	0	0	0	0	0

A6h.5~4 **UARTRXS**: UART RXD 引脚选择 (TXD 引脚由引脚模式选择)

00: RXD = P3.0

01: RXD = P0.2

10: RXD = P3.1

11: RXD = P1.6

SFR 98h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

98h.7~6 **SM0, SM1**: UART 串口模式选择位 0, 1

00: 模式 0: 该芯片不支持此模式

01: 模式 1: 8 bit UART, 波特率可变

10: 模式 2: 该芯片不支持此模式

11: 模式 3: 9 bit UART, 波特率可变

98h.5 **SM2**: UART 串口模式选择位 2

SM2 支持通过单个串行线进行多处理器通信，并对上述内容进行如下修改。在模式 2 和模式 3 中，如果设置 SM2，则如果接收到的第 9 个数据位为 0，则不会产生接收到的中断。在模式 1 中，除非接收到有效的停止位，否则不会产生接收到的中断。在模式 0 下，SM2 应为 0。

98h.4 **REN**: UART 接收使能

0: 关闭接收

1: 开启接收

98h.3 **TB8**: 传输位 8，在模式 2 和模式 3 中传输的第 9 位

98h.2 **RB8**: 接收位 8，包含模式 2 和模式 3 接收到的第 9 位，或者 SM2=0 时停止位为模式 1

98h.1 **TI**: 发送中断标志

在模式 0 中由 H/W 在第 8 位末尾设置，或在其他模式中由停止位开始设置。必须由 S/W 清除。

98h.0 **RI**: 接收中断标志

在模式 0 中由第八位末尾的 H/W 设置，或在其他模式中由停止位的采样点设置。必须由 S/W 清除。

SFR 99h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF	SBUF_RX							
R/W	R							
Reset	—	—	—	—	—	—	—	—

99h.7~0 **SBUF_RX**:UART 接收数据。
(发送数据写入该位置，接收数据从该位置读取，但路径是独立的。)

SFR 99h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF	SBUF_TX							
R/W	W							
Reset	—	—	—	—	—	—	—	—

99h.7~0 **SBUF_TX**:UART 发送数据。
(发送数据写入该位置，接收数据从该位置读取，但路径是独立的。)

SFR DFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
UARTBRP	UARTBRP							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

DFh.7~0 **UARTBRP**:定义 UART 波特率预分频器。
UART 波特率= $F_{SYSCLK}/16/UARTBRP$

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	—	ET2	ES	ET1	EX1	ET0	EX0
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	—	0	0	0	0	0	0

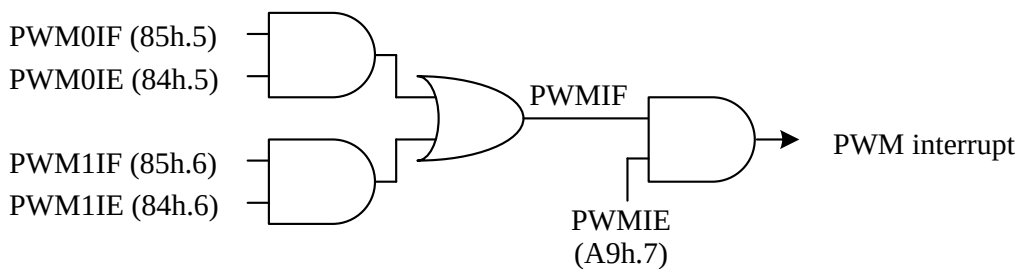
A8h.4 **ES**:串口 (UART) 中断使能控制
0:禁用串口 (UART) 中断
1:允许串口 (UART) 中断

10. PWMs

该芯片具有1个16位PWM0模块和6个8位PWM1~PWM6模块。PWM0具有独立的16位占空比控制寄存器和16位周期寄存器。PWM1~PWM6则具有独立的8位占空比控制寄存器，并共享一组8位周期寄存器。PWM0可以根据PWM时钟产生65536占空比分辨率的变化频率波形。虽然PWM1~PWM6只能产生256占空比的分辨率，但PWM1~PWM6另外有一个PWM时钟预分频器，搭配起来可以增加更多的变化频率波形。PWM时钟可以选择FRC双频 (FRCx2)，FRC，FRC/256或F_{SYSClk}作为其时钟源。用户需留意在设定上，PWM的周期必须要大于占空比。

16位的PWM0PRD和16位的PWM0D寄存器都具有低字节结构和高字节结构。高字节可以直接访问，但由于低字节只能通过内部8位缓冲区访问，因此必须以特定的方式读取或写入这些寄存器对。需要注意的重要一点是，只有在对相应的高字节执行写或读操作时，才会进行与8位缓冲区及其相关的低字节之间的数据传输。简单地说，先写低字节，再写高字节;先读高字节，再读低字节。

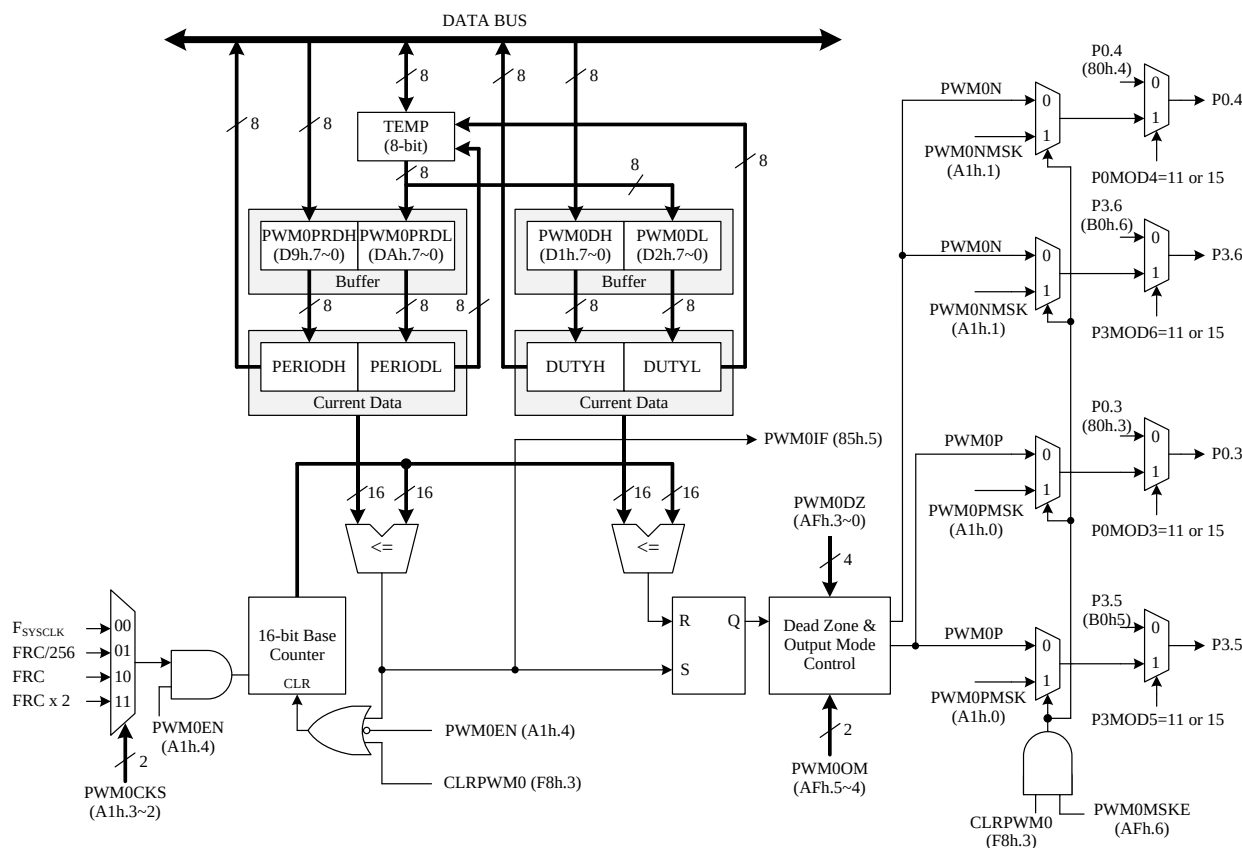
只有PWM0具有死区控制，可分为PWM0P/PWM0N输出，其余的PWM1~PWM6无非重叠控制。用户可以使用引脚模式设置为模式11 (PWM CMOS推挽输出，无高灌电流) 或模式15 (PWM CMOS推挽输出，有高灌电流) 将PWM输出到相应的I/O引脚，有关引脚设置的更多信息，请参阅第7章。



PWM 中断结构

10.1 PWM0

PWM0EN作为PWM0的控制使能位。如果PWM0EN被清除，PWM0将被清除并停止，否则PWM0正在运行。CLRPWM0位具有相同的功能。设置CLRPWM0位时，清除PWM0并保持，否则PWM0正在运行。PWM0结构如下图所示。



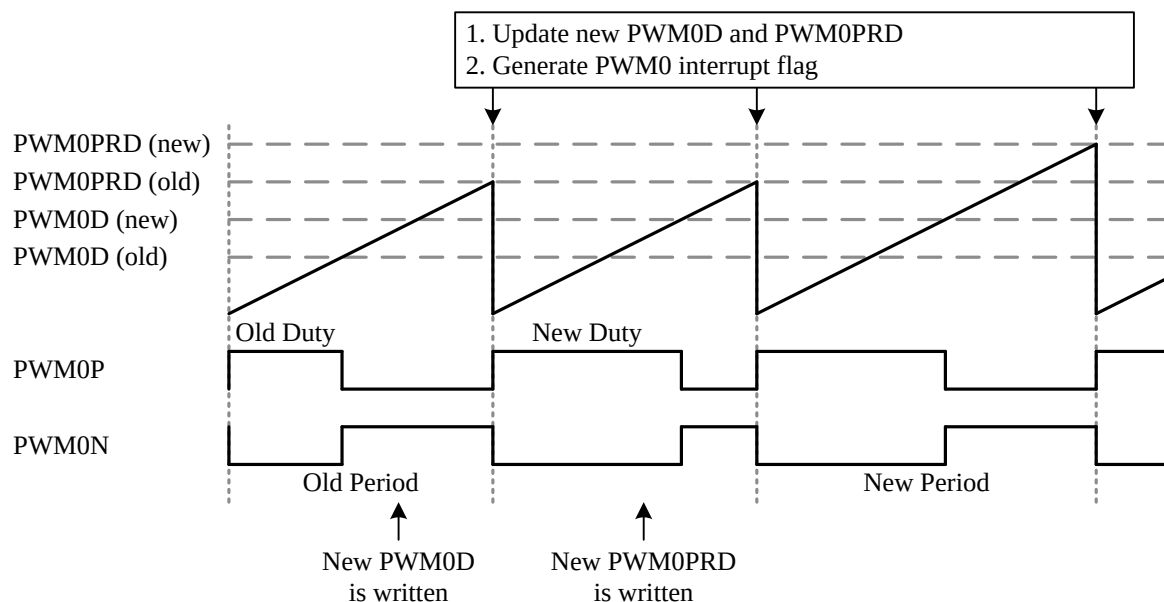
PWM0结构图

可以通过写入PWM0DH和PWM0DL来改变PWM0的占空比。当16位基计数器匹配16位PWM0占空寄存器{PWM0DH, PWM0DL}时，PWM0输出信号复位为低电平。可以通过将周期值写入PWM0PRDH和PWM0PRDL寄存器来设置PWM0周期。在写入PWM0D或PWM0PRD寄存器之后，新值将立即保存到它们自己的缓冲区中。H/W将在当期结束时或清除PWM0时更新这些值。在当前周期结束时，H/W将设置PWM0IF位，如果PWM0中断使能，则产生中断。

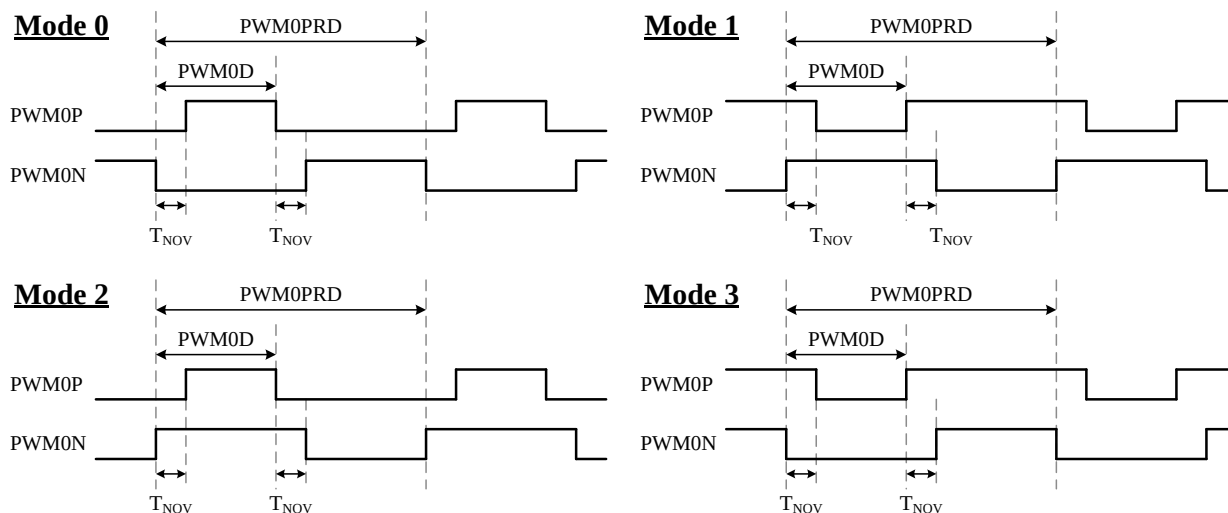
PWM0有正常模式和半桥模式两种工作模式。PWM0输出信号可以通过PWM0P和PWM0N四种不同的模式输出。这两个输出不重叠，时间间隔为T_{NOV}。不重叠的时间间隔也称为死区或不工作区。T_{NOV}通过设置PWM0DZ位来确定。PWM0DZ的0~15分别映射到0~15，16个PWM0CLK周期。如果PWM0DZ=0，则直接将PWM0输出传递给PWM0P和PWM0N，使其波形具有相同的占空比。注意，如果PWM0输出的高脉宽或低脉宽短于T_{NOV}，则这两个输出的实际波形将不同于预期波形。如果设置了PWM0MSKE位，则输出可以被屏蔽以强制输出固定信号，而S/W设置CLRPWM0位由H/W设置。

10.1.1 正常模式

正常模式PWM是一种简单的结构，它以均匀的可重复间隔将其输出高和低切换。PWM0D是输出占空比，输出周期为PWM0PRD + 1。PWM0的输出波形如下所示。



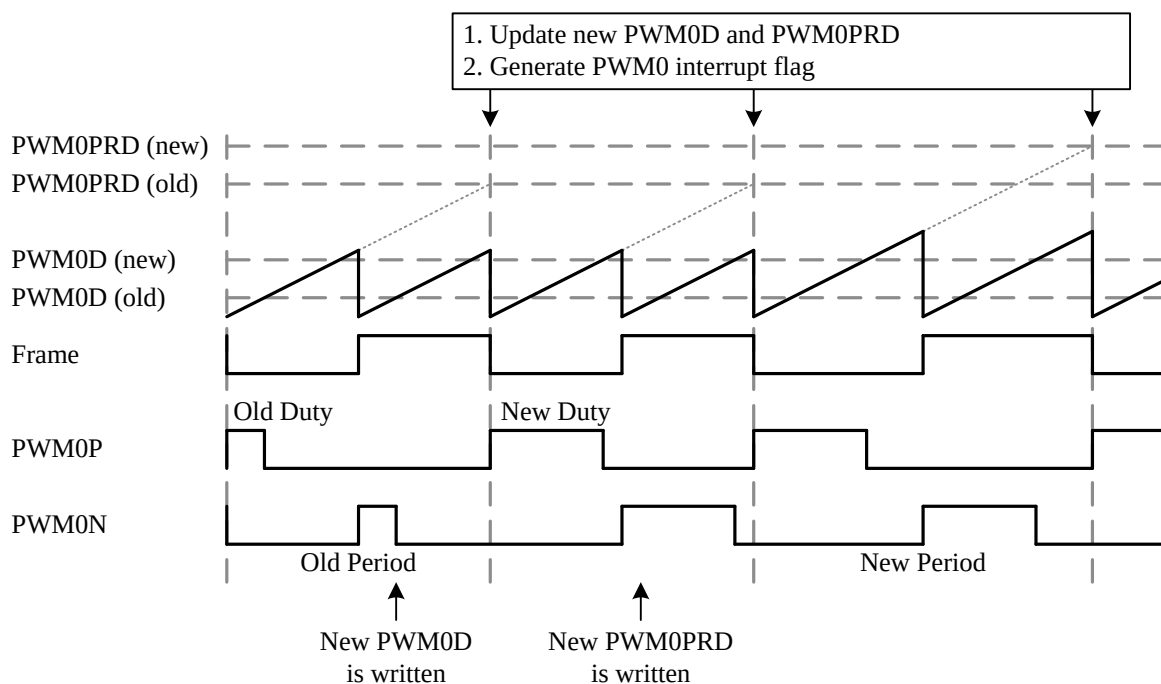
PWM0正常模式输出波形 (PWM0OM=0, PWM0DZ=0)



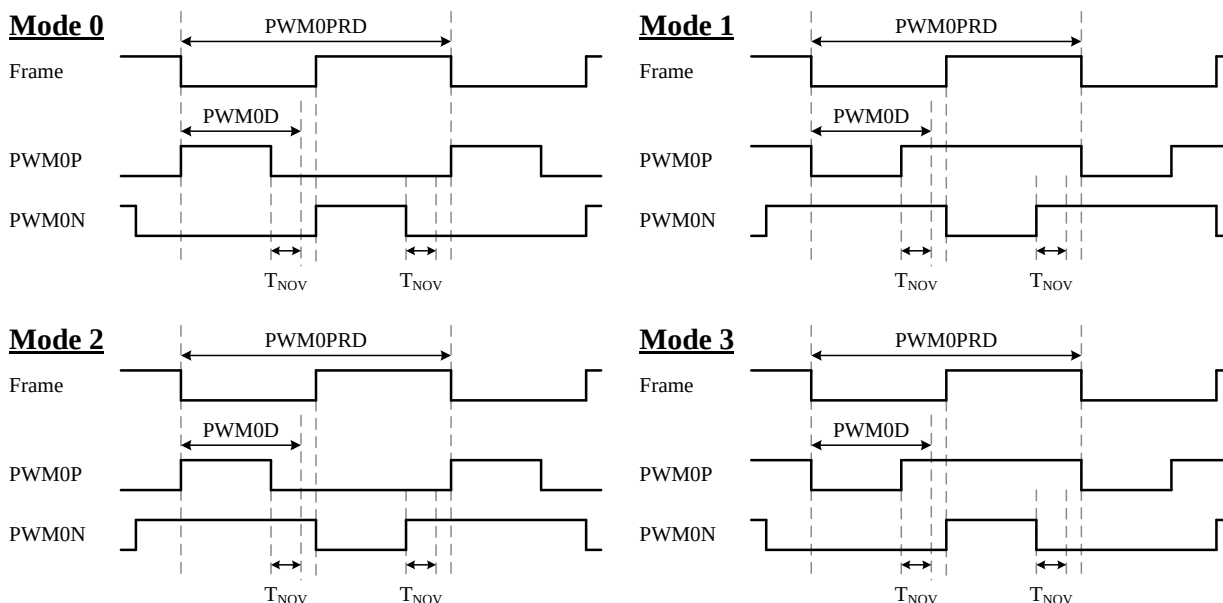
PWM0正常模式输出模式

10.1.2 半桥模式

半桥模式PWM与正常模式相似，但在半桥模式下禁止死区 (SFR PWM0DZ必须为0)，它在一个周期内有两帧，PWM0P只在第一帧输出，PWM0N只在第二帧输出。这两帧的宽度必须相同，所以它们的宽度是PWM0PRD/2的整数部分。由于每个输出通道只输出一帧，所以最大占空比等于一帧的宽度。如果PWM0D大于PWM0PRD/2，H/W将强制设置占空比为PWM0PRD/2。输出波形和输出模式如下图所示。



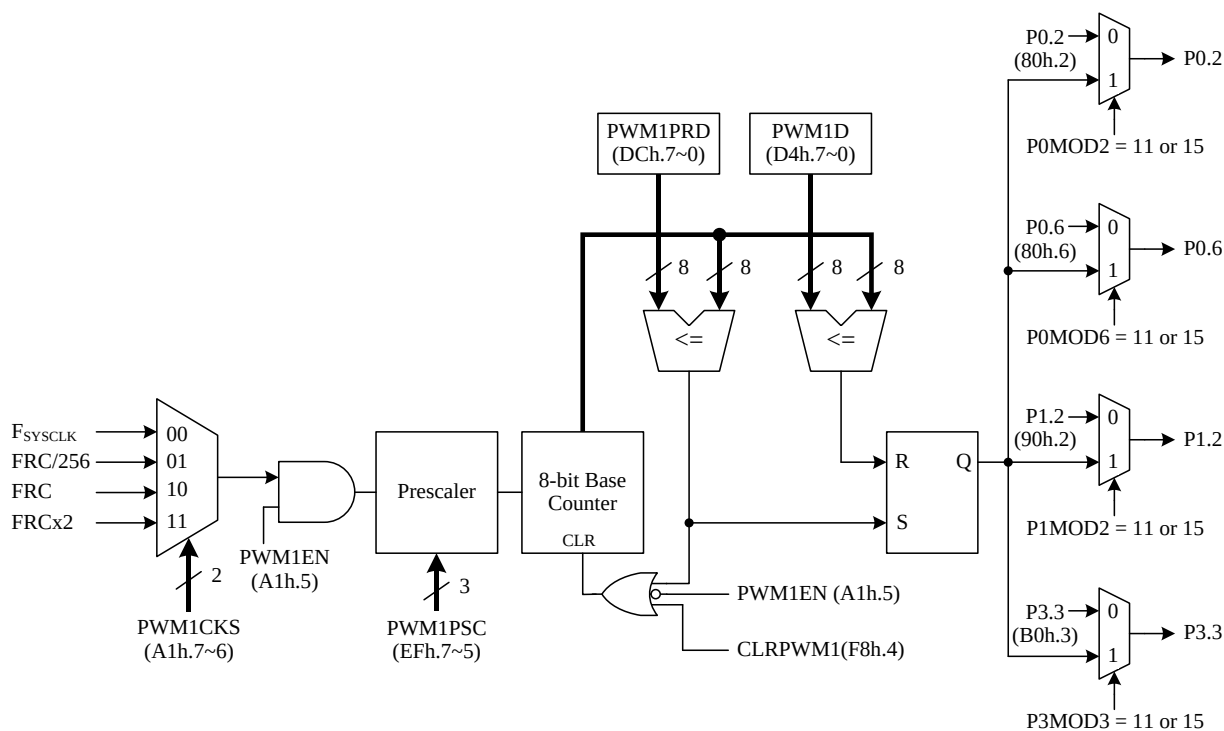
PWM0半桥模式输出波形 (PWM0OM=0, PWM0DZ=0)



PWM0半桥模式输出模式

10.2 PWM1~PWM6

芯片有6个8位PWM模块PWM1~PWM6。PWM1~6共享中断 (PWM1IF)，时钟源和周期。以下以PWM1为例进行说明。PWM可以根据PWM时钟产生256占空比分辨率的变化频率波形。PWM时钟有一个预分频器可以产生一个除1~除128的PWM时钟。PWM时钟可以选择双频 (FRC x 2), FRC, FRC/256或F_{SYSCLK}作为其时钟源。



PWM1~6 结构

SFR 84h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE2	—	PWM1IE	PWM0IE	—	—	—	—	—
R/W	—	R/W	R/W	—	—	—	—	—
Reset	—	0	0	—	—	—	—	—

84h.6 **PWM1IE**:PWM1~PWM6 中断使能

0:禁止
1:使能

84h.5 **PWM0IE**:PWM0 中断使能

0:禁止
1:使能

SFR 85h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG2	—	PWM1IF	PWM0IF	—	—	—	—	—
R/W	—	R/W	R/W	—	—	—	—	—
Reset	—	0	0	—	—	—	—	—

85h.6 **PWM1IF**:PWM1~PWM6 中断标志

在 PWM1~PWM6 周期结束时由 H/W 置 1，S/W 将 BFh 写入 INTFLG2 以清除该标志。

85h.5 **PWM0IF**:PWM0 中断标志

在 PWM0 周期结束时由 H/W 置 1，S/W 将 DFh 写入 INTFLG2 以清除该标志。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	LVDIE	SPI2CE	ADIE	WGIE	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.7 **PWMIE**:PWM 全局中断使能

0:禁用 PWM 中断
1:允许 PWM 中断

SFR A1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON	PWM1CKS		PWM1EN	PWM0EN	PWM0CKS		PWM0NMSK	PWM0PMSK
R/W	R/W		R/W	R/W	R/W		R/W	R/W
Reset	0	0	0	0	0	0	0	0

A1h.7~6 **PWM1CKS**:PWM1~PWM6 时钟源

00:F_{SYSClk}
01:FRC/256
10:FRC
11:FRCx2 (V_{CC}>2.5V)

A1h.5 **PWM1EN**:PWM1~PWM6 使能

0:PWM1~PWM6 禁用
1:PWM1~PWM6 使能

A1h.4 **PWM0EN**:PWM0 使能

0:PWM0 禁用
1:PWM0 使能

A1h.3~2 **PWM0CKS**:PWM0 时钟源

00:F_{SYSClk}
01:FRC/256
10:FRC
11:FRCx2 (V_{CC}>2.5V)

A1h.1 **PWM0NMSK**:PWM0N 掩码数据。

如果 CLRPWM0=1, PMW0MSKE=1, PWM0N 将输出该掩码数据。

A1h.0 **PWM0PMSK**:PWM0P 掩码数据。

如果 CLRPWM0=1, PMW0MSKE=1, PWM0P 将输出该掩码数据。

SFR AFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON2	PWM0MOD	PWM0MSKE	PWM0OM		PWM0DZ			
R/W	R/W	R/W	R/W		R/W			
Reset	0	0	0	0	0	0	0	0

AFh.7 **PWM0MOD**:PWM0 模式选择

0: 正常模式

1: 半桥模式

AFh.6 **PWM0MSKE**: 使能 PWM0 掩码输出

0: 禁用

1: CLRPWM0=1 时, PWM0P/PWM0N 通过 PWM0PMSK/PWM0NMSK 输出数据

AFh.5~4 **PWM0OM**:PWM0 输出模式选择

00: 模式 0

01: 模式 1

10: 模式 2

11: 模式 3

AFh.3~0 **PWM0DZ**:PWM0 死区

0000: 0 x T_{PWMCLK}

0001: 1 x T_{PWMCLK}

...

1111: 15 x T_{PWMCLK}

SFR D1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DH	PWM0DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D1h.7~0 **PWM0DH**:PWM0 占空比高字节

写入顺序: 先写 PWM0DL 再写 PWM0DH

读取顺序: 先读 PWM0DH 再读 PWM0DL

SFR D2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DL	PWM0DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D2h.7~0 **PWM0DL**:PWM0 占空比低字节

写入顺序: 先写 PWM0DL 再写 PWM0DH

读取顺序: 先读 PWM0DH 再读 PWM0DL

SFR D4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1D	PWM1D							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D4h.7~0 **PWM1D**:PWM1 占空比

SFR D6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM2D	PWM2D							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D6h.7~0 **PWM2D**:PWM2 占空比

SFR D9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRDH	PWM0PRDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

D9h.7~0 **PWM0PRDH**:PWM0 周期高字节
写入顺序:先写 PWM0PRDL 再写 PWM0PRDH
读取顺序:先读 PWM0PRDH 再读 PWM0PRDL

SFR DAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRDL	PWM0PRDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DAh.7~0 **PWM0PRDL**:PWM0 周期低字节
写入顺序:先写 PWM0PRDL 再写 PWM0PRDH
读取顺序:先读 PWM0PRDH 再读 PWM0PRDL

SFR DCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRD	PWM1PRD							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DCh.7~0 **PWM1PRD**:PWM1~PWM6 周期

SFR DEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM3D	PWM3D							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

DEh.7~0 **PWM3D**:PWM3 占空比

SFR EAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM4D	PWM4D							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

EAh.7~0 **PWM4D**:PWM4 占空比

SFR ECh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM5D	PWM5D							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

ECh.7~0 **PWM5D**:PWM5 占空比

SFR EEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM6D	PWM6D							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

EEh.7~0 **PWM6D**:PWM6 占空比

SFR EFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX3	PWM1PSC			PRGD	WARMTIME	DACVREFS	—	—
R/W	R/W			R/W	R/W	R/W	—	—
Reset	0	0	0	0	0	0	—	—

E8h.7~5 **PWM1PSC**: PWM1~PWM6 时钟预分频器选择

- 000: PWM1~PWM6 时钟分频除 1
- 001: PWM1~PWM6 时钟分频除 2
- 010: PWM1~PWM6 时钟分频除 4
- 011: PWM1~PWM6 时钟分频除 8
- 100: PWM1~PWM6 时钟分频除 16
- 101: PWM1~PWM6 时钟分频除 32
- 110: PWM1~PWM6 时钟分频除 64
- 111: PWM1~PWM6 时钟分频除 128

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	CLRPWM0	CLRPWM1	WGEN	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	1	1	0	0

F8h.3 **CLRPWM0**: PWM0 清除

- 0: PWM0 正在运行
- 1: PWM0 被清零并保持

F8h.2 **CLRPWM1**: PWM1~PWM6 清除

- 0: PWM1~PWM6 正在运行
- 1: PWM1~PWM6 被清零并保持

注:关于 PWM 中断使能和优先级的更多信息参见第 6 章。

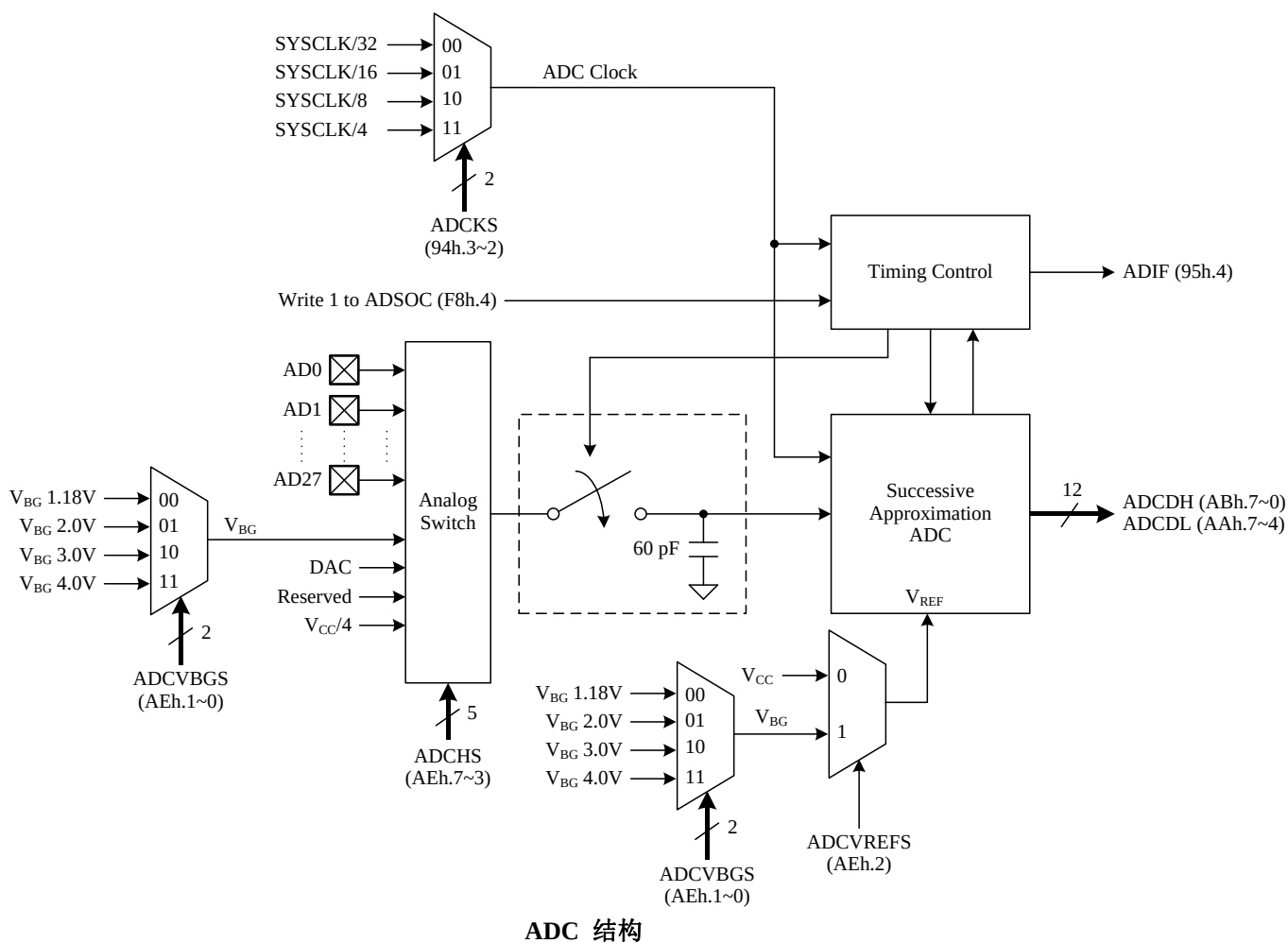
注:同时参阅第 7 章有关 PWM 引脚输出设置的详细信息。

11. ADC

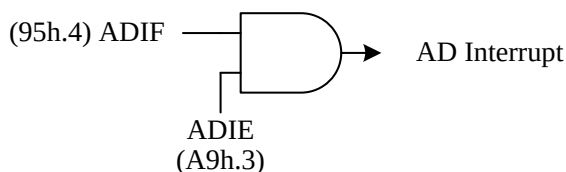
该芯片提供12位ADC，由28通道模拟输入多路复用器、控制寄存器、时钟发生器、12位逐次逼近寄存器和输出数据寄存器组成。通常，ADC时钟频率小于4 MHz，用户可以参考电气特性章节了解详细信息。

要使用ADC，请先设置ADCKS位以选择合适的ADC时钟频率。然后，用户通过设置ADSOC位启动ADC转换，H/W将在转换结束时自动清除它。转换结束后，如果使能ADC中断，H/W将设置ADIF位并生成中断。ADIF位可以通过向该位写入0或设置ADSOC位来清除。模拟输入电平必须保持在 V_{SS} 至 V_{CC} 的范围内。

使用ADCVREFS选项，ADC内部基准电压源 (V_{REF}) 可以选择为 V_{CC} 或 V_{BG} 。



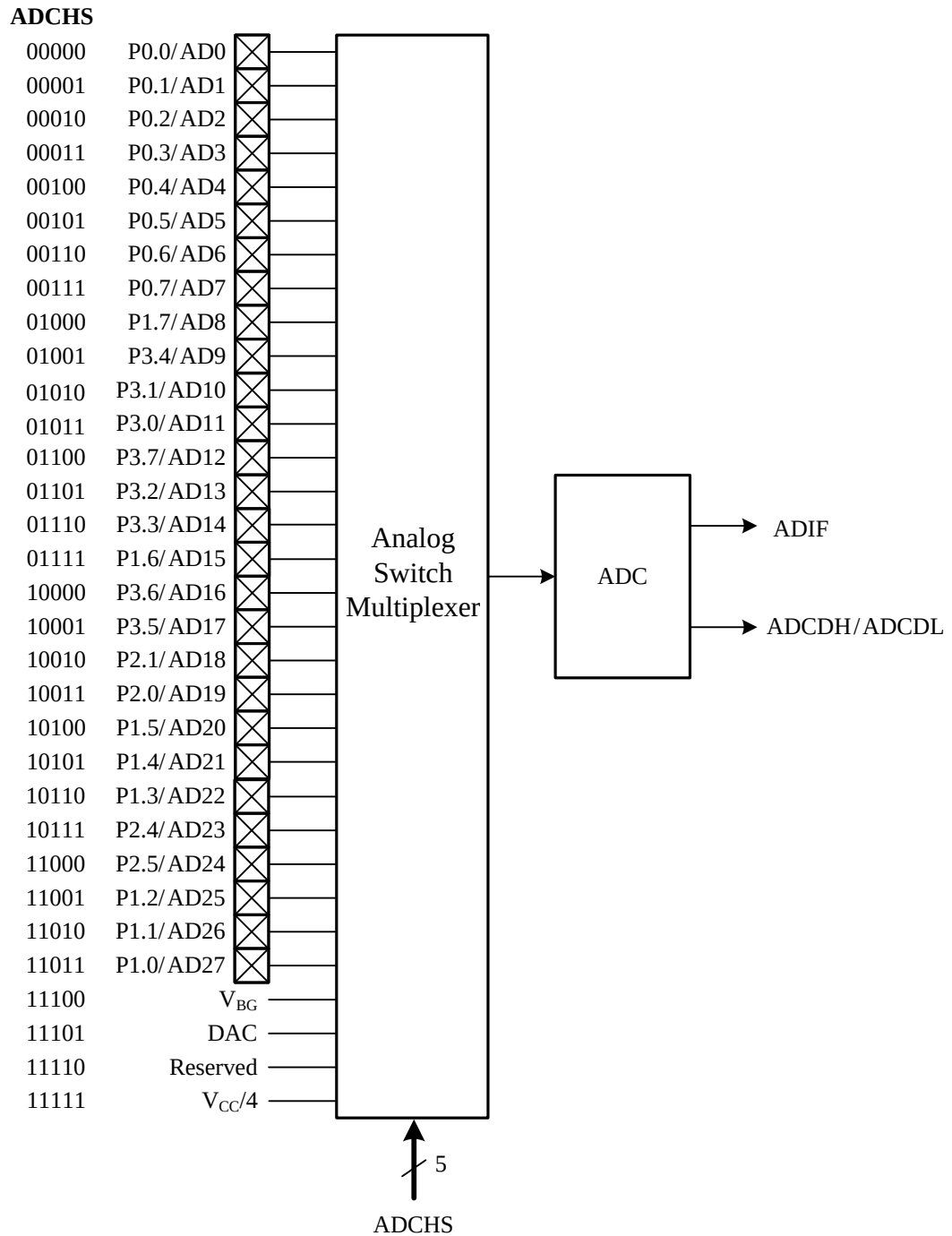
ADC 结构



ADC 中断结构

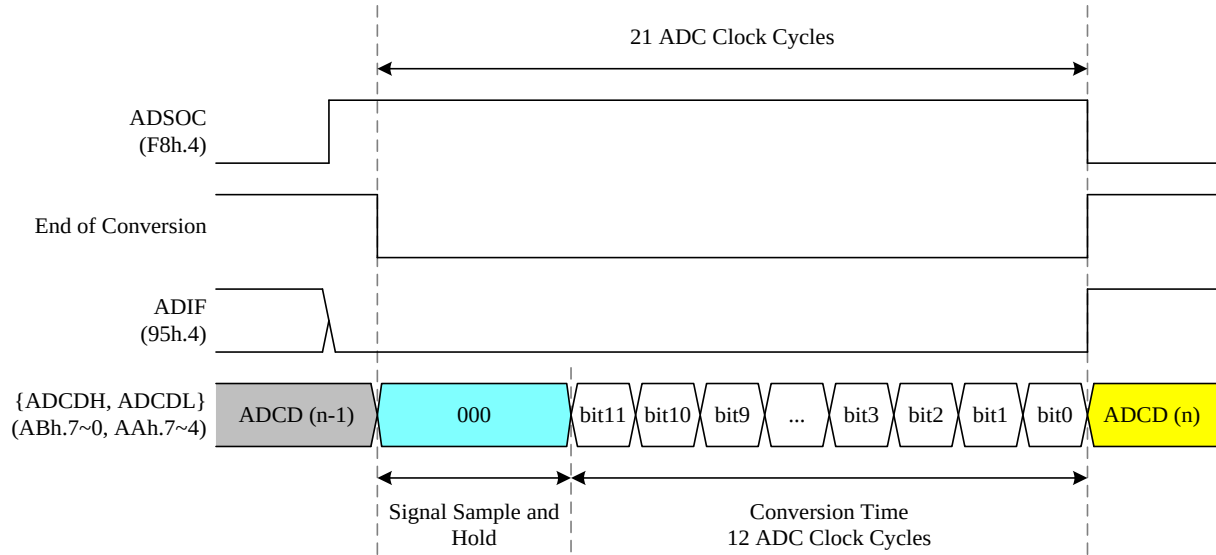
11.1 ADC 通道

ADC通道通过类比开关多路复用器连接到类比输入引脚。类比开关多路复用器由ADCHS寄存器控制。该芯片提供多达28个IO输入引脚，指定为AD0~AD27。此外，还有3个内部基准电压 (V_{BG} 、DAC、 $V_{CC}/4$)。当ADCHS设置为11100b时，模拟输入将连接到 V_{BG} ，当ADCHS设置为11101b时，模拟输入将连接到DAC。



11.2 ADC 转换时间

转换时间是ADC转换电压所需要的时间。该ADC转换每个位需要一个ADC时钟周期，以及多个时钟周期进行输入电压采样和保持。一共需要21个ADC时钟周期以执行完全转化。当转换时间结束，ADIF中断标志由H/W设置，12位A/D转换结果被加载到ADCDH和ADC DL寄存器。



SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	—	TM3CKS	WDTPSC		ADCKS		SXTGAIN	
R/W	—	R/W	R/W		R/W		R/W	
Reset	—	0	0	0	0	0	0	0

94h.3~2 **ADCKS**:ADC 时钟频率选择

00: $F_{SYSCLK}/32$

01: $F_{SYSCLK}/16$

10: $F_{SYSCLK}/8$

11: $F_{SYSCLK}/4$

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	CMPIF	—	ADIF	WGIF	—	PCIF	TF3
R/W	R/W	R/W	—	R/W	R/W	—	R/W	R/W
Reset	0	0	—	0	0	—	0	0

95h.4 **ADIF**:ADC 中断标志

于转换结束时由 H/W 设置。S/W 写入 EFh 到 INTFLG 或设置 ADSOC 位来清除该标志。

SFR AAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADC DL	ADC DL				—	—	—	—
R/W	R				—	—	—	—
Reset	—	—	—	—	—	—	—	—

AAh.7~4 **ADC DL**:ADC 数据位 3~0

SFR ABh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDH	ADCDH							
R/W	R							
Reset	—	—	—	—	—	—	—	—

ABh.7~0 **ADCDH**:ADC 数据位 11~4

SFR AEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCHSEL	ADCHS					ADCVREFS	ADCVBGS	
R/W	R/W					R/W	R/W	
Reset	1	1	1	1	1	0	0	0

AEh.7~3 **ADCHS**:ADC 通道选择

00000: AD0 (P0.0)	10000: AD16 (P3.6)
00001: AD1 (P0.1)	10001: AD17 (P3.5)
00010: AD2 (P0.2)	10010: AD18 (P2.1)
00011: AD3 (P0.3)	10011: AD19 (P2.0)
00100: AD4 (P0.4)	10100: AD20 (P1.5)
00101: AD5 (P0.5)	10101: AD21 (P1.4)
00110: AD6 (P0.6)	10110: AD22 (P1.3)
00111: AD7 (P0.7)	10111: AD23 (P2.4)
01000: AD8 (P1.7)	11000: AD24 (P2.5)
01001: AD9 (P3.4)	11001: AD25 (P1.2)
01010: AD10 (P3.1)	11010: AD26 (P1.1)
01011: AD11 (P3.0)	11011: AD27 (P1.0)
01100: AD12 (P3.7)	11100: V_{BG}
01101: AD13 (P3.2)	11101: DAC
01110: AD14 (P3.3)	11110: 保留
01111: AD15 (P1.6)	11111: $V_{CC}/4$

AEh.2 **ADCVREFS**:ADC 参考电压选择

- 0: V_{CC}
- 1: V_{BG}

AEh.1~0 **ADCVBGS**: V_{BG} 电压选择 (用于 ADC)

- 00: 1.18V
- 01: 2.0V
- 10: 3.0V
- 11: 4.0V

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	CLRPWM0	CLRPWM1	WGEN	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	1	1	0	0

F8h.4 **ADSOC**:启动 ADC 转换

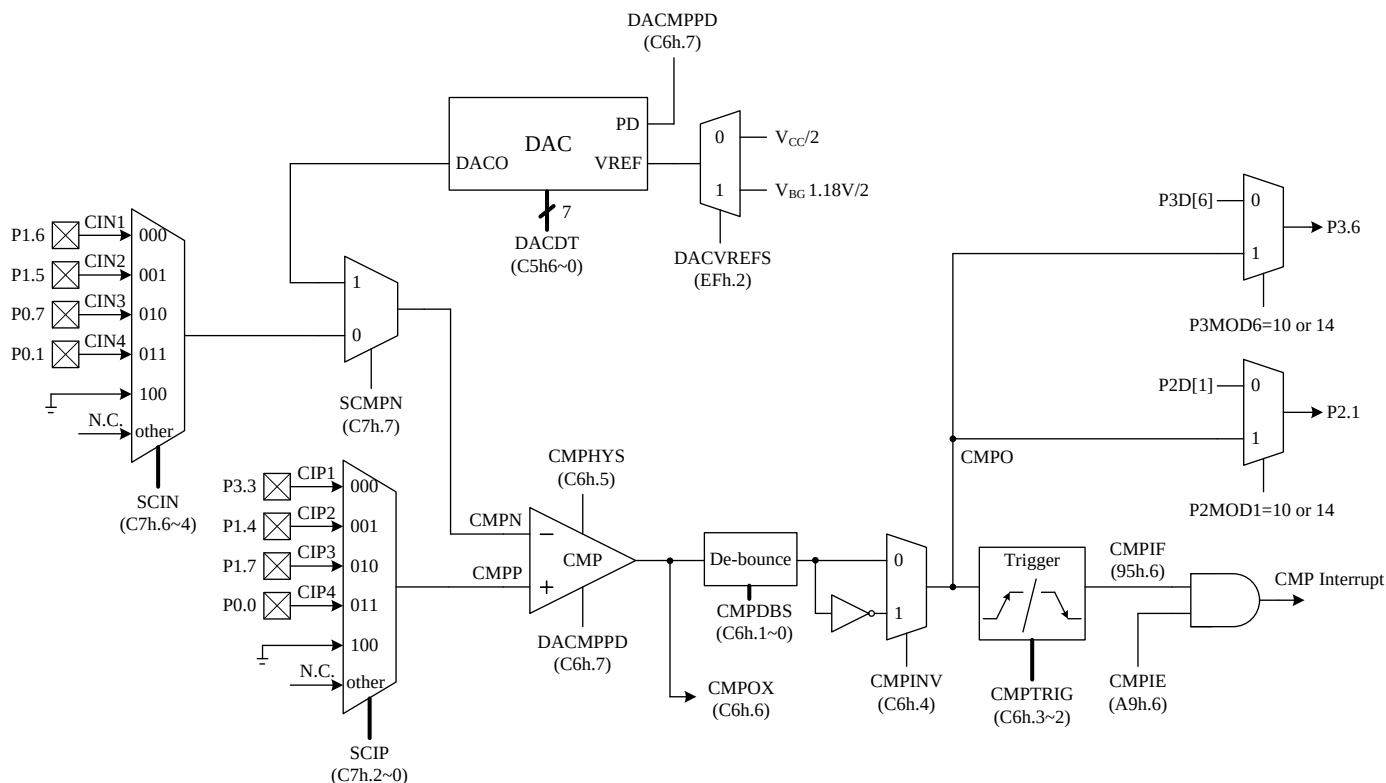
设置 ADSOC 位启动 ADC 转换, ADSOC 位将由 H/W 于转换结束时被清除。S/W 也可以写 0 清除该标志。

注:关于 ADC 中断使能和优先级的更多信息参见第 6 章。

注:同时参阅第 7 章有关 ADC 引脚输入设置的详细信息。

12. 比较器 (CMP)

该芯片有一个比较器 (CMP)，而CMP内置一个7位DAC模块，其输出可访问CMP的负输入端口。DAC的基准电压可以通过设置DACVREFS (EFh.2) 选择为 $V_{CC}/2$ 或 $V_{BG} 1.18V/2$ 。通过设置DACDT (C5h.6~0) 可以选择合适的电压水平，使用户应用正常运行，这将改变电阻以转换电压值。设置DACMPPD=1 (C6h.7) 将使DAC和CMP进入掉电模式。通过配置SCMPN (C7h.7)，负端口输入源将是外部引脚输入或DAC输出或接地 V_{SS} 。正端口输入源可以是外部引脚输入或接地 V_{SS} ，通过定义SCIN (C7h.6~4) 和SCIP (C7h.2~0) 寄存器分别确定负端口和正端口外部输入源。由于CMP的输入模块由PMOS组成，因此输入电压范围将受到PMOS的 V 分之一的影响。因此，CMP的最大输入电压将为 $(V_{CC}-0.5) V$ 。同时，比较器的迟滞电压约为10mV，可以通过设置CMPHYS (C6h.5) 开启或关闭。比较器原始输出 (CMPOX) 可以通过CMPOX (C6h.6) 位读取。芯片提供去抖模块对CMPOX信号进行去抖动，用户可以通过CMPDBS (C6h.1~0) 选择去抖动时间。去抖输出信号可以通过CMPINV (C6h.4) 选择反相或不反相来产生CMPO信号。CMPO可以通过设置P2MOD1=10或14输出到引脚 (P2.1) 或设置P3MOD6=10或14输出到引脚 (P3.6)。CMPO也是中断触发模块的触发源，用于生成中断标志CMPIF (95h.6)。触发模式由CMPTRIG (C6h.3~2) 选择。当比较器断电时，仍会产生中断标志。因此，每次打开CMP模块后都需要先清除中断标志，以防止使用虚拟标志。



比较器结构

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	LVDIE	SPI2CE	ADIE	WGIE	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.6 **CMPIE**: 比较器中断使能控制

0: 关闭比较器中断

1: 使能比较器中断

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	CMPIF	—	ADIF	WGIF	—	PCIF	TF3
R/W	R/W	R/W	—	R/W	R/W	—	R/W	R/W
Reset	0	0	—	0	0	—	0	0

95h.6 **CMPIF**: 比较器中断标志

由硬件设置，而CMPO匹配触发条件。当程序执行中断服务例程时，它会自动清除。S/W将BFh写入INTFLG以清除此标志。

SFR C6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMPCON	DACMPPD	CMPOX	CMPHYS	CMPIINV	CMPTRIG		CMPDBS	
R/W	R/W	R	R/W	R/W	R/W		R/W	
Reset	1	1	0	0	0	0	0	0

C6h.7 **DACMPPD**: 比较器和 DAC 关断使能控制

0: 禁用比较器和 DAC 关断

1: 启用比较器和 DAC 关断

C6h.6 **CMPOX**: 比较器原始输出 (CMPOX) 状态

0: $V_{CMPP} < V_{CMPN}$

1: $V_{CMPP} > V_{CMPN}$ 或 DACMPPD=1

C6h.5 **CMPHYS**: 比较器迟滞控制

0: 禁用

1: 启用，迟滞电压约为 10mV

C6h.4 **CMPIINV**: 比较器去抖动输出反相选择

0: 无反转

1: 反转

C6h.3~2 **CMPTRIG**: 比较器中断触发模式

00: 上升沿

01: 下降沿

10: 双边

11: 高电平

C6h.1~0 **CMPDBS**: 比较器原始输出 (CMPOX) 去抖动时间

00: 无

01: $4 F_{SYSCLK}$

10: $8 F_{SYSCLK}$

11: $16 F_{SYSCLK}$

SFR C7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMPPNS	SCMPN	SCIN			—	SCIP		
R/W	R/W	R/W			—	R/W		
Reset	1	1	1	1	—	1	1	1

C7h.7 **SCMPN**: 比较器 CMPN 源选择

0: 比较器 CMPN 源为外部输入 (CINx)

1: 比较器 CMPN 源为 DAC 输出

C7h.6~4 **SCIN**: 比较器 CMPN 外部输入选择

000: 比较器 CMPN 外部输入为 CIN1 (P1.6)

001: 比较器 CMPN 外部输入为 CIN2 (P1.5)

010: 比较器 CMPN 外部输入为 CIN3 (P0.7)

011: 比较器 CMPN 外部输入为 CIN4 (P0.1)

100: 比较器 CMPN 输入为 V_{SS}

其他: 无连接

C7h.2~0 **SCIP**: 比较器 CMPP 外部输入选择

000: 比较器 CMPP 外部输入为 CIP1 (P3.3)

001: 比较器 CMPP 外部输入为 CIP2 (P1.4)

010: 比较器 CMPP 外部输入为 CIP3 (P1.7)

011: 比较器 CMPP 外部输入为 CIP4 (P0.0)

100: 比较器 CMPP 输入为 V_{SS}

其他: 无连接

SFR EFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX3	PWM1PSC			PRGD	WARMTIME	DACVREFS	—	—
R/W	R/W			R/W	R/W	R/W	—	—
Reset	0	0	0	0	0	0	—	—

EFh.2 **DACVREFS**: DAC 参考电压选择

0: V_{CC}/2

1: V_{BG} 1.18V/2

SFR C5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DACDT	—	DACDT						
R/W	—	R/W						
Reset	0	0	0	0	0	0	0	0

C5h.6~0 **DACDT**: 选择 DAC 输出电压 (参考源可选择 V_{CC}/2 或 V_{BG} 1.18V/2)

000_0000: 0/128 *参考源

000_0001: 1/128 *参考源

000_0010: 2/128 *参考源

...

111_1101: 125/128 *参考源

111_1110: 126/128 *参考源

111_1111: 127/128 *参考源

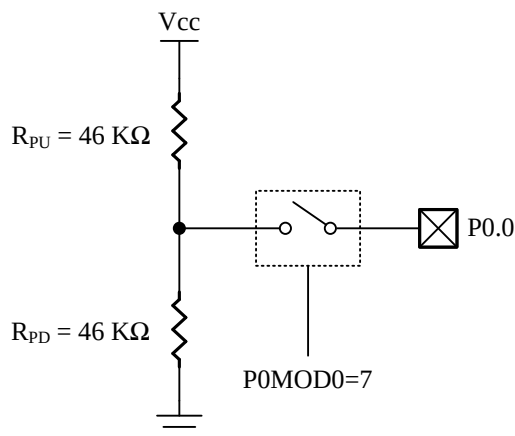
注: 最高位必须强制为0

注: 关于 CMP 中断使能和优先级的更多信息参见第6章。

注: 同时参阅第7章有关 CMP 引脚设置的详细信息。

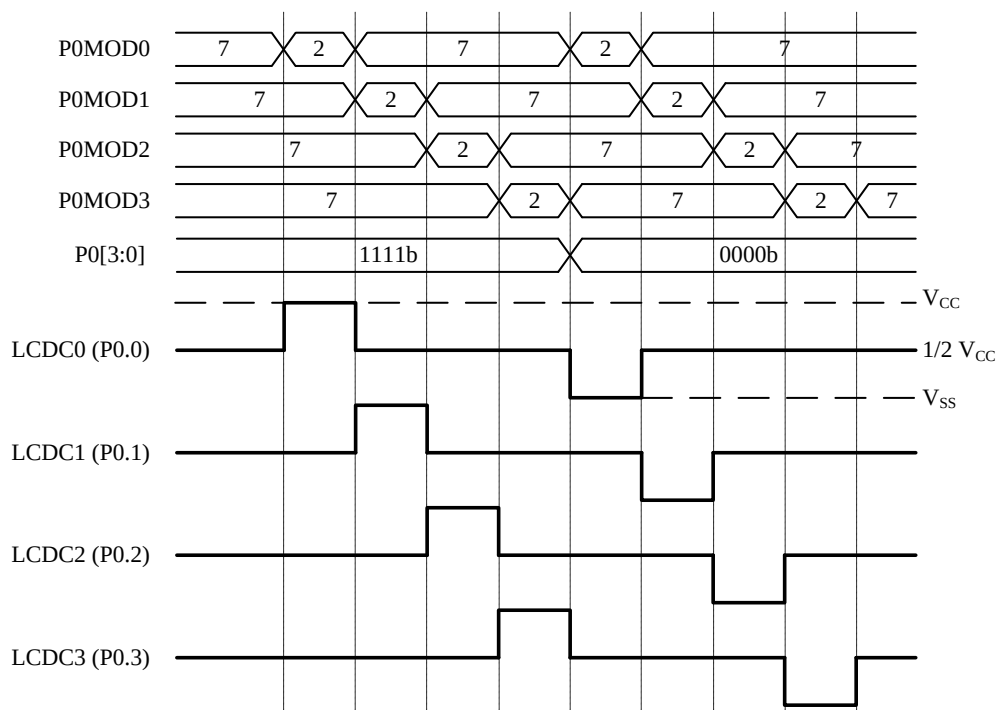
13. S/W 控制的 LCD 驱动器

该芯片支持由S/W控制的LCD驱动器。P0.0~P0.7能够设置为公共引脚 (COM) LCDC0~LCDC7，而剩余的引脚用来当做分段引脚 (SEG)。用户可以灵活调整公共引脚和分段引脚，通过8个公共引脚和22个分段引脚驱动 (最大) 176点的LCD面板。该芯片的LCD驱动器仅能驱动1/2偏压，透过设置相应的引脚模式为模式7来达成 (参见第7章表7.1)。相关电路请参考下图。



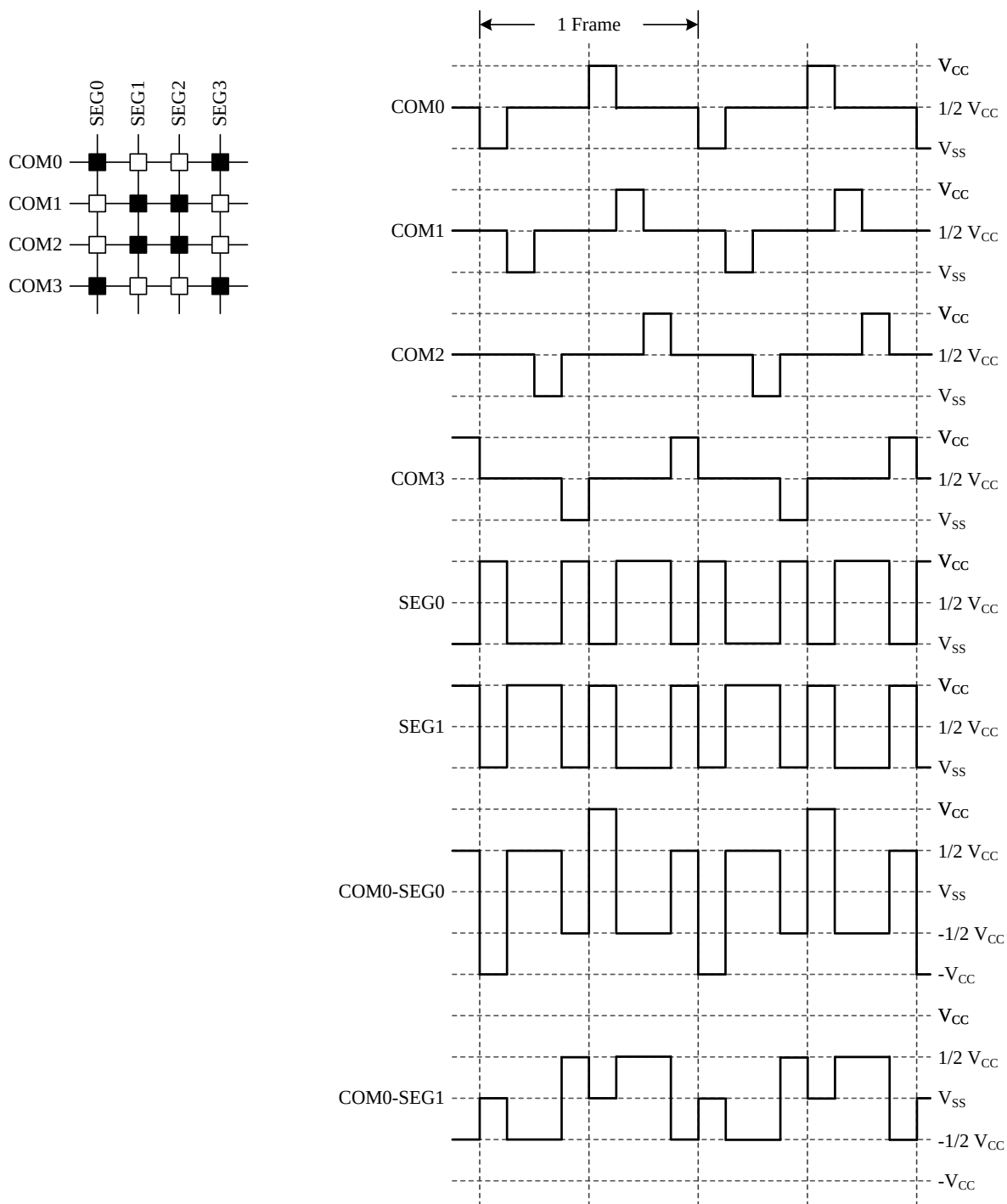
LCDC0偏压电路

任何COM引脚上的重复波形输出的频率可以用来表示LCD的帧速率。下图显示了一个LCD帧。



S/W控制的LCDC0~ LCDC3扫描

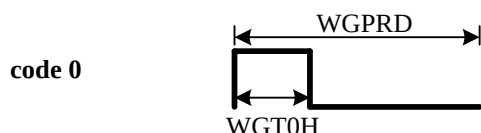
1/4占空比，1/2偏压输出波形



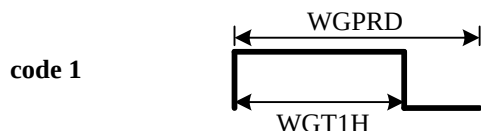
14. 通信格式波形发生器 (WG)

波形发生器 (Waveform Generator) 的输入信息存储在SFR WGBUF。波形发生器将根据以下编码规则将其串行输出到P0.5, P1.2, P3.4或P3.7。(参见第7章表7.1)

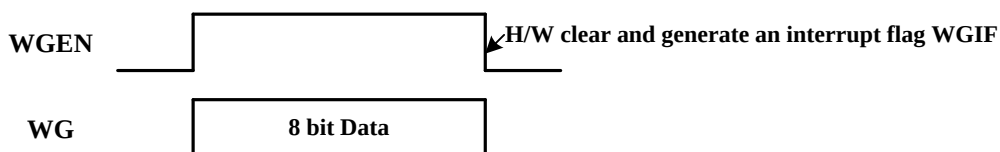
如果数据值为0, 则输出波形将如下图所示进行编码, 占空比和周期可以通过WGT0H和WGPRD进行调整。



如果数据值为 1, 则输出波形将如下图所示进行编码, 占空比和周期可以通过 WGT1H 和 WGPRD 进行调整。



当用户设置WGEN = 1时, 硬件将开始发送数据代码, 发送完毕后硬件自动清除WGEN位并产生一个中断旗标WGIF。



SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	CMPIF	—	ADIF	WGIF	—	PCIF	TF3
R/W	R/W	R/W	—	R/W	R/W	—	R/W	R/W
Reset	0	0	—	0	0	—	0	0

95h.3 **WGIF**:WG 中断标志

由 H/W 设置。S/W 将 F7h 写入 INTFLG 以清除此标志。

注:S/W 可以写0 清除 INTFLG 中的标志, 但写1 没有任何效果。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	LVDIE	SPI2CE	ADIE	WGIE	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.2 **WGIE**:WG 中断使能控制

0:关闭 WG 中断

1:使能 WG 中断

注:关于 WG 中断使能和优先级的更多信息参见第6 章。

注:同时参阅第7 章有关 WG 引脚输出设置的详细信息。

SFR B6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WGCON	WGPRD			WGT1H			WGT0H	
R/W	R/W			R/W			R/W	
Reset	0	0	0	0	0	0	0	0

B6h.7~5 **WGPRD**: 每个位选择的 WG 周期 ($T_{FRC} = 60.28 \text{ ns}$)

- 0: $15 * T_{FRC} = 904 \text{ ns}$
- 1: $16 * T_{FRC} = 965 \text{ ns}$
- 2: $17 * T_{FRC} = 1025 \text{ ns}$
- 3: $18 * T_{FRC} = 1085 \text{ ns}$
- 4: $19 * T_{FRC} = 1145 \text{ ns}$
- 5: $20 * T_{FRC} = 1206 \text{ ns}$
- 6: $21 * T_{FRC} = 1266 \text{ ns}$
- 7: $22 * T_{FRC} = 1326 \text{ ns}$

B6h.4~2 **WGT1H**: WG 代码 1 高电平时间选择 ($T_{FRC} = 60.28 \text{ ns}$)

- 0: $10 * T_{FRC} = 603 \text{ ns}$
- 1: $11 * T_{FRC} = 663 \text{ ns}$
- 2: $12 * T_{FRC} = 723 \text{ ns}$
- 3: $13 * T_{FRC} = 784 \text{ ns}$
- 4: $14 * T_{FRC} = 844 \text{ ns}$
- 5: $15 * T_{FRC} = 904 \text{ ns}$
- 6: $16 * T_{FRC} = 965 \text{ ns}$
- 7: $17 * T_{FRC} = 1025 \text{ ns}$

B6h.1~0 **WGT0H**: WG 代码 0 高电平时间选择 ($T_{FRC} = 60.28 \text{ ns}$)

- 0: $4 * T_{FRC} = 241 \text{ ns}$
- 1: $5 * T_{FRC} = 301 \text{ ns}$
- 2: $6 * T_{FRC} = 362 \text{ ns}$
- 3: $7 * T_{FRC} = 422 \text{ ns}$

SFR B7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WGBUF	WGBUF							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

B7h.7~0 **WGBUF**: WG 数据代码缓存器

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	—	ADSOC	CLRPWM0	CLRPWM1	WGEN	DPSEL
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
Reset	0	0	—	0	1	1	0	0

F8h.1 **WGEN**: WG 使能控制, 数据代码发送完毕后 H/W 将自动关闭 WG 并产生一个中断旗标 WGIF

- 0: WG 关闭
- 1: WG 启用



串行外设接口 (SPI) 模块能够在MCU和外设之间进行全双工、同步、串行通信。外围设备可以是其他mcu、A/D转换器、传感器或flash等。SPI运行在一个时钟速率到系统时钟除以2。固件可以读取状态标志，或者操作可以被中断驱动。下图是SPI系统框图。

- 主从模式操作
- 3线模式操作
- 整机全双工操作
- 可编程传输比特率
- 单缓冲区接收
- 串行时钟相位和极性选项
- 可选择 **MSB** 优先或 **LSB** 优先移位



Rev 1.2, 2025/06/04

SPI使用的三种信号如下所述。MOSI (P2.0/P1.0) 信号是主设备的输出和从设备的输入。当SPI在主模式下工作时，信号是输出，当SPI在从模式下工作时，信号是输入。MISO (P2.1/P1.1) 信号是从设备的输出和主设备的输入。当SPI在主模式下工作时，信号是输入，当SPI在从模式下工作时，信号是输出。通过设置LSBF位，数据首先传输的是MSB (Highest-Significant Bit) 或LSB (Least-Significant Bit)。SCK (P3.5/P1.2) 信号是主设备的输出和从设备的输入。用于同步Master和Slave的MOSI和MISO线上的数据。SPI在主模式下产生具有四个可编程时钟速率的信号。

主模式

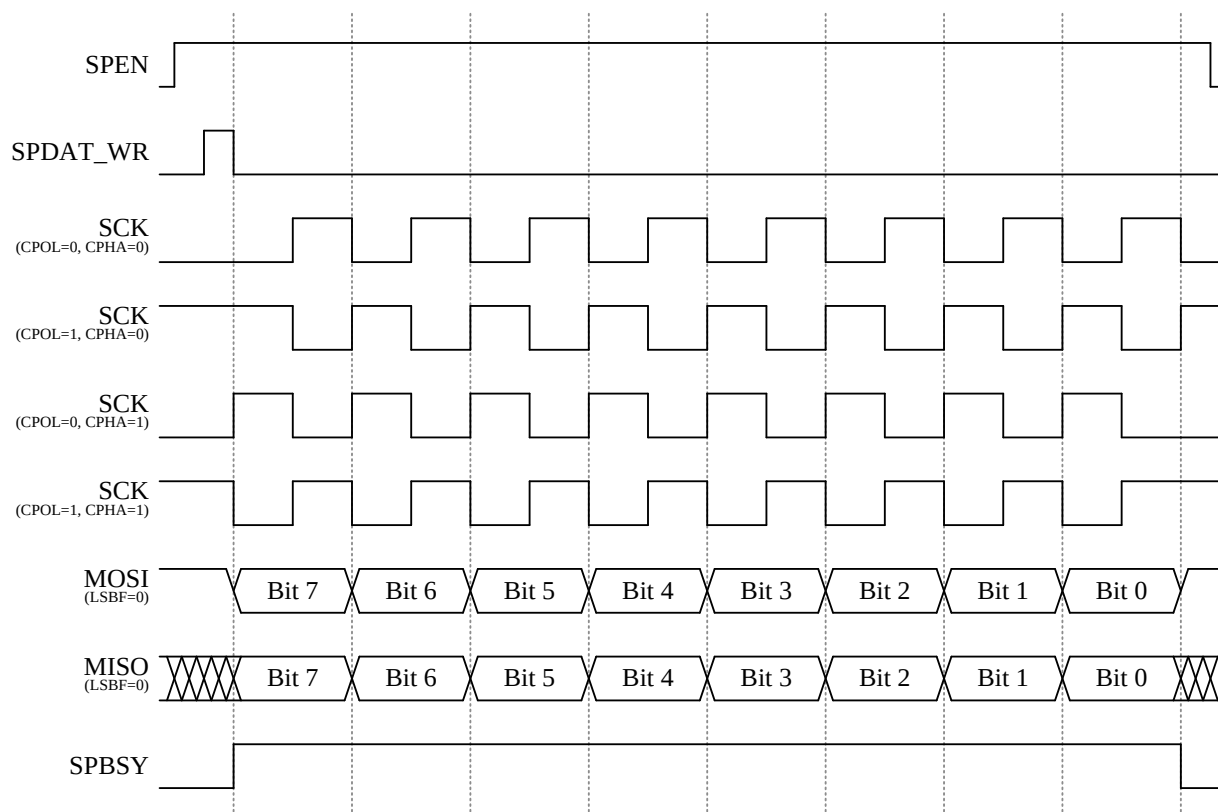
SPI通过在SPCON中设置MSTR位在Master模式下工作。要开始传输，将数据写入SPDAT。如果SPBSY=0，数据将被转移到移位寄存器，并开始从MOSI线上移位。Slave的数据同时从MISO线移进来。当SPIF位在传输结束时被设置时，接收数据被写入接收缓冲区，SPSTA中的RCVBF位被设置。为了防止溢出，软件必须在下一个字节进入移位寄存器之前读取SPDAT。SPBSY位将在向SPDAT写入数据以开始传输时设置，并在主模式下的第八个SCK周期结束时清除。

从模式

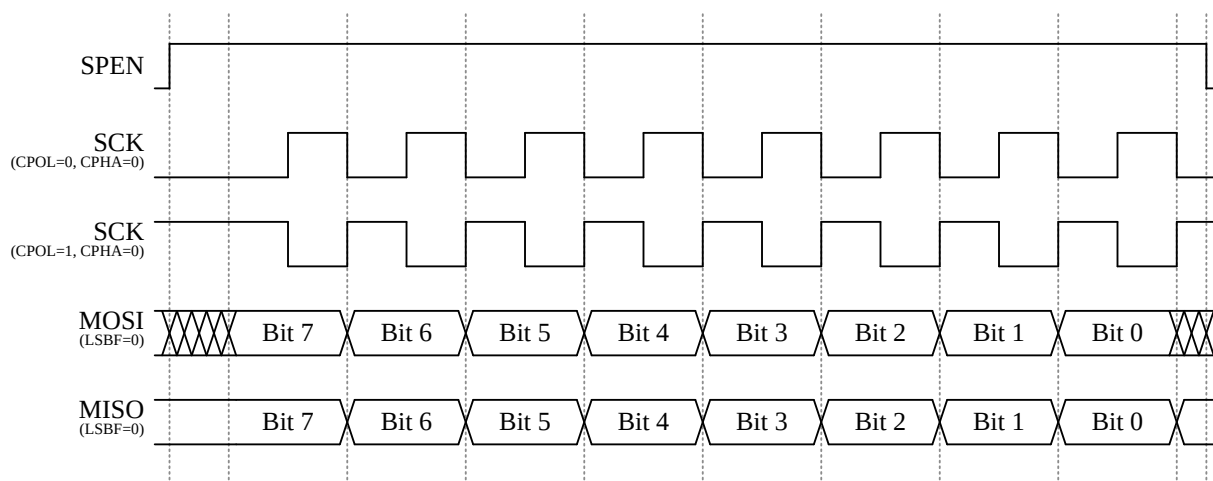
SPI通过清除SPCON中的MSTR位在Slave模式下工作。当SPCON中的SPEN位被设置时，传输将开始。来自主控的数据将通过MOSI线移到移位寄存器中，并从MISO线上的移位寄存器移出。当一个字节进入移位寄存器时，如果RCVBF=0，数据将被转移到接收缓冲区。如果RCVBF=1，则不将新接收到的数据传输到接收缓冲区，并设置RCVOVF位。当一个字节进入移位寄存器后，SPIF和RCVBF位被设置。为了防止超限，软件必须在下一个字节进入移位寄存器之前读取SPDAT或将0写入RCVBF。从模式下允许的最大SCK频率为 $F_{\text{SYSCLK}}/4$ 。

串行时钟

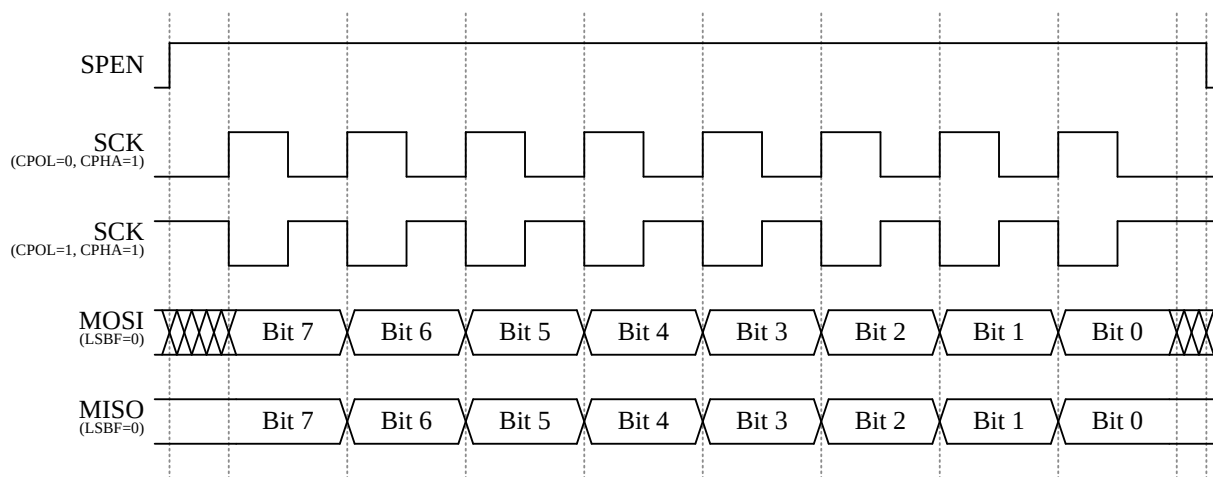
通过设置SPCON寄存器中的CPOL和CPHA位，SPI有四种时钟类型。CPOL位定义了SPI空闲状态下SCK的级别。当CPOL=0时，SCK的空闲级别低，当CPOL=1时，SCK的空闲级别高。CPHA位定义用于采样和移位数据的边。CPHA=0时，SCK周期第一边的SPI样本数据和SCK周期第二边的移位数据。CPHA=1时，SCK周期第二边SPI样本数据和SCK周期第一边移位数据。下图显示了主模式和从模式下的详细时序。在设置SPEN位之前，必须先将主备设备配置为相同的时钟类型。SPCR控制主控模式串行时钟频率。在Slave模式下运行时，此寄存器将被忽略。在Master模式下，SPI时钟可以选择 F_{SYSCLK} 除以2、4、8或16。



主模式时序



从模式时序 (CPHA=0)



从模式时序 (CPHA=1)

在主模式和从模式中，SPIF中断标志在数据传输结束时由H/W设置。如果在SPBSY=1时向SPDAT写入数据，则WCOL中断标志将由H/W设置。当发生这种情况时，写入SPDAT的数据将被忽略，并且移位寄存器将不会被写入。

SFR BCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPCON	SPEN	MSTR	CPOL	CPHA	—	LSBF	SPCR	
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	
Reset	0	0	0	0	—	0	0	0

BCh.7 **SPEN**: SPI 使能

0: SPI 禁用

1: SPI 使能

BCh.6 **MSTR**: Master 模式使能

0: 从模式

1: 主模式

BCh.5 **CPOL**: SPI 时钟极性

0: SCK 低，空闲状态

1: SCK 高，空闲状态

BCh.4 **CPHA**: SPI 时钟相位

0: SCK 周期第一个边沿的数据采样

1: SCK 周期第二个边沿的数据样本

BCh.2 **LSBF**: LSB 优先

0: MSB 优先

1: LSB 优先

BCh.1~0 **SPCR**: SPI 时钟速率

00: $F_{SYSCLK}/2$

01: $F_{SYSCLK}/4$

10: $F_{SYSCLK}/8$

11: $F_{SYSCLK}/16$

SFR BDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPSTA	SPIF	WCOL	–	RCVOVF	RCVBF	SPBSY	–	–
R/W	R/W	R/W	–	R/W	R/W	R	–	–
Reset	0	0	–	0	0	0	–	–

BDh.7 **SPIF**:SPI 中断标志

这是由 H/W 在数据传输结束时设置的。当中断矢量化为时，由 H/W 清除。将 0 写入此位将清除此标志。

BDh.6 **WCOL**:写冲突中断标志

设置 SPBSY 时，如果写入数据到 SPDAT，则由 H/W 设置。当 SPBSY 清除时，将 0 写入该位或将数据重写到 SPDAT 将清除该标志。

BDh.4 **RCVOVF**:接收缓冲区溢出标志

在数据传输结束时由 H/W 设置，并设置 RCVBF。将 0 写入此位或读取 SPDAT 寄存器将清除此标志。

BDh.3 **RCVBF**:接收缓冲区溢出标志

在数据传输结束时由 H/W 设置。将 0 写入此位或读取 SPDAT 寄存器将清除此标志。

BDh.2 **SPBSY**:SPI 忙标志

当 SPI 传输正在进行时由 H/W 设置。

SFR BEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SPDAT	SPDAT							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

BEh.7~0 **SPDAT**:SPI 发送和接收数据

SPDAT 寄存器用于发送和接收数据。将数据写入 SPDAT，将数据放入移位寄存器，并在主模式下开始传输。读取 SPDAT 返回接收缓冲区的内容。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	LVDIE	SPI2CE	ADIE	WGIE	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.4 **SPI2CE**:使能 SPI/主 I²C 中断

0:关闭 SPI/主 I²C 中断

1:使能 SPI/主 I²C 中断

注:关于 SPI 中断使能和优先级的更多信息参见第 6 章。

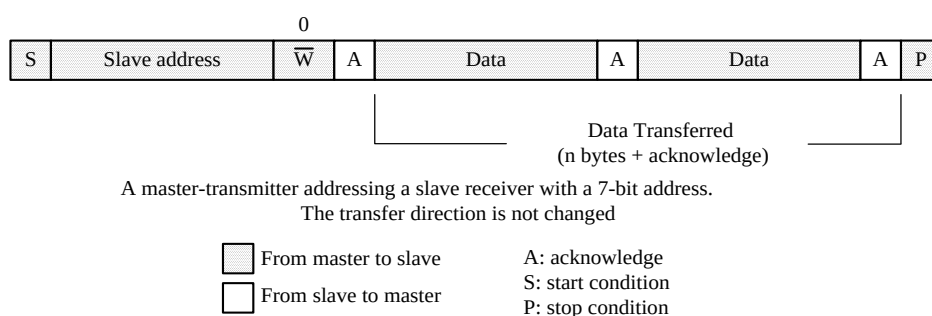
注:同时参阅第 7 章有关 SPI 引脚设置的详细信息。

16. 主 I²C 接口

主 I²C 接口传输模式:

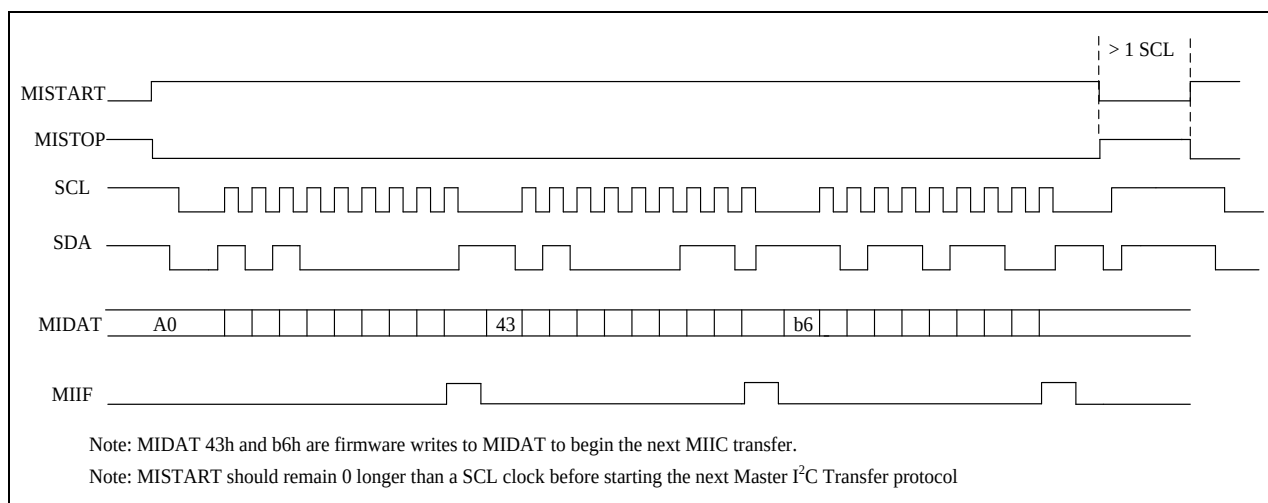
一开始先时将从机地址和方向位写入MIDAT并设置MISTART。在MISTART设置之后，将发送7位从地址和一位方向位到从机。等待直到MIIF转换为1时，代表地址和方向位传输完成，用户应清除MIIF并写入数据到MIDAT以开始第一次数据传输。当MIIF转换为1时，代表数据传输到从机完成。用户可以再次写入数据到MIDAT以将开始下一次数据传输到从机。设置MISTOP以完成传送模式。

在数据传输时，MISTART必须保持为1。并在最终数据发送/接收之后，设置MISTOP以完成发送/接收协议。在重新启动主I²C传送接收协议之前，MISTART应保持为0，且等待时间大于SCL时钟后才可进行下一次传送接收。SCL时钟可通过MICR进行调整。



主 I²C 传送流程:

- (1) 将从机地址和方向位写入 MIDAT
- (2) 清除 MISTOP 并设置 MISTART 以启动 I²C 传输
- (3) 等到 MIIF 转换为 1 时 (根据用户要求发出中断)，清除 MIIF
- (4) 将数据写入 MIDAT 以开始下一次传输 (MISTART 必须保持为 1)
- (5) 等到 MIIF 转换为 1 时 (根据用户要求发出中断)，清除 MIIF，循环(4)~(5)进行下一次传输
- (6) 清除 MISTART，设置 MISTOP 以停止 I²C 传输



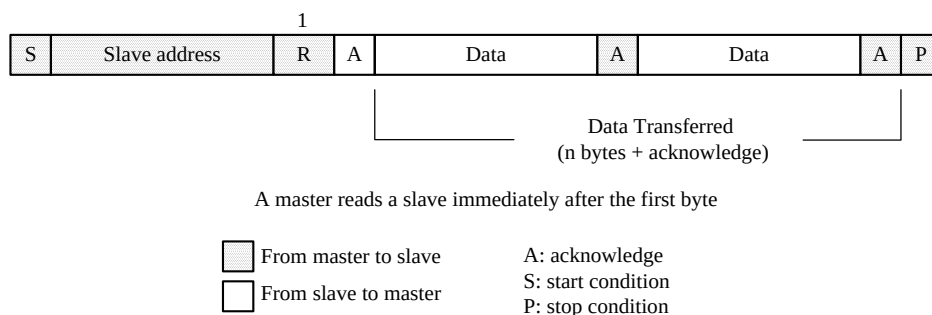
主发送时序

注:在开始下一个主 I²C 协议之前，MISTART 应该保持 0 比 SCL 周期更长。

I²C 主接口接收模式:

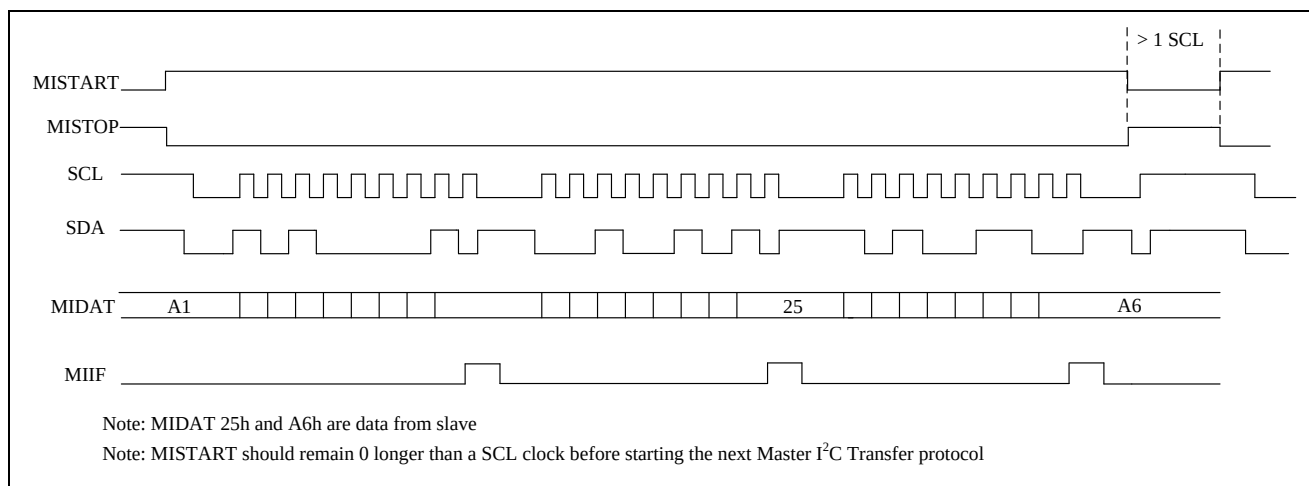
一开始先将从机地址和方向位写入MIDAT并设置MISTART。在MISTART设置之后，将发送7位从机地址和一位方向位到从机。当MIIF转换为1时，代表地址和方向位传输完成。用户应清除MIIF并读取MIDAT以开始第一次接收数据（此时尚未完成接收数据，应丢弃读入的MIDAT）。当MIIF转换为1时，代表对从机接收的数据已完成。用户可以读取MIDAT以得到接收数据，硬件会同时开始下一次接收。设置MISTOP以完成接收模式。

在数据传输时，MISTART必须保持为1。并在最终数据发送/接收之后，设置MISTOP以完成发送/接收协议。在重新启动主I²C传送接收协议之前，MISTART应保持为0，且等待时间大于SCL时钟后才可进行下一次传送接收。SCL时钟可通过MICR进行调整。



Master I²C 接收流程:

- (1) 向 MIDAT 写入从地址和方向位
- (2) 清除 MISTOP，设置 MISTART 启动 I²C 传输
- (3) 等待 MIIF 转换为 1 (根据用户请求发出中断)
- (4) 清除 MIIF
- (5) 从 MIDAT 读取数据，开始先接收数据 (MIDAT 的第一次读取不代表从机返回的数据)
- (6) 等待 MIIF 转换为 1
- (7) 清除 MIIF
- (8) 从 MIDAT 读取从数据，接收下一个数据
- (9) 循环(6)~(8)
- (10) 设置“MISTOP”，停止 I²C 传输



主接收时序

I ² C 功能引脚	引脚模式	Px.n SFR data	引脚状态
I ² C Master SCL	模式 0	X	时钟输出（开漏输出）
	模式 2	X	时钟输出（CMOS 推挽）
I ² C Master SDA	模式 0	1	数据（上拉）

主I²C的引脚模式设置

SFR E1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MICON	MIEN	MIACKO	MIIF	MIACKI	MISTART	MISTOP	MICR	
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	1	0	0

E1h.7 **MIEN**: 主 I²C 使能

0: 禁用

1: 使能

E1h.6 **MIACKO**: 当主 I²C 接收数据时, 向 I²C 总线发送 ACK

0: ACK 到从机

1: NACK 到从机

E1h.5 **MIIF**: 主 I²C 中断标志

当主 I²C 发送或接收一个字节完成时, 由 H/W 设置。向该位写入"0"将清除该标志

E1h.4 **MIACKI**: 当主 I²C 传输时, ACK 来自 I²C 总线 (只读)

0: 收到 ACK

1: 收到 NACK

E1h.3 **MISTART**: 主 I²C 启动位

1: 启动 I²C 总线传输

E1h.2 **MISTOP**: 主 I²C 停止位

1: 发送停止信号以停止 I²C 总线

E1h.1~0 **MICR**: 主 I²C 时钟频率选择

00: F_{SYSClk}/4

01: F_{SYSClk}/16

10: F_{SYSClk}/64

11: F_{SYSClk}/256

SFR E2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
MIDAT	MIDAT							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E2h.7~0 **MIDAT**: 主 I²C 数据移位寄存器

(写): 在启动后和停止条件之前, 写入此寄存器将恢复传输到 I²C 总线

(读): 在启动后和停止条件之前, 读取该寄存器将恢复从 I²C 总线接收

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	LVDIE	SPI2CE	ADIE	WGIE	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.4 **SPI2CE**: 使能 SPI/主 I²C 中断

0: 关闭 SPI/主 I²C 中断

1: 使能 SPI/主 I²C 中断

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	—	SPIPS	UARTRXS		MSDAPS		MSCLPS	
R/W	—	R/W	R/W		R/W		R/W	
Reset	—	0	0	0	0	0	0	0

A6h.3~2 **MSDAPS**: 主 I²C SDA 引脚选择

00: P3.5

01: P1.6

10: P2.1

11: P2.5

A6h.1~0 **MSCLPS**: 主 I²C SCL 引脚选择

00: P1.3

01: P0.2

10: P2.0

11: P2.4

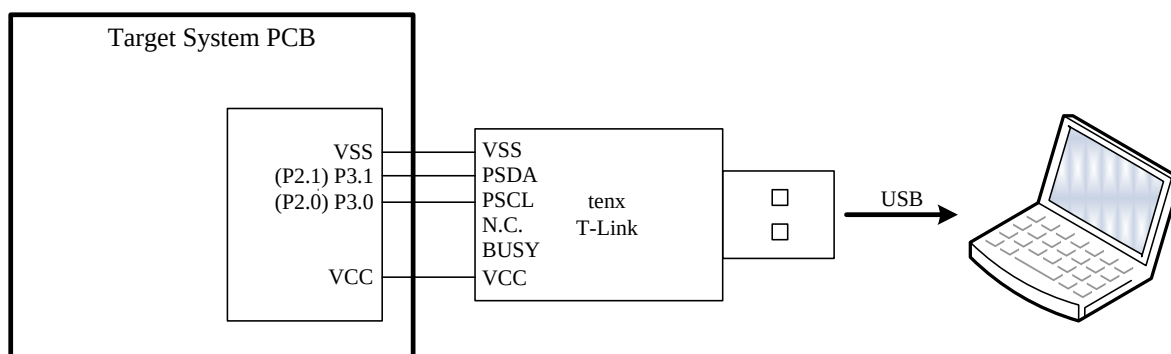
注: 关于主 I²C 中断使能和优先级的更多信息参见第 6 章。

注: 同时参阅第 7 章有关主 I²C 引脚设置的详细信息。

17. 在线仿真器 (ICE) 模式

本装置可以支持在线仿真模式。要使用ICE模式，用户只需将P3.0和P3.1引脚连接到tenx专有EV模块。好处是用户可以仿真整个系统，而无需更改板载目标设备。但是ICE模式有一些限制，如下所示。

1. 设备必须处于未保护状态。
2. 设备的 P3.0 和 P3.1 引脚必须在输入模式下工作。(P3MOD0 =0/1 和 P3MOD1=0/1)
3. Tenx EV 模块占用了程序存储器的寻址空间 2D00h~2FFFh 和 0033h~003Ah。因此，用户程序无法访问这些空间。
4. 无法模拟 T-Link 通信引脚的功能。
5. P3.0 和 P3.1 引脚可以替换为 P2.0 和 P2.1。(仅仿真时可以替换，量产烧录器只支持 P3.0/P3.1)
6. V_{DD} 电平由 T-Link 模块控制。



16K Bytes program memory	
0000h	Reset / Interrupt Vector
007Fh	
0080h	
	User Code area
2CFFh	
2D00h	
	ICE mode reserve area
2FFFh	
3000h	
	User Code area
3FEFh	
3FF0h	
	tenx reserve area
3FFAh	
3FFBh	
	CFGBG
3FFDh	CFGWL (FRC)
3FFFh	CFGWH

TM52F5864

SFR & CFGW 映像

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
80h	0000-0000	P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
81h	0000-0111	SP	SP							
82h	0000-0000	DPL	DPL							
83h	0000-0000	DPH	DPH							
84h	x00x-xxxx	INTE2	—	PWM1IE	PWM0IE	—	—	—	—	—
85h	x00x-xxxx	INTFLG2	—	PWM1IF	PWM0IF	—	—	—	—	—
86h	xxxx-xxxx	—	—							
87h	xxxx-0000	PCON	—	—	—	—	GF1	GF0	PD	IDL
88h	0000-0000	TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
89h	0000-0000	TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
8Ah	0000-0000	TL0	TL0							
8Bh	0000-0000	TL1	TL1							
8Ch	0000-0000	TH0	TH0							
8Dh	0000-0000	TH1	TH1							
8Eh	xxxx-xxxx	—	—							
8Fh	xxxx-xxxx	—	—							
90h	1111-1111	P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
91h	0001-0001	P0MOD10	P0MOD1				P0MOD0			
92h	0001-0001	P0MOD32	P0MOD3				P0MOD2			
93h	0001-0001	P0MOD54	P0MOD5				P0MOD4			
94h	x000-0000	OPTION	—	TM3CKS	WDTPSC		ADCKS		SXTGAIN	
95h	00x0-0x00	INTFLG	LVDIF	CMPIF	—	ADIF	WGIF	—	PCIF	TF3
96h	0001-0001	P0MOD76	P0MOD7				P0MOD6			
97h	xxxx-xx0x	SWCMD	SWRST / WDTO / IAPALL							
98h	0100-0000	SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
99h	xxxx-xxxx	SBUF	SBUF_RX / SBUF_TX							
9Ah	0001-0001	P1MOD10	P1MOD1				P1MOD0			
9Bh	0001-0001	P1MOD32	P1MOD3				P1MOD2			
9Ch	0001-0001	P1MOD54	P1MOD5				P1MOD4			
9Dh	0001-0001	P1MOD76	P1MOD7				P1MOD6			
9Eh	0001-0001	P2MOD10	P2MOD1				P2MOD0			
9Fh	0001-0001	P2MOD32	P2MOD3				P2MOD2			
A0h	1111-1111	P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
A1h	0000-0000	PWMCON	PWM1CKS		PWM1EN	PWM0EN	PWM0CKS		PWM0NMSK	PWM0PMSK
A2h	0001-0001	P3MOD10	P3MOD1				P3MOD0			
A3h	0001-0001	P3MOD32	P3MOD3				P3MOD2			
A4h	0001-0001	P3MOD54	P3MOD5				P3MOD4			
A5h	0001-0001	P3MOD76	P3MOD7				P3MOD6			
A6h	x000-0000	PINMOD	—	SPIPS	UARTRXS		MSDAPS		MSCLPS	
A7h	0001-0001	P2MOD54	P2MOD5				P2MOD4			
A8h	0x00-0000	IE	EA	—	ET2	ES	ET1	EX1	ET0	EX0
A9h	0000-0000	INTE1	PWMIE	CMPIE	LVDIE	SPI2CE	ADIE	WGIE	PCIE	TM3IE
AAh	xxxx-xxxx	ADC DL	ADC DL				—			
ABh	xxxx-xxxx	ADC DH	ADC DH							
ACh	xxxx-xxxx	—	—							
ADh	xxxx-xxxx	—	—							
A Eh	1111-1000	ADCHSEL	ADCHS					ADCVREFS	ADCVBGS	

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AFh	0000-0000	PWMCON2	PWM0MOD	PWM0MSKE	PWM0OM		PWM0DZ			
B0h	1111-1111	P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
B1h	xxxx-xxxx	—	—							
B2h	xxxx-xxxx	—	—							
B3h	xxxx-xxxx	—	—							
B4h	xxxx-xxxx	—	—							
B5h	xxxx-xxxx	—	—							
B6h	0000-0000	WGCON	WGPRD			WGT1H			WGT0H	
B7h	0000-0000	WGBUF	WGBUF							
B8h	xx00-0000	IP	—	—	PT2	PS	PT1	PX1	PT0	PX0
B9h	xx00-0000	IPH	—	—	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
BAh	0000-0000	IP1	PPWM	PCMP	PLVD	PSP12C	PADI	PWG	PPC	PT3
BBh	0000-0000	IP1H	PPWMH	PCMPH	PLVDH	PSP12CH	PADIH	PWGH	PPCH	PT3H
BCh	0000-x000	SPCON	SPEN	MSTR	CPOL	CPHA	—	LSBF	SPCR	
BDh	00x0-00xx	SPSTA	SPIF	WCOL	—	RCVOVF	RCVBF	SPBSY	—	—
BEh	0000-0000	SPDAT	SPDAT							
BFh	xxxx-xxxx	—	—							
C0h	xxxx-xxxx	—	—							
C1h	xxxx-xxxx	—	—							
C2h	xxxx-xxxx	—	—							
C3h	xxxx-xxxx	—	—							
C4h	xx00-0000	LVDDT	—	—	LVDDT					
C5h	0000-0000	DACDT	—	DACDT						
C6h	1110-0000	CMPCON	DACMPPD	CMPOX	CMPHYS	CMPINV	CMPTRIG		CMPDBS	
C7h	1111-x111	CMPPNS	SCMPN	SCIN			—	SCIP		
C8h	0000-0000	T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
C9h	0000-xxxx	IAPCON	IAPCON / IAPWE / EEPWE / INFOWE / IAPTO							
CAh	0000-0000	RCP2L	RCP2L							
CBh	0000-0000	RCP2H	RCP2H							
CCh	0000-0000	TL2	TL2							
CDh	0000-0000	TH2	TH2							
CEh	xxxx-xxxx	—	—							
CFh	xxxx-xxxx	—	—							
D0h	0000-0000	PSW	CY	AC	F0	RS1	RS0	OV	F1	P
D1h	1000-0000	PWM0DH	PWM0DH							
D2h	1000-0000	PWM0DL	PWM0DL							
D3h	xxxx-xxxx	—	—							
D4h	1000-0000	PWM1D	PWM1D							
D5h	xxxx-xxxx	—	—							
D6h	1000-0000	PWM2D	PWM2D							
D7h	0000-0000	TM3RLD	TM3RLD							
D8h	0x10-0011	CLKCON	SCKTYPE	—	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
D9h	1111-1111	PWM0PRDH	PWM0PRDH							
DAh	1111-1111	PWM0PRDL	PWM0PRDL							
DBh	xxxx-xxxx	—	—							
DCh	1111-1111	PWM1PRD	PWM1PRD							
DDh	xxxx-xxxx	—	—							
DEh	1000-0000	PWM3D	PWM3D							
DFh	0000-0000	UARTBRP	UARTBRP							

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
E0h	0000-0000	ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
E1h	000x-0100	MICON	MIEN	MIACKO	MIIF	MIACKI	MISTART	MISTOP	MICR	
E2h	0000-0000	MIDAT	MIDAT							
E3h	xxx0-0000	LVRCON	–	–	–	LVRPD	LVRSEL			
E4h	0000-0000	LVDCON	LVDM	LVDO	LVDHYS	LVDPD	LVDSEL			
E5h	xxxx-xxxx	–	–							
E6h	xxxx-xxxx	–	–							
E7h	xxxx-xxxx	–	–							
E8h	xxxx-xxxx	–	–							
E9h	xxxx-xxxx	–	–							
EAh	1000-0000	PWM4D	PWM4D							
EBh	xxxx-xxxx	–	–							
ECh	1000-0000	PWM5D	PWM5D							
EDh	xxxx-xxxx	–	–							
EEh	1000-0000	PWM6D	PWM6D							
EFh	0000-00xx	AUX3	PWM1PSC			PRGD	WARMTIME	DACVREFS	–	–
F0h	0000-0000	B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
F1h	xxxx-xxxx	–	–							
F2h	xxxx-xxxx	–	–							
F3h	xxxx-xxxx	–	–							
F4h	xxxx-xxxx	–	–							
F5h	xxxx-xxxx	CFGBG	–	–	–	BGTRIM				
F6h	xxxx-xxxx	CFGWL	–	FRCF						
F7h	0000-x11x	AUX2	WDTE		PWRSV	VBGOUT	–	IAPTE		–
F8h	00x0-1100	AUX1	CLRWDT	CLRTM3	–	ADSOC	CLRPWM0	CLRPWM1	WGEN	DPSEL

Flash Address	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
3FFFh	CFGWH	PROT	XRSTE	–	–	–	–	–	–

SFR & CFGW 说明

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
80h	P0	7~0	P0	R/W	FFh	Port0 data
81h	SP	7~0	SP	R/W	07h	Stack Point
82h	DPL	7~0	DPL	R/W	00h	Data Point low byte
83h	DPH	7~0	DPH	R/W	00h	Data Point high byte
84h	INTE2	6	PWM1IE	R/W	0	PWM1 interrupt enable 0: Disable PWM1 interrupt 1: Enable PWM1 interrupt
		5	PWM0IE	R/W	0	PWM0 interrupt enable 0: Disable PWM0 interrupt 1: Enable PWM0 interrupt
85h	INTFLG2	6	PWM1IF	R/W	0	PWM1 interrupt flag Set by H/W at the end of PWM1 period, S/W writes BFh to INTFLG2 to clear this flag.
		5	PWM0IF	R/W	0	PWM0 interrupt enable Set by H/W at the end of PWM0 period, S/W writes DFh to INTFLG2 to clear this flag.
87h	PCON	3	GF1	R/W	0	General purpose flag bit
		2	GF0	R/W	0	General purpose flag bit
		1	PD	R/W	0	Power down control bit, set 1 to enter HALT/STOP mode
		0	IDL	R/W	0	Idle control bit, set 1 to enter IDLE mode
88h	TCON	7	TF1	R/W	0	Timer1 overflow flag Set by H/W when Timer/Counter 1 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		6	TR1	R/W	0	Timer1 run control. 1: timer runs; 0: timer stops
		5	TF0	R/W	0	Timer0 overflow flag Set by H/W when Timer/Counter 0 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		4	TR0	R/W	0	Timer0 run control. 1:timer runs; 0:timer stops
		3	IE1	R/W	0	External Interrupt 1 (INT1 pin) edge flag Set by H/W when an INT1 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		2	IT1	R/W	0	External Interrupt 1 control bit 0: Low level active (level triggered) for INT1 pin 1: Falling edge active (edge triggered) for INT1 pin
		1	IE0	R/W	0	External Interrupt 0 (INT0 pin) edge flag Set by H/W when an INT0 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		0	IT0	R/W	0	External Interrupt 0 control bit 0: Low level active (level triggered) for INT0 pin 1: Falling edge active (edge triggered) for INT0 pin
89h	TMOD	7	GATE1	R/W	0	Timer1 gating control bit 0: Timer1 enable when TR1 bit is set 1: Timer1 enable only while the INT1 pin is high and TR1 bit is set
		6	CT1N	R/W	0	Timer1 Counter/Timer select bit 0: Timer mode, Timer1 data increases at 2 System clock cycle rate 1: Counter mode, Timer1 data increases at T1 pin's negative edge
		5~4	TMOD1	R/W	00	Timer1 mode select 00: 8-bit timer/counter (TH1) and 5-bit prescaler (TL1) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL1). Reloaded from TH1 at overflow. 11: Timer1 stops
		3	GATE0	R/W	0	Timer0 gating control bit 0: Timer0 enable when TR0 bit is set 1: Timer0 enable only while the INT0 pin is high and TR0 bit is set
		2	CT0N	R/W	0	Timer0 Counter/Timer select bit 0: Timer mode, Timer0 data increases at 2 System clock cycle rate

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
						1: Counter mode, Timer0 data increases at T0 pin's negative edge
		1~0	TMOD0	R/W	00	Timer0 mode select 00: 8-bit timer/counter (TH0) and 5-bit prescaler (TL0) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL0). Reloaded from TH0 at overflow. 11: TL0 is an 8-bit timer/counter. TH0 is an 8-bit timer/counter using Timer1's TR1 and TF1 bits.
8Ah	TL0	7~0	TL0	R/W	00h	Timer0 data low byte
8Bh	TL1	7~0	TL1	R/W	00h	Timer1 data low byte
8Ch	TH0	7~0	TH0	R/W	00h	Timer0 data high byte
8Dh	TH1	7~0	TH1	R/W	00h	Timer1 data high byte
90h	P1	7~0	P1	R/W	FFh	Port1 data
91h	P0MOD10	7~4	P0MOD1	R/W	0001	P0.1 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P0MOD0	R/W	0001	P0.0 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
92h	P0MOD32	7~4	P0MOD3	R/W	0001	P0.3 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P0MOD2	R/W	0001	P0.2 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
93h	P0MOD54	7~4	P0MOD5	R/W	0001	P0.5 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P0MOD4	R/W	0001	P0.4 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
94h	OPTION	6	TM3CKS	R/W	0	Timer3 clock source select. 0: Slow Clock (SRC/SXT) 1: FRC/512 (32.4KHz)
		5~4	WDTPSC	R/W	00	Watchdog Timer pre-scalar time select 00: 528ms WDT overflow rate 01: 264ms WDT overflow rate 10: 132ms WDT overflow rate 11: 66ms WDT overflow rate
		3~2	ADCKS	R/W	00	ADC clock rate select 00: F _{SYSCLK} /32 01: F _{SYSCLK} /16 10: F _{SYSCLK} /8 11: F _{SYSCLK} /4
		1~0	SXTGAIN	R/W	00	SXT oscillator gain 00=Lowest gain, 11=Highest Gain
95h	INTFLG	7	LVDIF	R/W	0	LVD interrupt flag Set by H/W when V _{CC} less than the LVD voltage. S/W writes 7Fh to INTFLG to clear this flag.
		6	CMPIF	R/W	0	CMP interrupt flag Set by H/W while CMPO match trigger condition. It is cleared automatically when the program performs the interrupt service routine. S/W writes BFh to INTFLG to clear this flag.
		4	ADIF	R/W	0	ADC interrupt flag Set by H/W at the end of ADC conversion. S/W writes EFh to INTFLG or sets the ADSOC bit to clear this flag.
		3	WGIF	R/W	0	Wave Generator interrupt flag Set by H/W at the end of Wave generate. S/W writes F7h to INTFLG to clear this flag.
		1	PCIF	R/W	0	Port0~3 pin change Interrupt flag Set by H/W when a Port0~3 pin state change is detected and its interrupt enable bit is set. PCIE does not affect this flag's setting. It is cleared automatically when the program performs the interrupt service routine. S/W can write FDh to INTFLG to clear this bit.
		0	TF3	R/W	0	Timer3 interrupt flag. Set by H/W when Timer3 reaches TM3PSC setting cycles. It is cleared automatically when the program performs the interrupt service routine. S/W can write FEh to INTFLG to clear this bit.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
96h	P0MOD76	7~4	P0MOD7	R/W	0001	P0.7 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P0MOD6	R/W	0001	P0.6 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
97h	SWCMD	7~0	SWRST	W		Write 56h to generate S/W Reset
		7~0	IAPALL	W		Write 65h to set IAPALL flag. Write other value to clear IAPALL flag.
		1	WDTO	R	0	Watchdog Time-Out flag
		0	IAPALL	R	0	Flag indicates Flash can be written by IAP or not 0: Flash IAP only can write IAP-free area. 1: Flash IAP can write IAP-all area.
98h	SCON	7	SM0	R/W	0	UART Serial port mode select bit 0, 1 (SM0, SM1) = 00: Reserved 01: Mode1: 8 bit UART, Baud Rate is variable. 10: Reserved 11: Mode3: 9 bit UART, Baud Rate is variable.
		6	SM1	R/W	1	
		5	SM2	R/W	0	UART Serial port mode select bit 2 SM2 enables multiprocessor communication over a single serial line and modifies the above as follows. In Modes 2 & 3, if SM2 is set then the received interrupt will not be generated if the received ninth data bit is 0. In Mode 1, the received interrupt will not be generated unless a valid stop bit is received. In Mode 0, SM2 should be 0.
		4	REN	R/W	0	Set 1 to enable UART Reception
		3	TB8	R/W	0	Transmitter bit 8, ninth bit to transmit in Modes 2 and 3
		2	RB8	R/W	0	Receive Bit 8, contains the ninth bit that was received in Mode 2 and 3 or the stop bit is Mode 1 if SM2=0
		1	TI	R/W	0	Transmit Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the beginning of the stop bit in other modes. Must be cleared by S/W
		0	RI	R/W	0	Receive Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the sampling point of the stop bit in other modes. Must be cleared by S/W.
99h	SBUF	7~0	SBUF_TX	W	–	UART transmit data. Transmit data is written to this location.
			SBUF_RX	R	–	UART receive data. Receive data is read from this location.
9Ah	P1MOD10	7~4	P1MOD1	R/W	0001	P1.1 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P1MOD0	R/W	0001	P1.0 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
9Bh	P1MOD32	7~4	P1MOD3	R/W	0001	P1.3 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P1MOD2	R/W	0001	P1.2 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
9Ch	P1MOD54	7~4	P1MOD5	R/W	0001	P1.5 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P1MOD4	R/W	0001	P1.4 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
9Dh	P1MOD76	7~4	P1MOD7	R/W	0001	P1.7 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P1MOD6	R/W	0001	P1.6 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
9Eh	P2MOD10	7~4	P2MOD1	R/W	0001	P2.1 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P2MOD0	R/W	0001	P2.0 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
9Fh	P2MOD32	7~4	P2MOD3	R/W	0001	P2.3 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P2MOD2	R/W	0001	P2.2 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
A0h	P2	7~6	P2.7~P2.6	R/W	FFh	P2.7~P2.6 have no pin out, so these bits are used as general purpose register
		5~0	P2.5~P2.0	R/W	11	P2.5~P2.0 data

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
A1h	PWMCON	7~6	PWM1CKS	R/W	00	PWM1 clock source 00: F _{SYSCLK} 01: FRC/256 10: FRC 11: FRCx2 (V _{cc} >2.5V)
		5	PWM1EN	R/W	0	PWM1 Enable. 0: PWM1 Disable, 1: PWM1 Enable
		4	PWM0EN	R/W	0	PWM0 Enable. 0: PWM0 Disable, 1: PWM0 Enable
		3~2	PWM0CKS	R/W	00	PWM0 clock source 00: F _{SYSCLK} 01: FRC/256 10: FRC 11: FRCx2 (V _{cc} >2.5V)
		1	PWM0NMSK	R/W	0	PWM0N mask data. If CLRPWM0=1 and PMW0MSKE=1, PWM0N will output this mask data.
		0	PWM0PMSK	R/W	0	PWM0P mask data. If CLRPWM0=1 and PMW0MSKE=1, PWM0P will output this mask data.
A2h	P3MOD10	7~4	P3MOD1	R/W	0001	P3.1 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P3MOD0	R/W	0001	P3.0 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
A3h	P3MOD32	7~4	P3MOD3	R/W	0001	P3.3 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P3MOD2	R/W	0001	P3.2 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
A4h	P3MOD54	7~4	P3MOD5	R/W	0001	P3.5 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P3MOD4	R/W	0001	P3.4 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
A5h	P3MOD76	7~4	P3MOD7	R/W	0001	P3.7 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P3MOD6	R/W	0001	P3.6 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
A6h	PINMOD	6	SPIPS	R/W	0	SPI pin select 0: SCK/MOSI/MISO = P3.5/P2.0/P2.1 1: SCK/MOSI/MISO = P1.2/P1.0/P1.1
		5~4	UARTRXS	R/W	0	UART RXD pin select (TXD pin select by Pin Control) 00: RXD = P3.0 01: RXD = P0.2 10: RXD = P3.1 11: RXD = P1.6
		3~2	MSDAPS	R/W	0	Master I ² C SDA pin select 00: P3.5 01: P1.6 10: P2.1 11: P2.5
		1~0	MSCLPS	R/W	0	Master I ² C SCL pin select 00: P1.3 01: P0.2 10: P2.0 11: P2.4
A7h	P2MOD54	7~4	P2MOD5	R/W	0001	P2.5 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P2MOD4	R/W	0001	P2.4 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
A8h	IE	7	EA	R/W	0	Global interrupt enable control. 0: Disable all Interrupts. 1: Each interrupt is enabled or disabled by its own interrupt control bit.
		5	ET2	R/W	0	Set 1 to enable Timer2 Interrupt
		4	ES	R/W	0	Set 1 to enable Serial Port (UART) Interrupt
		3	ET1	R/W	0	Set 1 to enable Timer1 Interrupt
		2	EX1	R/W	0	Set 1 to enable external INT1 pin Interrupt & Halt/Stop mode wake

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
						up capability.
		1	ET0	R/W	0	Set 1 to enable Timer0 Interrupt
		0	EX0	R/W	0	Set 1 to enable external INT0 pin Interrupt & Halt/Stop mode wake up capability.
A9h	INTE1	7	PWMIE	R/W	0	Set 1 to enable PWM0/PWM1 Interrupt
		6	CMPIE	R/W	0	Set 1 to enable CMP Interrupt
		5	LVDIE	R/W	0	Set 1 to enable LVD Interrupt
		4	SPI2CE	R/W	0	Set 1 to enable SPI/Master I ² C Interrupt
		3	ADIE	R/W	0	Set 1 to enable ADC Interrupt
		2	WGIE	R/W	0	Set 1 to enable Wave Generator Interrupt
		1	PCIE	R/W	0	Set 1 to enable Port0/Port1/Port2/Port3 Pin Change Interrupt
		0	TM3IE	R/W	0	Set 1 to enable Timer3 Interrupt
AAh	ADCDL	7~4	ADCDL	R	–	ADC data bit 3~0
ABh	ADCDH	7~0	ADCDH	R	–	ADC data bit 11~4
AEh	ADCHSEL	7~3	ADCHS	R/W	11111	ADC channel select 00000: AD0 (P0.0) 00001: AD1 (P0.1) 00010: AD2 (P0.2) 00011: AD3 (P0.3) 00100: AD4 (P0.4) 00101: AD5 (P0.5) 00110: AD6 (P0.6) 00111: AD7 (P0.7) 01000: AD8 (P1.7) 01001: AD9 (P3.4) 01010: AD10 (P3.1) 01011: AD11 (P3.0) 01100: AD12 (P3.7) 01101: AD13 (P3.2) 01110: AD14 (P3.3) 01111: AD15 (P1.6) 10000: AD16 (P3.6) 10001: AD17 (P3.5) 10010: AD18 (P2.1) 10011: AD19 (P2.0) 10100: AD20 (P1.5) 10101: AD21 (P1.4) 10110: AD22 (P1.3) 10111: AD23 (P2.4) 11000: AD24 (P2.5) 11001: AD25 (P1.2) 11010: AD26 (P1.1) 11011: AD27 (P1.0) 11100: V _{BG} 11101: DAC 11110: Reserved 11111: V _{CC} /4
		2	ADCVREFS	R/W	0	ADC reference voltage select 0: V _{CC} 1: V _{BG}
		1~0	ADCVBGS	R/W	00	V _{BG} voltage select for ADC. 00: 1.18V 01: 2.0V (need V _{CC} >2.8V) 10: 3.0V (need V _{CC} >3.3V) 11: 4.0V (need V _{CC} >4.3V)
AFh	PWMCON2	7	PWM0MOD	R/W	0	PWM0 mode select 0: Normal mode 1: Half-bridge mode
		6	PWM0MSKE	R/W	0	PWM0 mask output enable 0: Disable 1: Enable, PWM0P/PWM0N output data by

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
						PWM0PMSK/PWM0NMSK while CLR PWM0=1
		5~4	PWM0OM	R/W	00	PWM0 output mode select 00: Mode0 01: Mode1 10: Mode2 11: Mode3
		3~0	PWM0DZ	R/W	0000	PWM0 dead zone 0000: 0 x T _{PWMCLK} 0001: 1 x T _{PWMCLK} ... 1111: 15 x T _{PWMCLK}
B0h	P3	7~0	P3	R/W	FFh	Port3 data
B6h	WGCON	7~5	WGPRD	R/W	000	WG period of each bit select (T _{FRC} = 60.28 ns) 0: 15 * T _{FRC} = 904 ns 1: 16 * T _{FRC} = 965 ns 2: 17 * T _{FRC} = 1025 ns 3: 18 * T _{FRC} = 1085 ns 4: 19 * T _{FRC} = 1145 ns 5: 20 * T _{FRC} = 1206 ns 6: 21 * T _{FRC} = 1266 ns 7: 22 * T _{FRC} = 1326 ns
		4~2	WGT1H	R/W	000	WG code 1 high level time select (T _{FRC} = 60.28 ns) 0: 10 * T _{FRC} = 603 ns 1: 11 * T _{FRC} = 663 ns 2: 12 * T _{FRC} = 723 ns 3: 13 * T _{FRC} = 784 ns 4: 14 * T _{FRC} = 844 ns 5: 15 * T _{FRC} = 904 ns 6: 16 * T _{FRC} = 965 ns 7: 17 * T _{FRC} = 1025 ns
		1~0	WGT0H	R/W	00	WG code 0 high level time select (T _{FRC} = 60.28 ns) 0: 4 * T _{FRC} = 241 ns 1: 5 * T _{FRC} = 301 ns 2: 6 * T _{FRC} = 362 ns 3: 7 * T _{FRC} = 422 ns
B7h	WGBUF	7~0	WGBUF	R/W	00h	Wave Generator code buffer
B8h	IP	5	PT2	R/W	0	Timer2 Interrupt Priority Low bit
		4	PS	R/W	0	Serial Port (UART) Interrupt Priority Low bit
		3	PT1	R/W	0	Timer1 Interrupt Priority Low bit
		2	PX1	R/W	0	External INT1 Pin Interrupt Priority Low bit
		1	PT0	R/W	0	Timer0 Interrupt Priority Low bit
		0	PX0	R/W	0	External INT0 Pin Interrupt Priority Low bit
B9h	IPH	5	PT2H	R/W	0	Timer2 Interrupt Priority High bit
		4	PSH	R/W	0	Serial Port (UART) Interrupt Priority High bit
		3	PT1H	R/W	0	Timer1 Interrupt Priority High bit
		2	PX1H	R/W	0	External INT1 Pin Interrupt Priority High bit
		1	PT0H	R/W	0	Timer0 Interrupt Priority High bit
		0	PX0H	R/W	0	External INT0 Pin Interrupt Priority High bit
BAh	IP1	7	PPWM	R/W	0	PWM0/PWM1 Interrupt Priority Low bit
		6	PCMP	R/W	0	CMP Interrupt Priority Low bit
		5	PLVD	R/W	0	LVD Interrupt Priority Low bit
		4	PSPI2C	R/W	0	SPI/Master I ² C Interrupt Priority Low bit
		3	PADI	R/W	0	ADC Interrupt Priority Low bit
		2	PWG	R/W	0	Wave Generator Interrupt Priority Low bit
		1	PPC	R/W	0	Port0~Port3 pin change Interrupt Priority Low bit
		0	PT3	R/W	0	Timer3 Interrupt Priority Low bit

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
BBh	IP1H	7	PPWMH	R/W	0	PWM0/PWM1 Interrupt Priority High bit
		6	PCMPH	R/W	0	CMP Interrupt Priority High bit
		5	PLVDH	R/W	0	LVD Interrupt Priority High bit
		4	PSPI2CH	R/W	0	SPI/Master I ² C Interrupt Priority High bit
		3	PADIH	R/W	0	ADC Interrupt Priority High bit
		2	PWGH	R/W	0	Wave Generator Interrupt Priority High bit
		1	PPCH	R/W	0	Port0~Port3 Interrupt Priority High bit
		0	PT3H	R/W	0	Timer3 Interrupt Priority High bit
BCh	SPCON	7	SPEN	R/W	0	SPI enable 0: SPI disable 1: SPI enable
		6	MSTR	R/W	0	Master mode enable 0: Slave mode 1: Master mode
		5	CPOL	R/W	0	SPI clock polarity 0: SCK is low in idle state 1: SCK is high in idle state
		4	CPHA	R/W	0	SPI clock phase 0: Data sample on first edge of SCK period 1: Data sample on second edge of SCK period
		2	LSBF	R/W	0	LSB first 0: MSB first 1: LSB first
		1~0	SPCR	R/W	00	SPI clock rate 00: F _{SYSCLK} /2 01: F _{SYSCLK} /4 10: F _{SYSCLK} /8 11: F _{SYSCLK} /16
BDh	SPSTA	7	SPIF	R/W	0	SPI interrupt flag This is set by H/W at the end of a data transfer. Cleared by H/W when an interrupt is vectored into. Writing 0 to this bit will clear this flag.
		6	WCOL	R/W	0	Write collision interrupt flag Set by H/W if write data to SPDAT when SPBSY is set. Write 0 to this bit or rewrite data to SPDAT when SPBSY is cleared will clear this flag.
		4	RCVOVF	R/W	0	Received buffer overrun flag Set by H/W at the end of a data transfer and RCVBF is set. Write 0 to this bit or read SPDAT register will clear this flag.
		3	RCVBF	R/W	0	Receive buffer full flag Set by H/W at the end of a data transfer. Write 0 to this bit or read SPDAT register will clear this flag.
		2	SPBSY	R	0	SPI busy flag Set by H/W when a SPI transfer is in progress.
BEh	SPDAT	7~0	SPDAT	R/W	00h	SPI transmit and receive data The SPDAT register is used to transmit and receive data. Writing data to SPDAT place the data into shift register and start a transfer when in master mode. Reading SPDAT returns the contents of the receive buffer.
C4h	LVDDT	5~0	LVDDT	R/W	00	LVD delay time select (step=FRC16.5888M/16, T _{LVD} =0.96us) 00_0000: disable 00_0001: T _{LVD} *1=0.96us ... 11_1111: T _{LVD} *63=60.76us
C5h	DACDT	6~0	DACDT	R/W	00h	Select DAC output voltage, reference source can be selected as V _{CC} /2 or V _{BG} 1.18V/2 000_0000: 0/128 * reference source ... 111_1111: 127/128* reference source

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
C6h	CMPCON	7	DACMPPD	R/W	1	Comparator & DAC power down enable control 0: disable Comparator & DAC power down 1: enable Comparator & DAC power down
		6	CMPOX	R/W	1	Comparator original output (CMPOX) status 0: $V_{CMPP} < V_{CMPN}$ 1: $V_{CMPP} > V_{CMPN}$ or $CMPPD = 1$
		5	CMPHYS	R/W	1	Comparator Hysteresis Control 0: disable 1: enable
		4	CMPINV	R/W	0	Comparator de-bounce output invert select 0: no invert 1: invert
		3~2	CMPTRIG	R/W	00	Comparator interrupt trigger mode 00: Rising edge 01: Falling edge 10: Both edge 11: High level
		1'0	CMPDBS	R/W	00	Comparator original output (CMPOX) de-bounce time 00: none 01: $4 F_{SYSCLK}$ 10: $8 F_{SYSCLK}$ 11: $16 F_{SYSCLK}$
C7h	CMPPNS	7	SCMPN	R/W	1	Comparator CMPN source select 0: Comparator CMPN source is external input (CINx) 1: Comparator CMPN source is DAC output
		6~4	SCIN	R/W	111	Comparator CMPN external input select 000: Comparator CMPN external input is CIN1 (P1.6) 001: Comparator CMPN external input is CIN2 (P1.5) 010: Comparator CMPN external input is CIN3 (P0.7) 011: Comparator CMPN external input is CIN4 (P0.1) 100: Comparator CMPN external input is CIN5 (V_{SS}) 1xx: No connect
		2~0	SCIP	R/W	111	Comparator CMPP external input select 000: Comparator CMPP external input is CIP1 (P3.3) 001: Comparator CMPP external input is CIP2 (P1.4) 010: Comparator CMPP external input is CIP3 (P1.7) 011: Comparator CMPP external input is CIP4 (P0.0) 100: Comparator CMPP external input is CIP5 (V_{SS}) 1xx: No connect
C8h	T2CON	7	TF2	R/W	0	Timer2 overflow flag Set by H/W when Timer/Counter 2 overflows unless $RCLK=1$ or $TCLK=1$. This bit must be cleared by S/W.
		6	EXF2	R/W	0	T2EX interrupt pin falling edge flag Set when a capture or a reload is caused by a negative transition on T2EX pin if $EXEN2=1$. This bit must be cleared by S/W.
		5	RCLK	R/W	0	Force 0
		4	TCLK	R/W	0	Force 0
		3	EXEN2	R/W	0	T2EX pin enable 0: T2EX pin disable 1: T2EX pin enable, it cause a capture or reload when a negative transition on T2EX pin is detected if $RCLK=TCLK=0$
		2	TR2	R/W	0	Timer2 run control 0: timer stops 1: timer runs
		1	CT2N	R/W	0	Timer2 Counter/Timer select bit 0: Timer mode, Timer2 data increases at 2 System clock cycle rate 1: Counter mode, Timer2 data increases at T2 pin's negative edge
		0	CPRL2N	R/W	0	Timer2 Capture/Reload control bit 0: Reload mode, auto-reload on Timer2 overflows or negative transitions on T2EX pin if $EXEN2=1$. 1: Capture mode, capture on negative transitions on T2EX pin if $EXEN2=1$. If $RCLK=1$ or $TCLK=1$, CPRL2N is ignored and timer is forced to

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
C9h	IAPCON					auto-reload on Timer2 overflow.
		7~0	IAPCON	W	–	Write 47h or 74h to set IAPWE flag; Write 47h can write 1 byte at once, write 74h can write 2 bytes at once. Write other value to clear IAPWE flag. It is recommended to clear it immediately after IAP write. Write A1h to set INFOWE flag; write other value to clear INFOWE flag. It is recommended to clear it immediately after IAP write. Write E2h to set EEPWE flag; write other value to clear EEPWE flag. It is recommended to clear it immediately after EEPROM write.
		7	IAPWE	R	0	Flag indicates Flash memory can be written by IAP or not 0: IAP Write disable 1: IAP Write enable
		6	IAPTO	R	0	Time-Out flag of IAP write/EEPROM write/INFO write. Set by H/W when IAP or EEPROM or INFO write Time-out occurs. Cleared this flag by H/W when IAPWE=0 or EEPWE=0 or INFOWE=0.
		5	EEPWE	R	0	Flag indicates EEPROM memory can be written or not 0: EEPROM Write disable 1: EEPROM Write enable
		4	INFOWE	R	0	Flag indicates INFO memory can be written or not 0: INFO IAP Write disable 1: INFO IAP Write enable
CAh	RCP2L	7~0	RCP2L	R/W	00h	Timer2 reload/capture data low byte
CBh	RCP2H	7~0	RCP2H	R/W	00h	Timer2 reload/capture data high byte
CCh	TL2	7~0	TL2	R/W	00h	Timer2 data low byte
CDh	TH2	7~0	TH2	R/W	00h	Timer2 data high byte
D0h	PSW	7	CY	R/W	0	ALU carry flag
		6	AC	R/W	0	ALU auxiliary carry flag
		5	F0	R/W	0	General purpose user-definable flag
		4	RS1	R/W	0	Register Bank Select bit 1
		3	RS0	R/W	0	Register Bank Select bit 0
		2	OV	R/W	0	ALU overflow flag
		1	F1	R/W	0	General purpose user-definable flag
		0	P	R/W	0	Parity flag
D1h	PWM0DH	7~0	PWM0DH	R/W	80h	PWM0 duty high byte write sequence: PWMxDL then PWMxDH read sequence: PWMxDH then PWMxDL
D2h	PWM0DL	7~0	PWM0DL	R/W	00h	PWM0 duty low byte
D4h	PWM1D	7~0	PWM1D	R/W	80h	PWM1 duty
D6h	PWM2D	7~0	PWM2D	R/W	80h	PWM2 duty
D7h	TM3RLD	7~0	TM3RLD	R/W	00	16-bit TM3 MSB 8-bit reload data count range: [TM3RLD,00h]~FFFF
D8h	CLKCON	7	SCKTYPE	R/W	0	Slow clock Type. This bit can be changed only in Fast mode (SELFCK=1) 0: SRC 1: SXT, P2.2 and P2.3 are crystal pins
		5	STPSCK	R/W	1	Set 1 to stop Slow clock in Stop Mode.
		4	STPPCK	R/W	0	Set 1 to stop Timer0/1/2 clock in Idle mode for current reducing.
		3	STPFCK	R/W	0	Set 1 to stop Fast clock for power saving in Slow/Idle mode. This bit can be changed only in Slow mode.
		2	SELFCK	R/W	0	System clock select. This bit can be changed only when STPFCK=0. 0: Slow clock 1: Fast clock
		1~0	CLKPSC	R/W	11	System clock prescaler. Effective after 16 clock cycles (Max.) delay. 00: System clock is Fast/Slow clock divided by 16 01: System clock is Fast/Slow clock divided by 4 10: System clock is Fast/Slow clock divided by 2 11: System clock is Fast/Slow clock divided by 1

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
D9h	PWM0PRDH	7~0	PWM0PRDH	R/W	FFh	PWM0 period high byte write sequence: PWM0PRDL then PWM0PRDH read sequence: PWM0PRDH then PWM0PRDL
DAh	PWM0PRDL	7~0	PWM0PRDL	R/W	FFh	PWM0 period low byte
DCh	PWM1PRD	7~0	PWM1PRD	R/W	FFh	PWM1~PWM6 shared period
DEh	PWM3D	7~0	PWM3D	R/W	80h	PWM3 duty
DFh	UARTBRP	7~0	UARTBRP	R/W	0	Define UART Baud Rate prescaler UART Baud Rate = $F_{SYSCLK}/16/UARTBRP$
E0h	ACC	7~0	ACC	R/W	00h	Accumulator
E1h	MICON	7	MIEN	R/W	0	Master I ² C enable 0: disable 1: enable
		6	MIACKO	R/W	0	When Master I ² C receive data, send acknowledge to I ² C bus 0: ACK to slave device 1: NACK to slave device
		5	MIIF	R/W	0	Master I ² C Interrupt flag 0: write 0 to clear it 1: Master I ² C transfer one byte complete
		4	MIACKI	R	—	When Master I ² C transfer, acknowledgement form I ² C bus (read only) 0: ACK received 1: NACK received
		3	MISTART	R/W	0	Master I ² C Start bit 1: start I ² C bus transfer
		2	MISTOP	R/W	1	Master I ² C Stop bit 1: send STOP signal to stop I ² C bus
		1~0	MICR	R/W	00	Master I ² C (SCL) clock frequency selection 00: $F_{SYSCLK}/4$ 01: $F_{SYSCLK}/16$ 10: $F_{SYSCLK}/64$ 11: $F_{SYSCLK}/256$
E2h	MIDAT	7~0	MIDAT	R/W	00h	Master I ² C data shift register (W): After Start and before Stop condition, write this register will resume transmission to I ² C bus (R): After Start and before Stop condition, read this register will resume receiving from I ² C bus
E3h	LVRCON	4	LVRPD	R/W	0	LVR Power Down. 0: LVR Enable 1: LVR Disable
		3~0	LVRSEL	R/W	0000	Low Voltage Reset (LVR) select. (step=0.15V) 0000: Set LVR at 1.70V 0001: Set LVR at 1.85V 0010: Set LVR at 2.00V 0011: Set LVR at 2.15V 0100: Set LVR at 2.30V 0101: Set LVR at 2.45V 0110: Set LVR at 2.60V 0111: Set LVR at 2.75V 1000: Set LVR at 2.90V 1001: Set LVR at 3.05V 1010: Set LVR at 3.20V 1011: Set LVR at 3.35V 1100: Set LVR at 3.50V 1101: Set LVR at 3.65V 1110: Set LVR at 3.80V 1111: Set LVR at 3.95V

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
E4h	LVDCON	7	LVDM	R/W	0	Low Voltage Detect interrupt enable 0: LVDIF =1 and LVDO =1 while $V_{CC} < V_{LVD}$ 1: LVDIF =1 and LVDO =0 while $V_{CC} > V_{LVD}$
		6	LVDO	R	0	Low Voltage Detect output
		5	LVDHYS	R/W	0	LVD Hysteresis Enable 0: LVD Hysteresis disable 1: LVD Hysteresis enable
		4	LVDPD	R/W	0	LVD power down 0: LVD enable 1: LVD disable
		3~0	LVDSSEL	R/W	0000	Low Voltage Detect (LVD) select. (step=0.15V) 0000: Set LVD at 1.85V 0001: Set LVD at 2.00V 0010: Set LVD at 2.15V 0011: Set LVD at 2.30V 0100: Set LVD at 2.45V 0101: Set LVD at 2.60V 0110: Set LVD at 2.75V 0111: Set LVD at 2.90V 1000: Set LVD at 3.05V 1001: Set LVD at 3.20V 1010: Set LVD at 3.35V 1011: Set LVD at 3.50V 1100: Set LVD at 3.65V 1101: Set LVD at 3.80V 1110: Set LVD at 3.95V 1111: Set LVD at 4.10V
EAh	PWM4D	7~0	PWM4D	R/W	80h	PWM4 duty
ECh	PWM5D	7~0	PWM5D	R/W	80h	PWM5 duty
EEh	PWM6D	7~0	PWM6D	R/W	80h	PWM6 duty
EFh	AUX3	7~5	PWM1PSC	R/W	0	PWM1~PWM6 clock pre-scaler select 0: div 1 1: div 2 2: div 4 3: div 8 4: div 16 5: div 32 6: div 64 7: div 128
		4	PRGD	R/W	0	Disable P21/P20 to enter PRG/ICE mode control 0: Enable P21/P20 to enter PRG/ICE mode 1: Disable P21/P20 to enter PRG/ICE mode
		3	WARMTIME	R/W	0	Warm-up time for wake-up from Power Down mode 0: 128 Clock 1: 64 Clock
		2	DACVREFS	R/W	0	DAC reference voltage select 0: $V_{CC}/2$ 1: $V_{BG} 1.18V/2$
F0h	B	7~0	B	R/W	00h	B register
F5h	CFGBG	4~0	BGTRIM	R/W	—	VBG trimming value
F6h	CFGWL	6~0	FRCTRIM	R/W	—	FRC frequency adjustment 00h: lowest frequency 7Fh: highest frequency

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
F7h	AUX2	7~6	WDTE	R/W	–	Watchdog Timer Reset control 0x: WDT disable 10: WDT enable in Fast/Slow mode, disable in Idle/Halt/Stop mode 11: WDT always enable
		5	PWRSV	R/W	–	Set 1 to reduce the chip's power consumption at Idle/Halt/Stop Mode.
		4	VBGOUT	R/W	0	Bandgap voltage output control 0: P3.2 as normal I/O 1: Bandgap voltage output to P3.2 pin
		2~1	IAPTE	R/W	11	IAP write/EEPROM write/INFO write watchdog timer enable 00: Disable 01: wait 2ms trigger watchdog time-out flag 10: wait 4ms trigger watchdog time-out flag 11: wait 16ms trigger watchdog time-out flag
F8h	AUX1	7	CLRWDT	R/W	0	Set 1 to clear WDT, H/W auto clear it at next clock cycle
		6	CLRTM3	R/W	0	Set 1 to clear and hold Timer3, need S/W clear.
		4	ADSOC	R/W	0	ADC Start of Conversion Set 1 to start ADC conversion. Cleared by H/W at the end of conversion. S/W can also write 0 to clear this flag.
		3	CLRPWM0	R/W	1	PWM0 clear enable 0: PWM0 is running 1: PWM0 is cleared and held or set PWM0 stop status by PWM0PMSK/PWM0NMSK & PWM0MSK=1
		2	CLRPWM1	R/W	1	PWM1~PWM6 clear enable 0: PWM1~PWM6 is running 1: PWM1~PWM6 is cleared and held
		1	WGEN	R/W	0	Wave Generator enable, H/W will automatically clear WGEN after one cycle 0: WG disable 1: WG enable
		0	DPSEL	R/W	0	Active DPTR Select

Adr	Flash	Bit#	Bit Name	Description
3FFBh	CFG BG	4~0	BGTRIM	VBG adjustment. VBG is trimmed to 1.18V in chip manufacturing.
3FFDh	CFG WL	6~0	FRCTRIM	FRC frequency adjustment. FRC is trimmed to 16.5888 MHz in chip manufacturing.
3FFFh	CFG WH	7	PROT	Flash Code Protect, 1=Protect
		6	XRSTE	External Pin Reset Enable, 1=Enable.
		5~0	-	Reserved

指令集

指令都是1, 2或3个字节长如“byte”列所示。每条指令需要2~8个系统时钟周期来执行如“cycle”列中所示。

ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
ADD A,Rn	Add register to A	1	2	28-2F
ADD A,dir	Add direct byte to A	2	2	25
ADD A,@Ri	Add indirect memory to A	1	2	26-27
ADD A,#data	Add immediate to A	2	2	24
ADDC A,Rn	Add register to A with carry	1	2	38-3F
ADDC A,dir	Add direct byte to A with carry	2	2	35
ADDC A,@Ri	Add indirect memory to A with carry	1	2	36-37
ADDC A,#data	Add immediate to A with carry	2	2	34
SUBB A,Rn	Subtract register from A with borrow	1	2	98-9F
SUBB A,dir	Subtract direct byte from A with borrow	2	2	95
SUBB A,@Ri	Subtract indirect memory from A with borrow	1	2	96-97
SUBB A,#data	Subtract immediate from A with borrow	2	2	94
INC A	Increment A	1	2	04
INC Rn	Increment register	1	2	08-0F
INC dir	Increment direct byte	2	2	05
INC @Ri	Increment indirect memory	1	2	06-07
DEC A	Decrement A	1	2	14
DEC Rn	Decrement register	1	2	18-1F
DEC dir	Decrement direct byte	2	2	15
DEC @Ri	Decrement indirect memory	1	2	16-17
INC DPTR	Increment data pointer	1	4	A3
MUL AB	Multiply A by B	1	8	A4
DIV AB	Divide A by B	1	8	84
DA A	Decimal Adjust A	1	2	D4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
ANL A,Rn	AND register to A	1	2	58-5F
ANL A,dir	AND direct byte to A	2	2	55
ANL A,@Ri	AND indirect memory to A	1	2	56-57
ANL A,#data	AND immediate to A	2	2	54
ANL dir,A	AND A to direct byte	2	2	52
ANL dir,#data	AND immediate to direct byte	3	4	53
ORL A,Rn	OR register to A	1	2	48-4F
ORL A,dir	OR direct byte to A	2	2	45
ORL A,@Ri	OR indirect memory to A	1	2	46-47
ORL A,#data	OR immediate to A	2	2	44
ORL dir,A	OR A to direct byte	2	2	42
ORL dir,#data	OR immediate to direct byte	3	4	43
XRL A,Rn	Exclusive-OR register to A	1	2	68-6F
XRL A,dir	Exclusive-OR direct byte to A	2	2	65
XRL A,@Ri	Exclusive-OR indirect memory to A	1	2	66-67
XRL A,#data	Exclusive-OR immediate to A	2	2	64
XRL dir,A	Exclusive-OR A to direct byte	2	2	62
XRL dir,#data	Exclusive-OR immediate to direct byte	3	4	63
CLR A	Clear A	1	2	E4
CPL A	Complement A	1	2	F4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
SWAP A	Swap Nibbles of A	1	2	C4
RL A	Rotate A left	1	2	23
RLC A	Rotate A left through carry	1	2	33
RR A	Rotate A right	1	2	03
RRC A	Rotate A right through carry	1	2	13

DATA TRANSFER				
Mnemonic	Description	byte	cycle	opcode
MOV A,Rn	Move register to A	1	2	E8-EF
MOV A,dir	Move direct byte to A	2	2	E5
MOV A,@Ri	Move indirect memory to A	1	2	E6-E7
MOV A,#data	Move immediate to A	2	2	74
MOV Rn,A	Move A to register	1	2	F8-FF
MOV Rn,dir	Move direct byte to register	2	4	A8-AF
MOV Rn,#data	Move immediate to register	2	2	78-7F
MOV dir,A	Move A to direct byte	2	2	F5
MOV dir,Rn	Move register to direct byte	2	4	88-8F
MOV dir,dir	Move direct byte to direct byte	3	4	85
MOV dir,@Ri	Move indirect memory to direct byte	2	4	86-87
MOV dir,#data	Move immediate to direct byte	3	4	75
MOV @Ri,A	Move A to indirect memory	1	2	F6-F7
MOV @Ri,dir	Move direct byte to indirect memory	2	4	A6-A7
MOV @Ri,#data	Move immediate to indirect memory	2	2	76-77
MOV DPTR,#data	Move immediate to data pointer	3	4	90
MOVC A,@A+DPTR	Move code byte relative DPTR to A	1	8	93
MOVC A,@A+PC	Move code byte relative PC to A	1	8	83
MOVX A,@Ri	Move external data(A8) to A	1	8	E2-E3
MOVX A,@DPTR	Move external data(A16) to A	1	8	E0
MOVX @Ri,A	Move A to external data(A8)	1	8	F2-F3
MOVX @DPTR,A	Move A to external data(A16)	1	8	F0
PUSH dir	Push direct byte onto stack	2	4	C0
POP dir	Pop direct byte from stack	2	4	D0
XCH A,Rn	Exchange A and register	1	2	C8-CF
XCH A,dir	Exchange A and direct byte	2	2	C5
XCH A,@Ri	Exchange A and indirect memory	1	2	C6-C7
XCHD A,@Ri	Exchange A and indirect memory nibble	1	2	D6-D7

BOOLEAN				
Mnemonic	Description	byte	cycle	opcode
CLR C	Clear carry	1	2	C3
CLR bit	Clear direct bit	2	2	C2
SETB C	Set carry	1	2	D3
SETB bit	Set direct bit	2	2	D2
CPL C	Complement carry	1	2	B3
CPL bit	Complement direct bit	2	2	B2
ANL C,bit	AND direct bit to carry	2	4	82
ANL C,/bit	AND direct bit inverse to carry	2	4	B0
ORL C,bit	OR direct bit to carry	2	4	72
ORL C,/bit	OR direct bit inverse to carry	2	4	A0
MOV C,bit	Move direct bit to carry	2	2	A2
MOV bit,C	Move carry to direct bit	2	4	92

BRANCHING				
Mnemonic	Description	byte	cycle	Opcode
ACALL addr 11	Absolute jump to subroutine	2	6	11-F1
LCALL addr 16	Long jump to subroutine	3	6	12
RET	Return from subroutine	1	6	22
RETI	Return from interrupt	1	6	32
AJMP addr 11	Absolute jump unconditional	2	6	01-E1
LJMP addr 16	Long jump unconditional	3	6	02
SJMP rel	Short jump (relative address)	2	6	80
JC rel	Jump on carry = 1	2	4 (or 6)	40
JNC rel	Jump on carry = 0	2	4 (or 6)	50
JB bit,rel	Jump on direct bit = 1	3	4 (or 6)	20
JNB bit,rel	Jump on direct bit = 0	3	4 (or 6)	30
JBC bit,rel	Jump on direct bit = 1 and clear	3	4 (or 6)	10
JMP @A+DPTR	Jump indirect relative DPTR	1	6	73
JZ rel	Jump on accumulator = 0	2	4 (or 6)	60
JNZ rel	Jump on accumulator ... 0	2	4 (or 6)	70
CJNE A,dir,rel	Compare A,direct, jump not equal relative	3	4 (or 6)	B5
CJNE A,#data,rel	Compare A,immediate, jump not equal relative	3	4 (or 6)	B4
CJNE Rn,#data,rel	Compare register,immediate, jump not equal relative	3	4 (or 6)	B8-BF
CJNE @Ri,#data,rel	Compare indirect,immediate, jump not equal relative	3	4 (or 6)	B6-B7
DJNZ Rn,rel	Decrement register, jump not zero relative	2	4 (or 6)	D8-DF
DJNZ dir,rel	Decrement direct byte, jump not zero relative	3	4 (or 6)	D5

MISCELLANEOUS				
Mnemonic	Description	byte	cycle	opcode
NOP	No operation	1	2	00

在上表中，如E8-EF中的指令操作码（十六进制）指示用于一个连续的块的8个不同的寄存器，寄存器编号，由其相应的操作码的最低3位定义。码的不连续的块，如11-F1(举例)，用于绝对跳转和调用，码的前3位用于指示目的地址的顶部3位。

电器特性

1. 最大绝对额定值 ($T_A=25\text{ }^{\circ}\text{C}$)

参数	额定值	单位
电源电压	$V_{SS}-0.3 \sim V_{SS}+5.5$	V
输入电压	$V_{SS}-0.3 \sim V_{CC}+0.3$	
输出电压	$V_{SS}-0.3 \sim V_{CC}+0.3$	
全部引脚高电位输出电流	-80	mA
全部引脚低电位输出电流	+150	
最大工作电压	5.5	V
工作温度	$-40 \sim +105$	$^{\circ}\text{C}$
储存温度	$-65 \sim +150$	

2. DC 特性 ($T_A=25\text{ }^{\circ}\text{C}$, $V_{CC}=1.9\text{V} \sim 5.5\text{V}$)

参数	符号	条件		最小值	典型值	最大值	单位
工作电压	V_{CC}	快钟模式, $F_{SYSCLK}=16.5888\text{ MHz}$		1.9	—	5.5	V
输入高电压	V_{IH}	所有输入	$V_{CC}=5\text{V}$	$0.7V_{CC}$	—	—	V
输入低电压	V_{IL}	所有输入	$V_{CC}=5\text{V}$	—	—	$0.3V_{CC}$	V
I/O 端口 拉电流	I_{OH}	所有输出		$V_{CC}=5\text{V},$ $V_{OH}=0.9V_{CC}$	6	12	mA
				$V_{CC}=3\text{V},$ $V_{OH}=0.9V_{CC}$	2.5	5	
I/O 端口 灌电流	I_{OL}	所有输出	有高灌电流	$V_{CC}=5\text{V},$ $V_{OL}=0.1V_{CC}$	40	80	
				$V_{CC}=3\text{V},$ $V_{OL}=0.1V_{CC}$	19	38	
			无高灌电流	$V_{CC}=5\text{V},$ $V_{OL}=0.1V_{CC}$	21	42	
				$V_{CC}=3\text{V},$ $V_{OL}=0.1V_{CC}$	9	18	
电源电流	I_{DD}	快钟模式 $V_{CC}=5\text{V}$	FRC= 16.5888 MHz	—	5.4	—	mA
			FRC= 8.2994 MHz	—	3.7	—	
		快钟模式 $V_{CC}=3\text{V}$	FRC= 16.5888 MHz	—	3.0	—	
			FRC= 8.2994 MHz	—	2.1	—	
		慢钟模式	SRC, $V_{CC}=5\text{V}$	—	1.1	—	μA
			SRC, $V_{CC}=3\text{V}$	—	0.75	—	
		空闲模式 (PWRSAV=0)	SRC, $V_{CC}=5\text{V}$	—	64	—	
			SRC, $V_{CC}=3\text{V}$	—	42	—	
		空闲模式 (PWRSAV=1)	SRC, $V_{CC}=5\text{V}$	—	11	—	
			SRC, $V_{CC}=3\text{V}$	—	4	—	
		暂停模式 (PWRSAV=1)	$V_{CC}=5\text{V}$	—	7.3	—	
			$V_{CC}=3\text{V}$	—	2.6	—	
		停止模式	$V_{CC}=5\text{V}$	—	0.6	—	
			$V_{CC}=3\text{V}$	—	0.47	—	
上拉电阻	R_{PU}	$V_{IN}=V_{CC}$		$V_{CC}=5\text{V}$	—	33	$\text{K}\Omega$
				$V_{CC}=3\text{V}$	—	33	

3. 时钟时序

参数	条件	最小值	典型值	最大值	单位
FRC 频率	25° C, $V_{CC}=4.5V$	-1%	16.5888	+1%	MHz
	0° C ~ 105° C, $V_{CC}=4.5V$	-1.5%	16.5888	+1.5%	
	0° C ~ 105° C, $V_{CC}=3.0 \sim 5.5V$	-3.5%	16.5888	+3.5%	
SRC 频率	$V_{CC}=5V$	-	62	-	KHz
	$V_{CC}=3V$	-	56	-	

4. 复位时序特性 ($T_A=-40^{\circ}C \sim 105^{\circ}C$)

参数	条件	最小值	典型值	最大值	单位
RESET 输入低电平宽度	Input $V_{CC}=5V \pm 10\%$	30	-	-	μs
WDT 唤醒时间	$V_{CC}=5V$, WDTPSC=11	-	66	-	ms
	$V_{CC}=3V$, WDTPSC=11	-	73	-	
CPU 启动时间	$V_{CC} = 5V$	-	30	-	ms

5. LVR 电路特性 ($T_A = 25^{\circ}C$)

参数	符号	条件	最小值	典型值	最大值	单位
LVR 参考电压	V_{LVR}	$T_A=25^{\circ}C$	-	3.95	-	V
			-	3.80	-	
			-	3.65	-	
			-	3.50	-	
			-	3.35	-	
			-	3.20	-	
			-	3.05	-	
			-	2.90	-	
			-	2.75	-	
			-	2.60	-	
			-	2.45	-	
			-	2.30	-	
			-	2.15	-	
			-	2.00	-	
			-	1.85	-	
			-	1.70	-	
LVR 滞后窗口	V_{HYS_LVR}	$T_A = 25^{\circ}C$	-	20	-	mV
低电压检测时间	t_{LVR}	$T_A=25^{\circ}C$	100	-	-	μs

6. LVD 电路特性 (T_A= 25 °C)

参数	符号	条件	最小值	典型值	最大值	单位
LVD 参考电压	V _{LVD}	T _A =25°C	—	4.10	—	V
			—	3.95	—	
			—	3.80	—	
			—	3.65	—	
			—	3.50	—	
			—	3.35	—	
			—	3.20	—	
			—	3.05	—	
			—	2.90	—	
			—	2.75	—	
			—	2.60	—	
			—	2.45	—	
			—	2.30	—	
			—	2.15	—	
			—	2.00	—	
			—	1.85	—	
LVD 滞后窗口	V _{HYS_LVD}	LVDHYS = 0	—	20	—	mV
		LVDHYS = 1	—	50	—	
低电压检测时间	t _{LVR}	T _A =25°C	100	—	—	μs

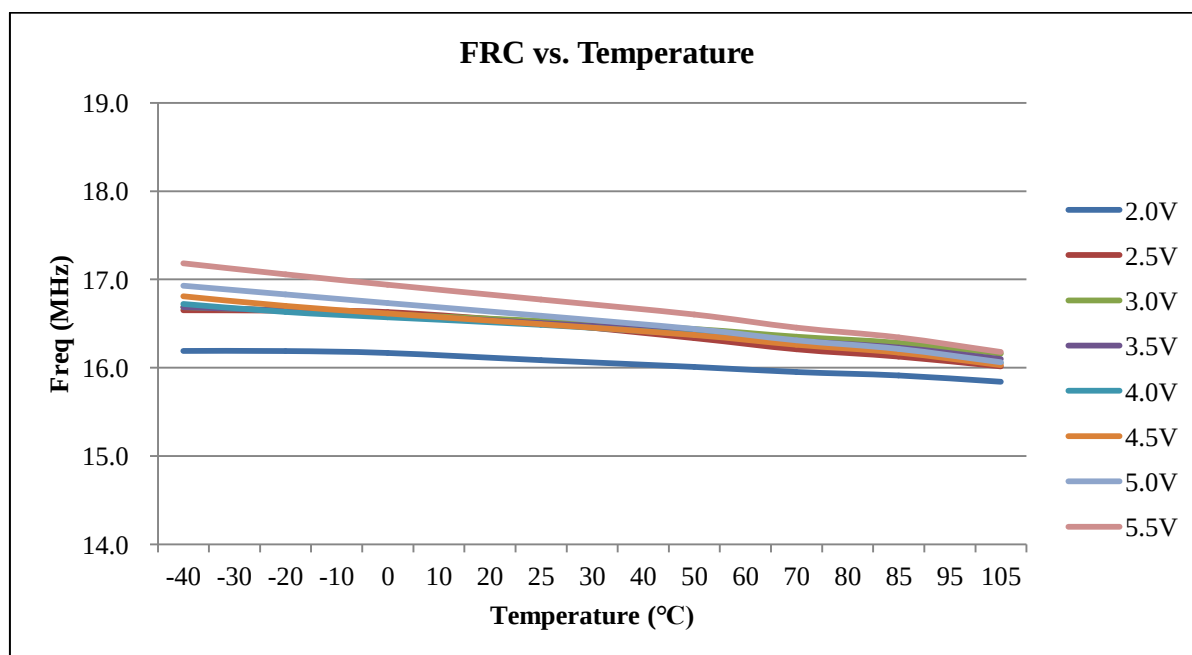
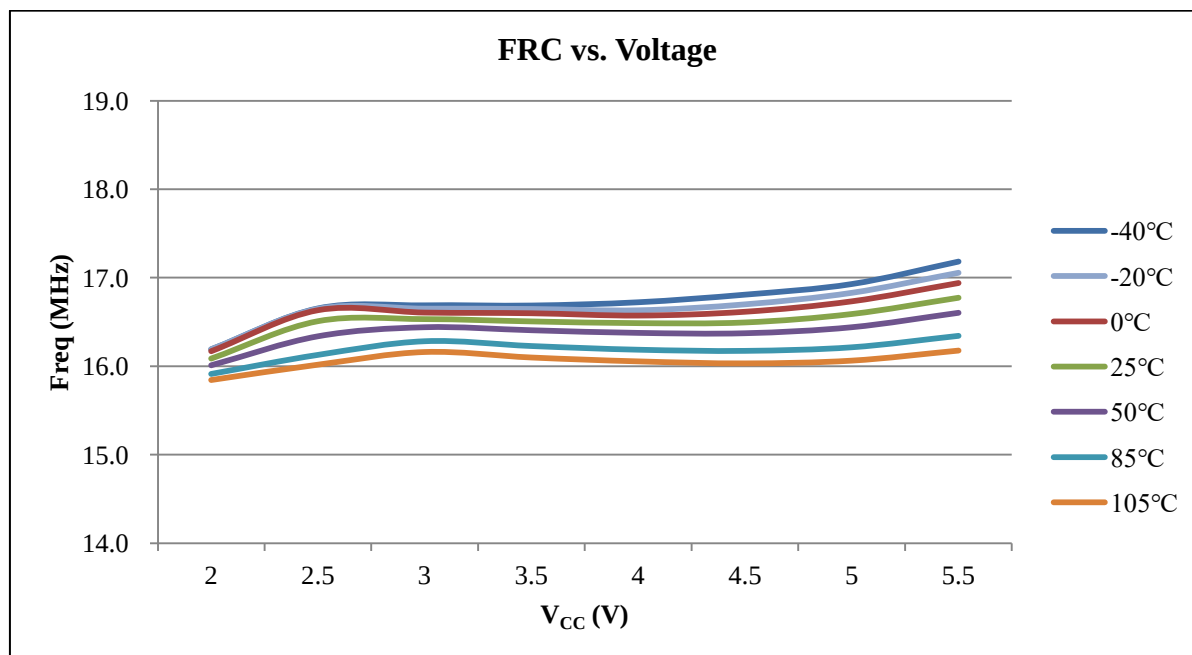
7. ADC 电气特性 (T_A=25 °C, V_{CC}=3.0V ~ 5.5V, V_{SS}= 0V)

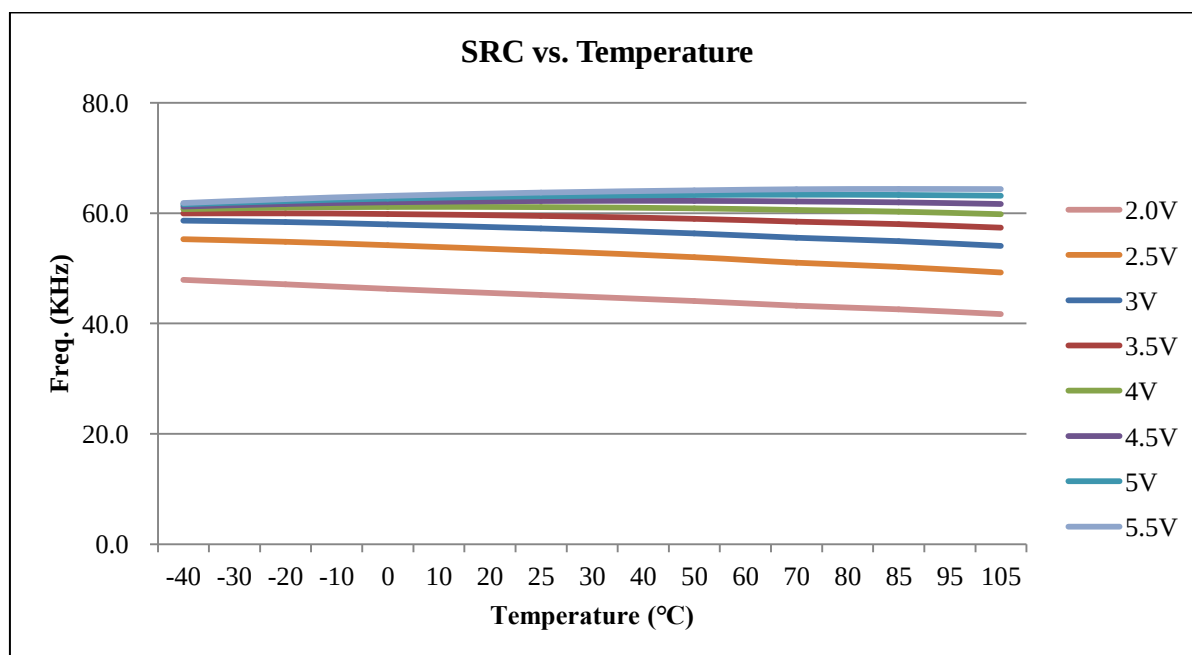
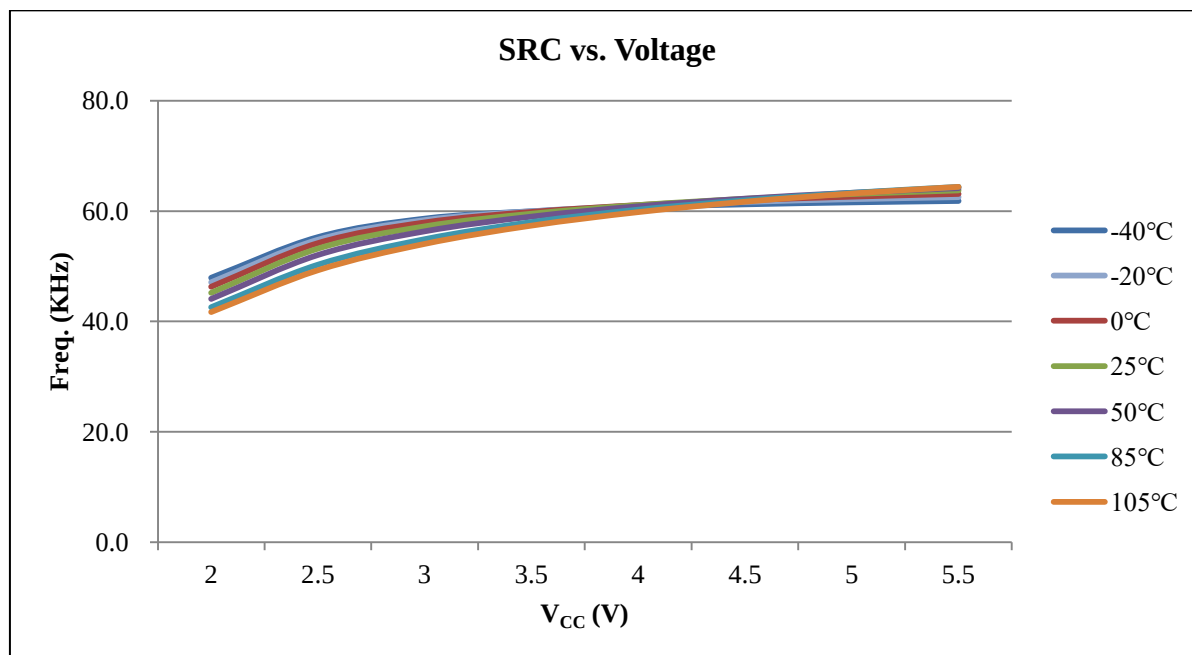
参数	条件		最小值	典型值	最大值	单位
总绝对误差	V _{CC} =5.12 V, V _{SS} =0V		—	±2.5	±4	LSB
积分非线性误差			—	±3.2	±5	
最大输入时钟(f _{ADC})	信号驱动源阻抗(R _s < 5KΩ)		—	—	4	MHz
	信号驱动源阻抗(R _s < 10KΩ)		—	—	2	
	信号驱动源阻抗(R _s < 25KΩ)		—	—	1	
	信号驱动源为 V _{BG} (ADCHS=11100b)		—	—	F _{SYSCLK} /4	
转换时间	F _{ADC} = 1MHz		—	21	—	μs
内部基准电压源 (V _{BG})	—	V _{CC} =2.5V~5.5V 25 °C	-1.5%	1.18	+1.5%	V
		V _{CC} =2.5V~5.5V -40 °C~105 °C	-1.8%	1.18	+1.8%	
ADC 内部参考电压源 (V _{REF})	ADCVREFS=1 ADCVBGS=1	V _{CC} =3V~5.5V 25 °C	-1.7%	2.0	+1.7%	
		V _{CC} =2.8V~5.5V -40 °C~105 °C	-2.3%	2.0	+2.3%	
V _{CC} /4 电压源 (V _{1/4})	—	V _{CC} =5V, 25 °C	-0.8%	1.252	+0.8%	
		V _{CC} =3.6V, 25 °C	-0.8%	0.902	+0.8%	
输入电压	—		V _{SS}	—	V _{CC}	

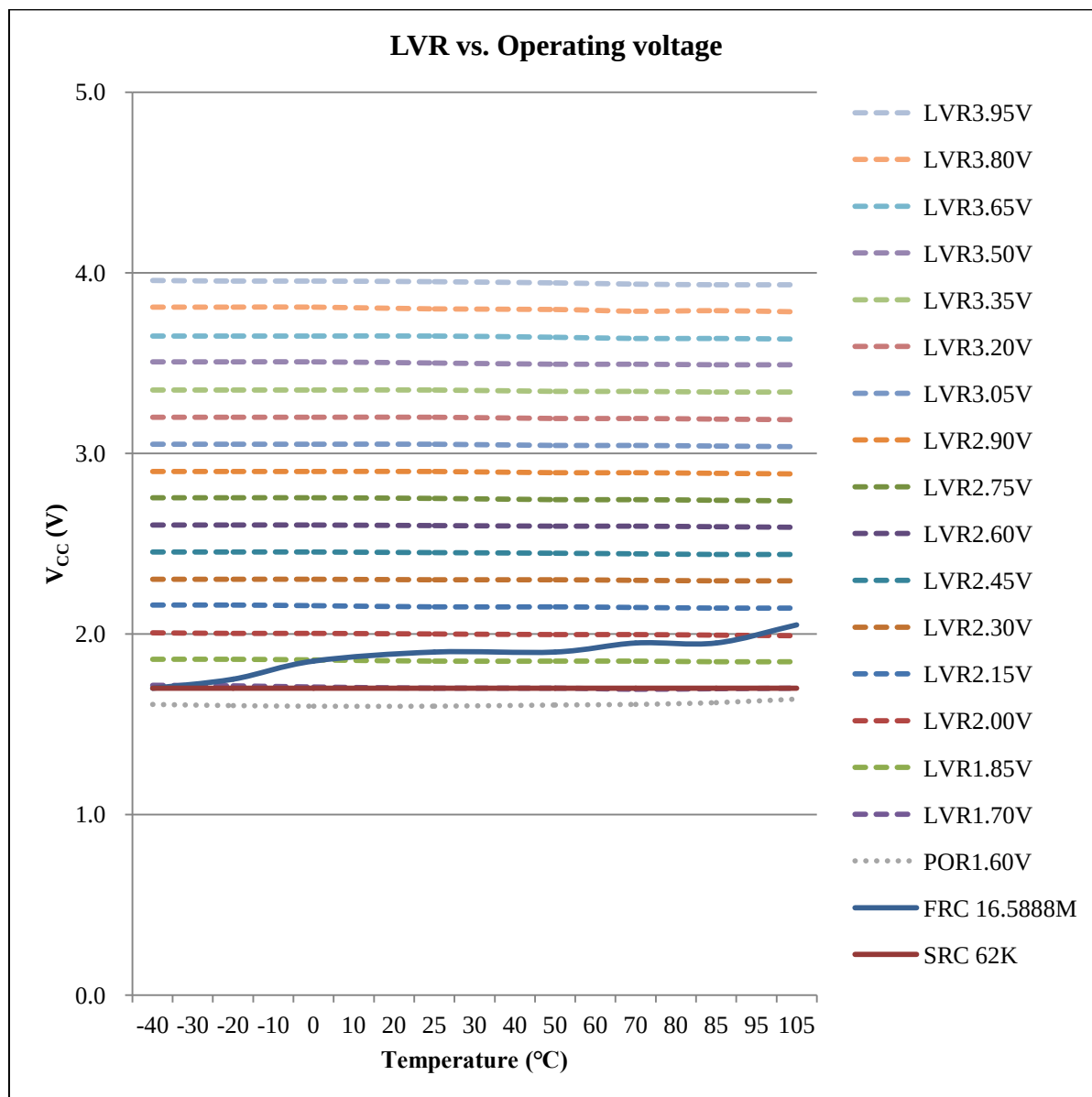
8. 比较器特性 ($T_A=25\text{ }^{\circ}\text{C}$, $V_{CC}=3.0\text{V} \sim 5.5\text{V}$, $V_{SS}=0\text{V}$)

参数	条件	最小值	典型值	最大值	单位
Power supply V_{CC}	—	2.2	—	5.5	V
静态电流	$V_{CC} = 5.0\text{V}$	—	100	—	μA
DAC 电流	$V_{CC} = 5.0\text{V}$	60	—	220	μA
V_{OS_CMP}	$V_{CC} = 5.0\text{V}$	-15	—	15	mV
V_{CM_CMP}	$V_{CC} = 5.0\text{V}$	0	—	$V_{CC}-0.5$	V
V_{HYS_CMP}	$V_{CC} = 5.0\text{V}$	20	30	40	mV

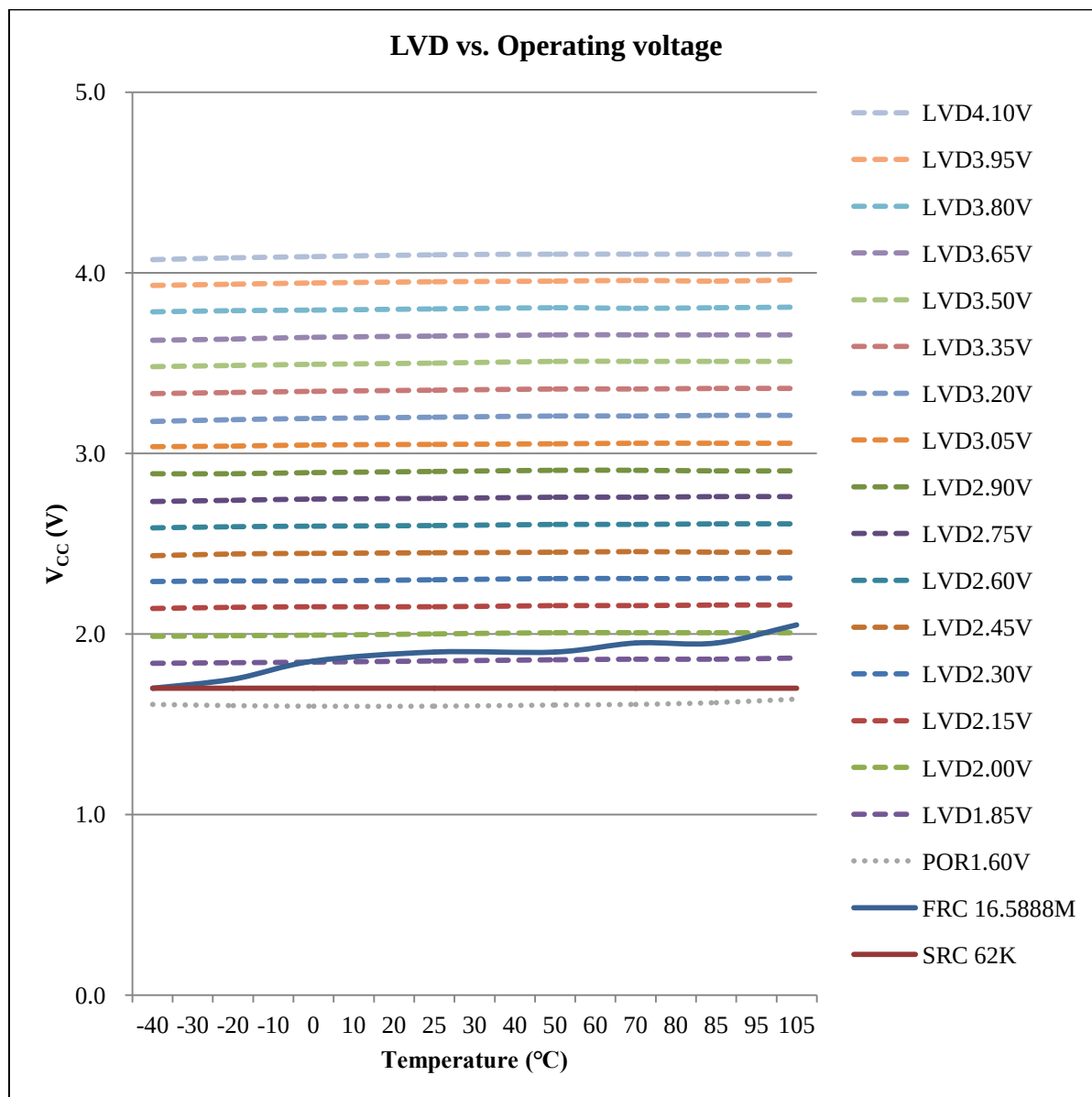
9. 特性曲线图



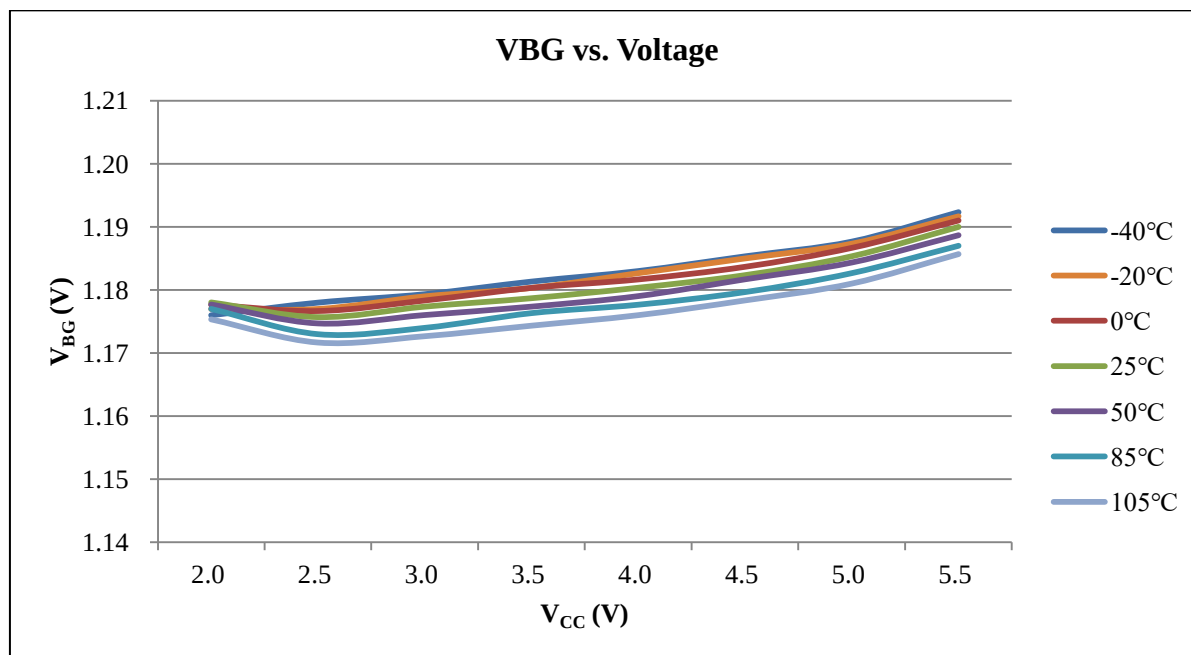




注：上电时 V_{CC} 应大于 POR(上电复位)。由于制造工艺的差异，不同芯片之间的 POR 值会略有不同。



注：上电时 V_{CC} 应大于 POR(上电复位)。由于制造工艺的差异，不同芯片之间的 POR 值会略有不同。



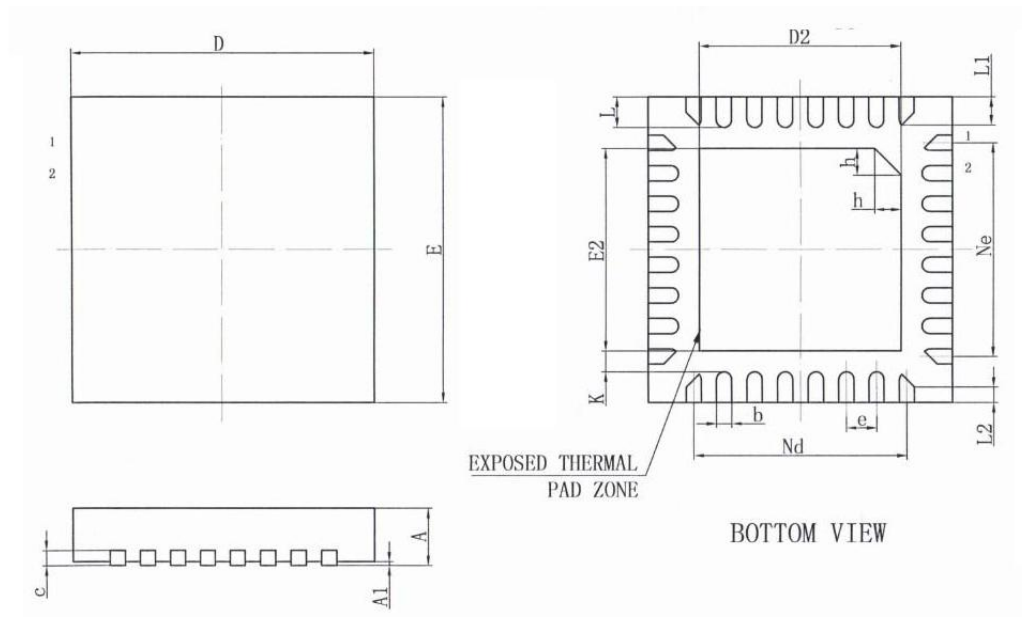
封装说明

请注意，此处提供的包装信息仅供参考。由于此信息经常更新，因此用户可以联系销售人员以咨询最新的包装信息和库存。

订购须知

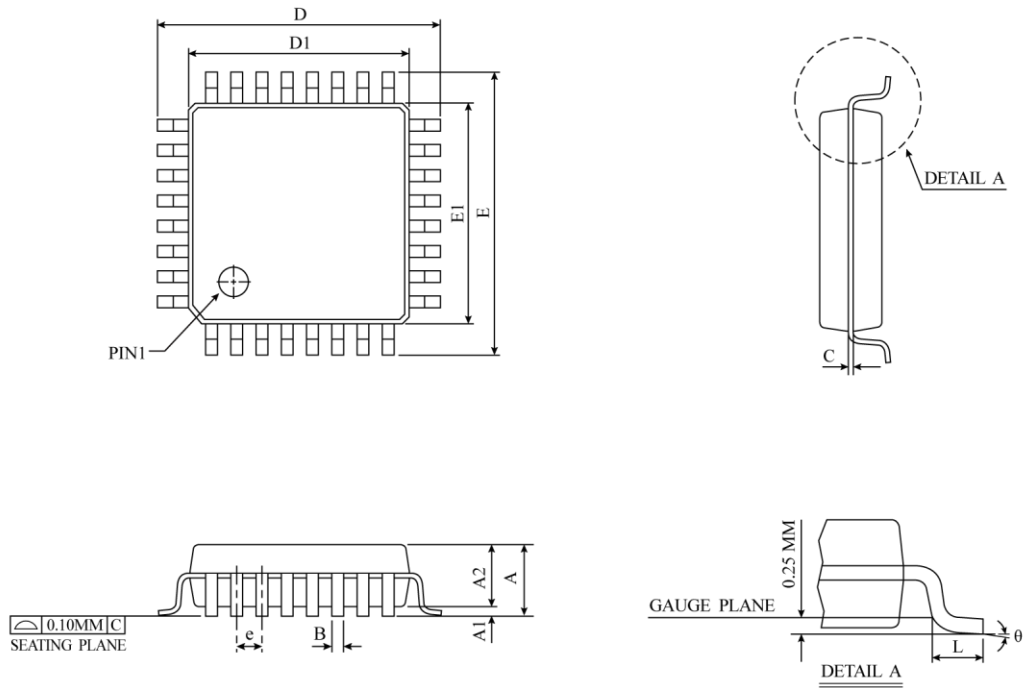
Ordering number	Package
TM52F58646P	QFN 32-pin (4x4x0.75-0.4 mm)
TM52F58646L1	LQFP 32-pin (7x7x1.4 mm)
TM52F58644Q	QFN 24-pin (3x3x0.75-0.35 mm)
TM52F58645E1	SSOP 28-pin (150 mil)
TM52F58644E1	SSOP 24-pin (150 mil)

QFN-32 引脚 (4x4x0.75-0.4mm) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.7	0.75	0.8	0.028	0.030	0.031
A1	0	0.02	0.05	0.000	0.001	0.002
b	0.15	0.20	0.25	0.006	0.008	0.010
c	0.18	0.20	0.25	0.007	0.008	0.010
D	3.90	4.00	4.10	0.154	0.157	0.161
D2	2.60	2.65	2.70	0.102	0.104	0.106
e	0.40 BSC			0.016 BSC		
Nd	2.80 BSC			0.110 BSC		
E	3.90	4.00	4.10	0.154	0.157	0.161
E2	2.60	2.65	2.70	0.102	0.104	0.106
Ne	2.80 BSC			0.110 BSC		
K	0.20	-	-	0.008	-	-
L	0.35	0.40	0.45	0.014	0.016	0.018
L1	0.30	0.35	0.40	0.012	0.014	0.016
L2	0.15	0.20	0.25	0.006	0.008	0.010
h	0.30	0.35	0.40	0.012	0.014	0.016
JEDEC	M0-220					

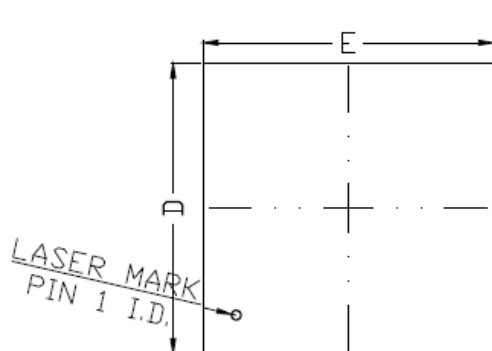
LQFP-32 引脚 (7×7×1.4mm) 包装尺寸



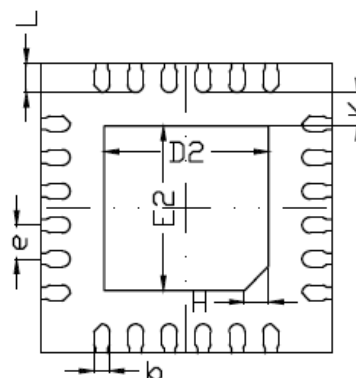
SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	-	-	1.60	-	-	0.063
A1	0.05	0.10	0.15	0.001	0.004	0.006
A2	1.35	1.40	1.45	0.053	0.055	0.057
B	0.30	0.38	0.45	0.012	0.015	0.018
C	0.09	0.09	0.20	0.004	0.006	0.008
D	9.00 BSC			0.354 BSC		
D1	7.00 BSC			0.276 BSC		
E	9.00 BSC			0.354 BSC		
E1	7.00 BSC			0.276 BSC		
e	0.80 BSC			0.031 BSC		
L	0.45	0.60	0.75	0.018	0.027	0.035
θ	0°	3.5°	7°	0°	3.5°	7°
JEDEC	MS-026 (BBA)					

△ * NOTES : DIMENSION "D1" AND "E1" DO NOT INCLUDE MOLD PROTRUSIONS. ALLOWABLE PROTRUSIONS IS 0.25 mm PER SIDE.
 "D1" AND "E1" ARE MAXIMUM PLASTIC BODY SIZE DIMENSIONS INCLUDING MOLD MISMATCH.

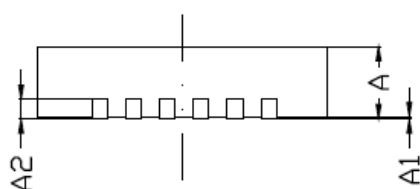
QFN 24 引脚 (3*3*0.75-0.35mm) 包装尺寸



TOP VIEW



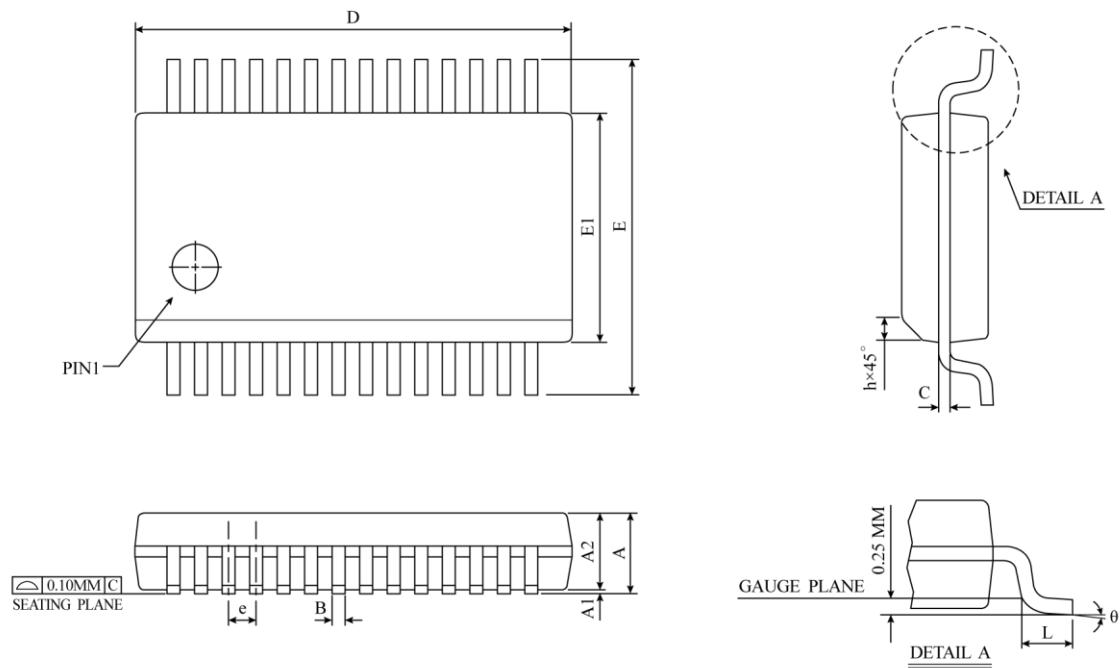
BOTTOM VIEW



SIDE VIEW

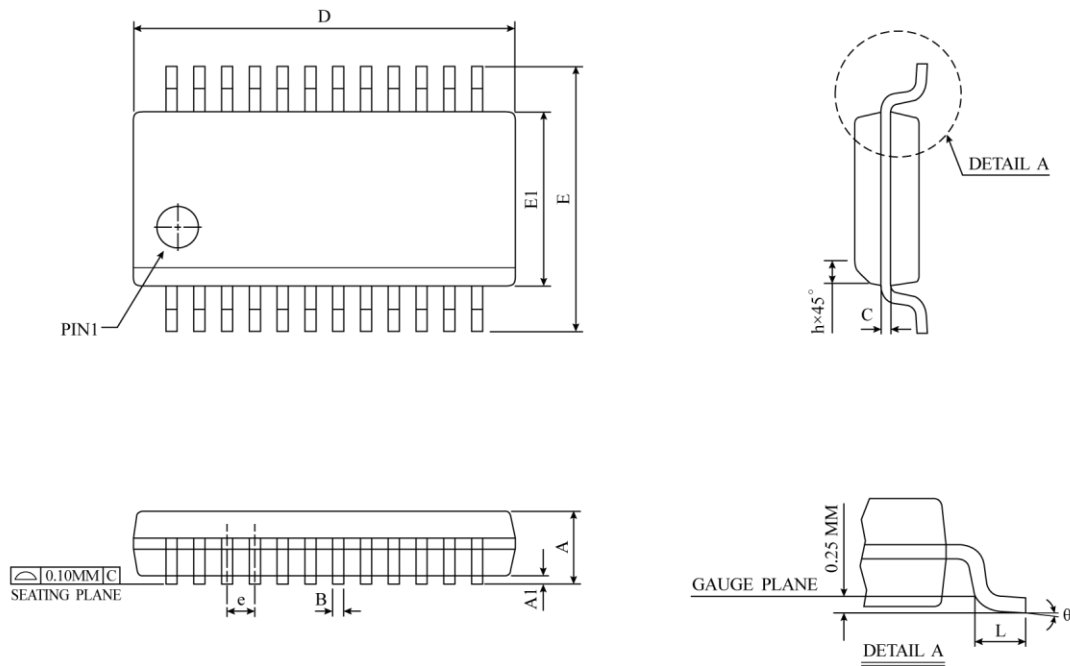
SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	0.70	0.75	0.80
A1	--	0.02	0.05
A2	0.20REF		
b	0.11	0.16	0.21
D	2.90	3.00	3.10
E	2.90	3.00	3.10
D2	1.60	1.70	1.80
E2	1.60	1.70	1.80
e	0.35BSC		
H	0.20	0.25	0.30
K	0.35REF		
L	0.25	0.30	0.35

SSOP-28 引脚 (150mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.50	1.65	1.80	0.06	0.06	0.07
A1	0.102	0.176	0.249	0.004	0.007	0.010
A2	1.40	1.475	1.55	0.06	0.06	0.06
B	0.20	0.25	0.30	0.01	0.01	0.01
C	0.2TYP			0.008TYP		
e	0.635TYP			0.025TYP		
D	9.804	9.881	9.957	0.386	0.389	0.392
E	5.842	6.020	6.198	0.230	0.237	0.244
E1	3.86	3.929	3.998	0.152	0.155	0.157
L	0.406	0.648	0.889	0.016	0.026	0.035
θ	0°	4°	8°	0°	4°	8°
JEDEC	M0-137(AF)					

△*NOTES: DIMENSION "D" DOES NOT INCLUDE MOLD PROTRUSIONS OR GATE BURRS.
MOLD PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED 0.006 INCH PER SIDE.

SSOP-24 引脚 (150mil) 包装尺寸


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.55	1.75	0.053	0.061	0.069
A1	0.10	0.18	0.25	0.004	0.007	0.010
A2	-	-	1.50	-	-	0.059
B	0.20	0.25	0.30	0.008	0.010	0.012
C	0.18	0.22	0.25	0.007	0.009	0.010
D	8.56	8.65	8.74	0.337	0.341	0.344
E	5.79	6.00	6.20	0.228	0.236	0.244
E1	3.81	3.90	3.99	0.150	0.154	0.157
e	0.635 BSC			0.025 BSC		
L	0.41	0.84	1.27	0.016	0.033	0.050
θ	0°	4°	8°	0°	4°	8°
JEDEC	M0-137 (AE)					

△ * NOTES : DIMENSION " D " DOES NOT INCLUDE MOLD PROTRUSIONS
OR GAT BURRS.
MOLD PROTRUSIONS AND GATE BURRS SHALL NOT
EXCEED 0.006 INCH PER SIDE.