



十速

TM32G051 系列

数据手册

Rev 1.01

tenx reserves the right to change or discontinue the manual and online documentation to this product herein to improve reliability, function or design without further notice. tenx does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. tenx products are not designed, intended, or authorized for use in life support appliances, devices, or systems. If Buyer purchases or uses tenx products for any such unintended or unauthorized application, Buyer shall indemnify and hold tenx and its officers, employees, subsidiaries, affiliates and distributors harmless against all claims, cost, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use even if such claim alleges that tenx was negligent regarding the design or manufacture of the part.

修改记录

版本	日期	描述
V0.10	2023/11/01	新颁
V0.11	2023/11/23	增加温度传感器特性。
V0.12	2024/02/27	1.部分内容勘误。 2.修改部分字段命名，与参考手册一致
V0.13	2024/03/09	1.更新 section 7 芯片命名规则。
V0.14	2024/04/21	1.增加 section3.8 系统配置控制器
V0.15	2024/5/18	1.修改 PMU 为 PWR 2.修改 OPA 为 OPAMP 3.去除 section3.26.1”（待机模式和关闭模式除外）” 4.修改 section1/section2.1/section3.18 为“2 个 DAC”
V0.16	2024/6/25	1.更新 section5 电特性数据
V0.17	2024/8/23	1.文档标准化 2.勘误 section5.3.5 外设电流消耗数值。 3.勘误 section5.3.16 ADC 模拟电源电压数值。 4.删除 section5.3.16 ADC 在 VDDA 和 VREF+当 buffer on 时消耗的电流、当 buffer on 时的动态参数。
V1.00	2024/9/11	1.增加 SSOP28 封装说明。
V1.01	2024/10/25	1.删除 TSSOP20L 封装说明 2.修改电特性数值精度

目录

修改记录	2
1 概述	8
2 芯片描述	9
2.1 产品特性	9
表 2-1 TM32G051 系列产品特性对照表	10
2.2 系统与存储器架构	10
图 2-2 系统架构图	11
2.2.1 System Bus	11
2.2.2 DMA Bus	12
2.2.3 Bus Matrix	12
2.2.4 AHB to APB 总线桥	12
3 功能概览	10
3.1 Arm®Cortex®-M0+ core	10
3.1.1 简介	10
3.1.2 主要特性	10
3.2 Boot 模式	10
3.2.1 简介	10
3.2.2 主要特性	10
3.3 嵌入式 SRAM	11
3.3.1 简介	11
3.3.2 主要特性	11
3.4 嵌入式 Flash Memory	11
3.4.1 简介	11
3.4.2 主要特性	11
3.4.3 Flash 存储器组成	11
3.4.4 Flash 安全保护机制	12
3.5 电源管理单元(PWR)	13
3.5.1 简介	13
3.5.2 上电复位和掉电复位	13
3.5.3 欠压复位	14
3.5.4 低电压检测	14
3.5.5 低功耗模式	14
3.6 复位和时钟控制器(RCC)	15
3.6.1 复位	15
3.6.2 POR/PDR 复位	15
3.6.3 系统复位	15
3.6.4 时钟	16
3.7 通用输入/输出接口(GPIO)	17
3.7.1 简介	17
3.7.2 主要特性	18
3.8 系统配置控制器(SYSCFG)	18
3.8.1 简介	18

3.9	外设互联(Interconnect Matrix)	18
3.9.1	简介	18
3.9.2	互联概述	18
3.10	直接存储器访问控制器(DMA)	19
3.10.1	简介	19
3.10.2	主要特性	20
3.11	DMA 请求多路器(DMAMUX)	20
3.11.1	简介	20
3.11.2	主要特性	20
3.12	嵌套向量中断控制器(NVIC)	20
3.12.1	简介	20
3.12.2	主要特性	21
3.13	扩展中断和事件控制器(EXTI)	21
3.13.1	简介	21
3.13.2	主要特性	21
3.14	硬件除法器单元(HDIV)	21
3.14.1	简介	21
3.14.2	主要特性	22
3.15	循环冗余校验(CRC)	22
3.15.1	简介	22
3.15.2	主要特性	22
3.16	CORDIC 硬件加速器(CORDIC)	22
3.16.1	简介	22
3.16.2	主要特性	23
3.17	模数转换器(ADC)	23
3.17.1	简介	23
3.17.2	主要特性	23
3.18	数模转换器(DAC)	24
3.18.1	简介	24
3.18.2	主要特性	24
3.19	比较器和反电动势采样电路(COMP/BEMF)	25
3.19.1	简介	25
3.19.2	主要特性	25
3.20	运算放大器(OPAMP)	26
3.20.1	简介	26
3.20.2	主要特性	26
3.21	高级控制定时器(TIM1)	26
3.21.1	简介	26
3.21.2	主要特性	27
3.22	通用定时器(TIM2/3)	27
3.22.1	简介	27
3.22.2	主要特性	27
3.23	通用控制定时器(TIM14)	28
3.23.1	简介	28

3.23.2	主要特性.....	28
3.24	通用控制定时器(TIM15/16/17).....	28
3.24.1	简介.....	28
3.24.2	主要特性.....	29
3.25	基本定时器(TIM6/7).....	30
3.25.1	简介.....	30
3.25.2	主要特性.....	30
3.26	低功耗定时器(LPTIM).....	30
3.26.1	简介.....	30
3.26.2	主要特性.....	30
3.27	SysTick 定时器(SysTick).....	31
3.27.1	简介.....	31
3.27.2	主要特性.....	31
3.28	红外控制模块(IRTIM).....	31
3.28.1	简介.....	31
3.28.2	主要特性.....	31
3.29	独立看门狗(IWDG).....	32
3.29.1	简介.....	32
3.29.2	主要特性.....	32
3.30	窗口看门狗(WWDG).....	32
3.30.1	简介.....	32
3.30.2	主要特性.....	32
3.31	I2C 接口(I2C).....	33
3.31.1	简介.....	33
3.31.2	主要特性.....	33
3.32	通用异步收发器(USART).....	33
3.32.1	简介.....	33
3.32.2	主要特性.....	34
3.33	低功耗通用异步收发器(LPUART).....	34
3.33.1	简介.....	34
3.33.2	主要特性.....	34
3.34	串行外设接口(SPI).....	35
3.34.1	简介.....	35
3.34.2	主要特性.....	35
3.35	实时时钟计数器(RTC).....	36
3.35.1	简介.....	36
3.35.2	主要特性.....	36
3.36	调试接口(Debug Support).....	37
3.36.1	简介.....	37
3.36.2	参考文档.....	38
4	引脚功能描述及复用功能.....	39
4.1	引脚分配图.....	39
	图 4-1-1 LQFP48 引脚分配图.....	39
	图 4-1-2 LQFP32 引脚分配图.....	40

图 4-1-3 SSOP28 引脚分配图	41
4.2 引脚分配和定义	41
表 4-2-1 引脚分配和功能描述	41
4.3 引脚复用功能	44
表 4-3-1 端口 PA 复用功能映射	44
表 4-3-2 端口 PB 复用功能映射	45
表 4-3-3 端口 PC 复用功能映射	46
表 4-3-4 端口 PD 复用功能映射	46
表 4-3-5 端口 PF 复用功能映射	47
表 4-3-6 引脚功能描述	47
5 电气特性	50
5.1 参数条件	50
5.1.1 最小、最大值	50
5.1.2 典型值	50
5.1.3 典型曲线	50
5.1.4 负载电容	50
5.1.5 引脚输入电压	50
5.1.6 供电方案	51
5.1.7 测量电流消耗	52
5.2 最大绝对额定值	52
5.2.1 电压特性	52
5.2.2 电流特性	52
5.2.3 温度特性	53
5.2.4 其它特性	53
5.3 操作条件	53
5.3.1 常规操作条件	53
5.3.2 操作条件(上电、下电)	54
5.3.3 嵌入式复位和电源控制模块特性	54
5.3.4 嵌入式电压参数	56
5.3.5 供电电流特性	57
5.3.6 低功耗模式唤醒时间	65
5.3.7 外部时钟源特性	66
5.3.8 内部时钟源特性	69
5.3.9 PLL 特性	70
5.3.10 Flash memory 特性	71
5.3.11 ESD/EFT/EMI 特性	72
5.3.12 I/O 电流注入特性	73
5.3.13 I/O port 特性	73
5.3.14 NRST 输入特性	74
5.3.15 OPAMP 特性	75
5.3.16 ADC 特性	76
5.3.17 DAC 特性	78
5.3.18 COMP 特性	80
5.3.19 温度传感器特性	81

5.3.20	TIMx 特性	81
5.3.21	通信接口特性	82
6	封装信息	85
6.1	LQFP48 封装信息	85
6.2	LQFP32 封装信息	86
6.3	SSOP28 封装信息	87
7	芯片命名规则	88

TenSpeed

1 概述

TM32G051 是一款搭载高性能 ARM®Cortex®M0+内核的 32 位微控制器，最高工作频率可达 64MHz。集成了丰富的外设，适用于消费电子、工业和家电领域的广泛应用。

TM32G051 内置嵌入式存储器（8K 字节 SRAM，最高 64K 字节的 Flash），DMA，广泛的系统功能，增强的 I/O 接口，丰富的的外设。芯片集成了多个标准的通讯接口（1 个 USART、1 个 LPUART，1 个 I²C，1 个 SPI），1 个 16 通道 12 位 ADC（1.8MSps），2 个 12 位 DAC，3 个快速比较器，4 个高精度运算放大器，1 个内部电压源，1 个低功耗 RTC，1 个最高频率为 2 倍 CPU 频率的高级 PWM 控制 TIMER，6 个通用 16 位 TIMER（其中 1 个支持 2 倍 CPU 频率），1 个通用 32 位 TIMER，1 个 16 位低功耗 TIMER，2 个看门狗 TIMER，1 个 SysTick TIMER。另外，芯片内含支持乘法、除法、CORDIC 算法的数学运算功能的加速器。

TM32G051 在-40 to 105°C 温度范围下支持 2.2V~5.5V 工作电压。

2 芯片描述

2.1 产品特性

- 内核：Arm® Cortex-M0+ 32 位 CPU，最高频率 64MHz
- 工作温度：-40~105°C
- 存储器：
 - 64 kByte flash 程序区
 - 4 kByte NVR 区
 - 4 kByte 系统存储区
 - 8 kByte SRAM
- CRC 运算单元，支持 16/32bit
- 复位和电源管理：
 - 工作电压：2.2V~5.5V
 - 上电/下电复位（POR/PDR）
 - 可编程欠压复位（BOR）
 - 可编程电压检测（PVD）
 - 低功耗模式：Sleep，Stop0/1
- 时钟管理：
 - 4~24MHz 晶振
 - 32.768 KHz 晶振
 - 内部 16MHz RC 振荡器，PLL 可选
 - 内部 4MHz RC 振荡器
 - 内部 32 KHz RC 振荡器
 - 8~128MHz PLL 时钟
- 最多 45 个 GPIO
 - 都可映射为外部中断向量
 - 支持 5V 电压
- 4 通道 DMA，最多支持 25 个请求复用
- 12-bit，1.8 MSPS ADC
 - 16 个外部通道，7 个内部通道
 - 转换电压范围：0~5.5V
- 2 个 12-bit DAC
- 3 个轨到轨快速比较器
- 4 个可编程增益放大器
- 13 个 TIMER
 - 1 个 16-bit 高级 TIMER(TIM1)
 - 1 个 32-bit (TIM2) 和 5 个 16-bit 通用 TIMER(TIM3/TIM14/TIM15/TIM16/TIM17)
 - 2 个 16-bit 基础 TIMER(TIM6/TIM7)
 - 1 个低功耗 TIMER(LPTIM1)
 - 2 个看门狗(IWDG/WWDG)
 - 1 个 24-bit SysTick TIMER
- 1 路 RTC
- 通讯接口
 - 1 路 USART 标准通讯接口，支持 LIN IrDA SIR、Modbus
 - 1 路 LPUART 标准通讯接口
 - 1 路 SPI 标准通讯接口，支持 4 to 16-bit 帧
 - 1 路 I2C 标准通讯接口
- 硬件 32-bit 除法器
- 硬件 CORDIC 加速器
- 反电动势采样电路
- 开发支持：SWD
- 封装：LQFP48、LQFP32、SSOP28

表 2-1 TM32G051 系列产品特性对照表

型号		TM32G05165E	TM32G05166L	TM32G05169L
CPU		Cortex-M0+		
Max. CPU frequency		64MHz		
Flash (Kbyte)		64	64	64
SRAM (Kbyte)		8	8	8
Timers	Advanced control	1(16-bit)		
	General-purpose	6(1 个 32-bit 和 5 个 16-bit)		
	Basic	2(16-bit)		
	Low-power	1(16-bit)		
	SysTick	1		
	Watchdog	2		
Comm. interfaces	SPI	1		
	I ² C	1		
	USART	1		
	LPUART	1		
RTC		YES		
GPIOs		26	30	45
12-bit ADC channels		14 ext. + 7 int.	16 ext. + 7 int.	16 ext. + 7 int.
12-bit DAC channels		2	2	2
Analog comparators		3	3	3
Operational amplifier		4	4	4
Operating voltage		2.2~5.5V	2.2~5.5V	2.2~5.5V
Operating temperature		-40 to 105 °C	-40 to 105 °C	-40 to 105 °C
Number of pins		28	32	48
Package		SSOP	LQFP	LQFP

2.2 系统与存储器架构

主系统包括：

- 两个主机：
 - Cortex® -M0+ core
 - DMA
- 三个从机：
 - SRAM
 - Flash

- AHB: 带有 AHB-to-APB 的总线桥，连接 AHB 和 APB 所有外设

所有外设通过多层 AHB 总线架构连接，具体如图 2-2:

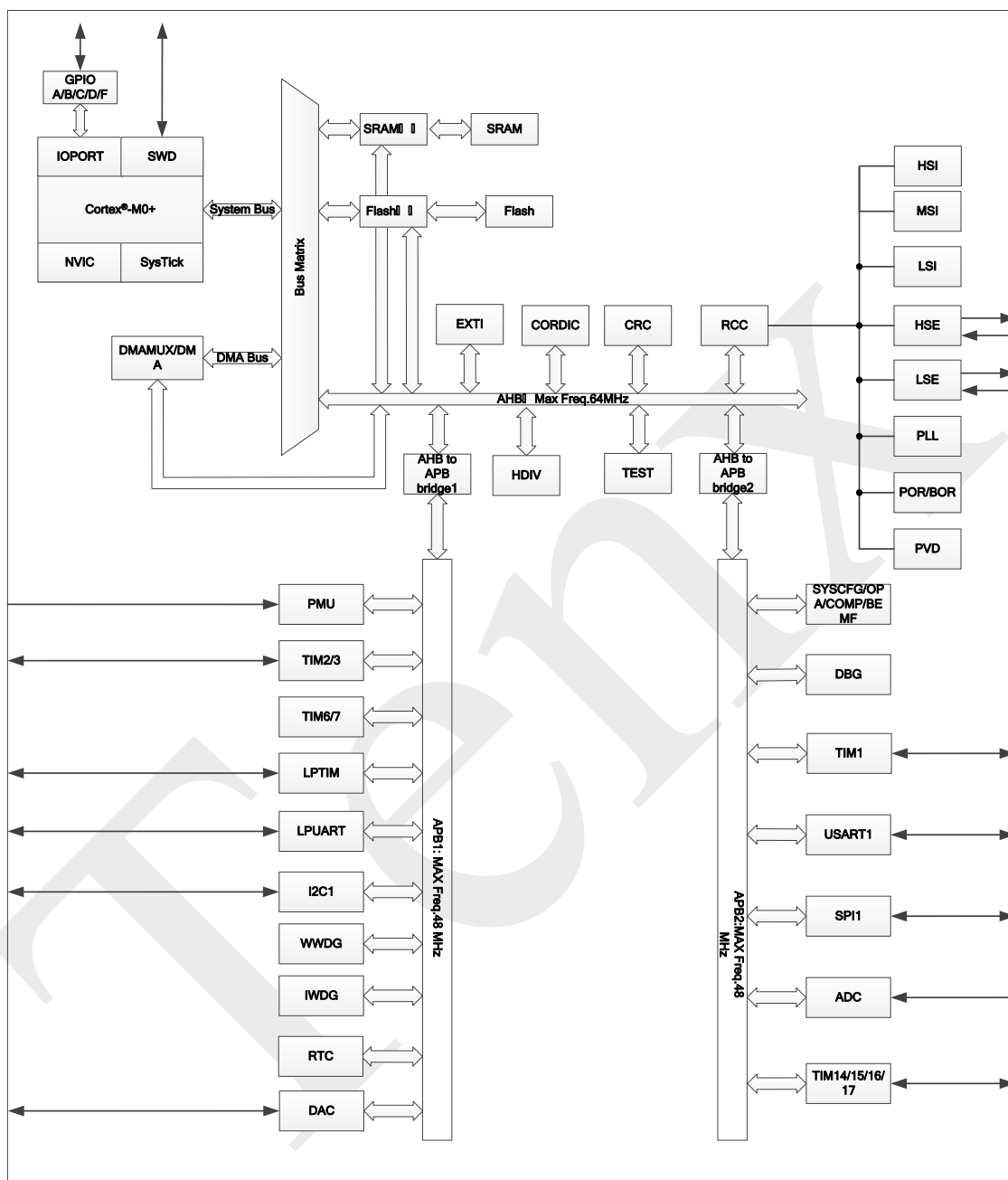


图 2-2 系统架构图

2.2.1 System Bus

该总线用于将 Cortex®-M0+内核连接到 Bus Matrix，内核通过此总线进行取指、数据操作以及访问 AHB/APB 外设。

2.2.2 DMA Bus

该总线用于将 DMA 的 AHB 接口连接到 Bus Matrix, DMA 通过此总线访问 Flash、SRAM 以及 AHB/APB 外设。

2.2.3 Bus Matrix

总线矩阵包含两个主机 (CPU、DMA) 和三个从机 (Flash、SRAM、带有 AHB-to-APB 总线桥的 AHB), 使用 Round Robin 算法管理 Cortex®-M0+内核的 System Bus 和 DMA Bus 的访问仲裁。

2.2.4 AHB to APB 总线桥

AHB to APB 总线桥用于连接 AHB 和 2 条 APB 总线, 可以实现 AHB 和 APB 总线的同步, APB1 和 APB2 的最高工作频率可达 64MHz。

3 功能概览

3.1 Arm®Cortex®-M0+ core

3.1.1 简介

Cortex-M0+是一款入门级 32 位 Arm Cortex 处理器，专为广泛的嵌入式应用程序设计。

3.1.2 主要特性

它为开发人员提供了显著的好处，包括：

- 结构简单，易于学习和编程
- 超低功耗，高效节能运行
- 优秀的代码密度
- 确定性的高性能中断处理
- 向上兼容 Cortex-M 处理器系列

Cortex-M0+处理器构建在高度地面积和功耗优化的 32 位核心上，具有 2 级管道 Von Neumann 架构。该处理器通过小而强大的指令集和广泛优化的设计提供了卓越的能源效率，提供了包括单周期倍增器在内的高端处理硬件。

Cortex-M0+处理器提供了现代 32 位架构所期望的卓越性能，具有比其他 8 位和 16 位微控制器更高的代码密度。

归功于嵌入式 Arm 核心，TM32G051 系列与 Arm 工具和软件兼容。

Cortex-M0+与第 3.12 节描述的嵌套向量中断控制器(NVIC)紧密耦合。

3.2 Boot 模式

3.2.1 简介

TM32G051 系列在启动时，引导引脚和引导选择器选项位使用选择两个引导选项之一：

- 从用户闪存启动
- 从系统内存启动

3.2.2 主要特性

引导引脚与标准 GPIO 共享，可以通过引导选择器选项位启用。引导加载程序位于系统内存中。它管理闪存重编程通过 USART 在引脚 PA13/PA14。

3.3 嵌入式 SRAM

3.3.1 简介

SRAM 总容量 8KB。

3.3.2 主要特性

支持按字节（8 位）、半字（16 位）或全字（32 位）三种读写操作。字节操作的地址必须按字节对齐，半字操作的目标地址必须按半字对齐(地址最低位为 1'b0)，字操作的地址必须按字对齐(地址最低两位为 2'b00)。如果读写操作的目标地址没有按照位宽规定对齐，该操作无效，并且系统会产生 HardFault 错误中断。本控制器支持以最高系统时钟频率进行读写操作，无需插入等待周期。

3.4 嵌入式 Flash Memory

3.4.1 简介

Flash 存储器连接在 AHB 总线上，由 Flash 控制器统一管理，可对存储器执行取指、读取、编程和擦除操作，并具有安全访问机制和读写保护等功能。

3.4.2 主要特性

- 最高达 64KB 的程序和数据存储空间,其中:
 - 页大小: 1K 字节
 - NVR 区大小: 4K~6K 字节(默认 4K 字节)
 - System memory 区大小: 2K~4K 字节(默认 4K 字节)
 - 用户程序区大小: 64K 字节
- 32-bits 位宽读取/写入
- 支持页擦除、批量擦除
- 可配置 3 种读出保护等级 (RDP0/RDP1/RDP2)
- 2 块可配置的代码读出保护区域 (PCROP)
- 2 块可配置的写入保护区域 (WRP)
- 可配置大小的用户安全存储区域

3.4.3 Flash 存储器组成

Flash 存储器的组成如下：

- User flash 区：该存储区用于存放用户的指令和数据，存储空间为 64KB。
- System memory 区：该存储区的存储空间为 2~4KB，通过选项字节 FLASH_OPTR2.BOOTSIZE 进行配

置，用于存放 Bootloader 和部分重要 API。

- NVR：该存储区的存储空间为 4~6KB，其中它包括：
 - Engineer Data 区：该存储区用于存放芯片工厂加工、UID 等信息，在 wafer 测试阶段写入。
 - Option bytes 区：该存储区用于存放选项字节，在 wafer 测试或用户阶段写入。
 - Trim 区：该存储区用于存放器件的各项校准参数，在 wafer 测试阶段写入。
 - 用户 OTP 区：该存储区用于存放用户需配置的重要信息如 SN 号，一般在 FT 测试或用户阶段写入，用户阶段只能编程一次。
 - 用户配置数据区：该存储区用于存放用户需配置的重要数据，由用户写入。
 - 用户备份数据区：该存储区可用做用户数据备份。

Flash 物理区域划分入图 3-4-3 所示：

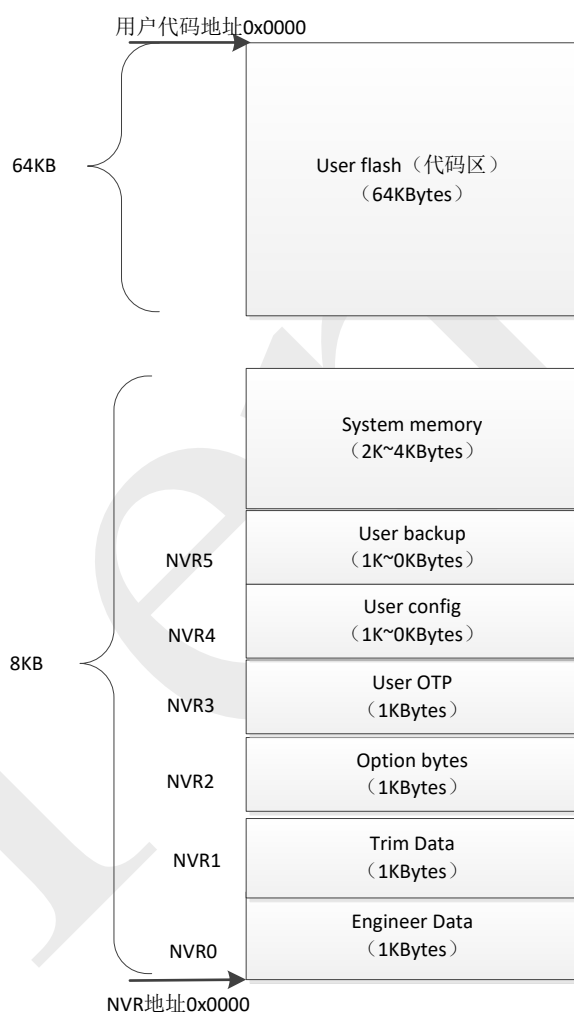


图 3-4-3 Flash 物理区域划分

3.4.4 Flash 安全保护机制

Flash 存储器支持以下安全保护机制：

- Flash 读出保护（RDP）：对存储器的操作权限进行限制。
- Flash 代码读出保护（PCOROP）：禁止对受保护的区域执行读取、编程或擦除操作，仅允许取指操作。

- Flash 写入保护（WRP）：禁止对受保护的区域执行编程或擦除操作，但允许取指和读取操作。
- Flash 用户安全区域：在复位后，用户安全区域处于未保护状态，可执行取指、读取、编程和擦除操作。当安全区域使能后，该区域不可见，禁止对该区域执行任何操作，直到重新复位。

3.5 电源管理单元(PWR)

3.5.1 简介

芯片电源分为三个电源域，每个电源域电压以及包含外设如下：

- VDD 引脚输入电压为 2.2V~5.5V，该电源域包含 HSE、LSE*、调压器（REG/POR）；调压器给 Vcore 域和 Vcore_ana 域供电。
- VDDA 输入电压为 2.2V~5.5V，为模拟外设供电，包括 ADC、DAC、OPAMP、COMP、BEMF、BGR、TS（温度传感器）、BOR 和 PVD。
- Vcore 域由内部调压器供电，电压为 1.5V；包含 Cortex®-M0+、SRAM、数字外设和 MSI、HSI、LSI、PLL。

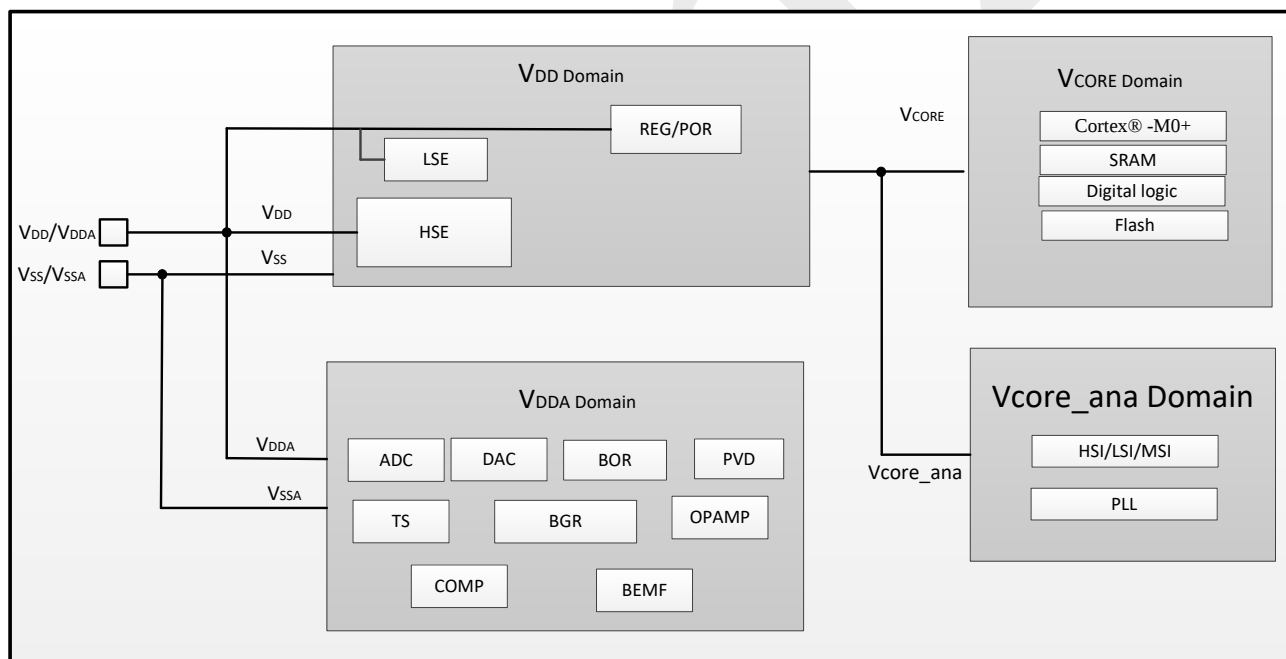


图 3-5-1 电源架构图

注：IWDG 需要使能 LSI 时钟。

3.5.2 上电复位和掉电复位

芯片内置上电复位（POR）和掉电复位模块（PDR），该模块可工作在所有功耗模式。

3.5.3 欠压复位

可通过配置选项字节寄存器(FLASH_OPTR1)配置 BOR 使能和 BOR 的阈值, BOR 阈值有 8 档可选。

3.5.4 低电压检测

PVD 可监测 VDD 和 IO 引脚上的电压,当监测电压与 PVD 阈值比较结果满足设定条件时,会触发 PVD 报警。

3.5.5 低功耗模式

复位后, MCU 处于 Run 模式, 系统时钟源为 HSI SYS (16MHz 的 1 分频)。MCU 提供多种低功耗模式, 以降低系统的功耗。另外, 还可以通过降低系统时钟频率、关闭未使用外设的时钟来降低 Run 模式下的系统功耗。

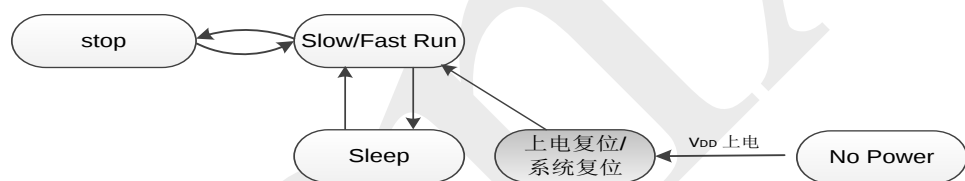


图 3-5-5 低功耗模式转换框图

MCU 提供 2 种低功耗模式：

- **Sleep:** 在 Run 基础上, 仅关闭 CPU 时钟, 所有外设（包括 Cortex®-M0+内核的外设, 例如: NVIC、SysTick 等）均保持运行状态, 当有中断或者事件发生时, 可以唤醒 CPU。
- **Stop:** VCORE 电源域（包括 CPU、数字外设）的时钟关闭, PLL、HSI、MSI、HSE 等处于 PowerDown 状态, LSI 和 LSE 根据需要可保持运行, SRAM 和寄存器的数据保持。

一些具有唤醒能力的外设在此模式下可以通过请求开启 HSI, 使用 HSI 时钟来检测唤醒条件, 当满足唤醒条件时, 唤醒系统。

表 3-5-5 低功耗模式概述

功耗模式	模式描述	进入方式	唤醒源	唤醒后时钟
Sleep	仅关闭 CPU 的时钟。	SLEEPDEEP 清 0 WFI 或 从中断服务函数中返回	所有 NVIC 中断	与进入前的时钟保持一致

		SLEEPDEEP 清 0 WFE	唤醒事件	
Stop0/1	VCORE 电源域（包括 CPU、数字外设）的时钟关闭； HSI、MSI、HSE、PLL 等处 PowerDown 状态； LSI 和 LSE 可正常工作。	SLEEPDEEP 置 1 LP_MODE 为 0 WFI 或 从中断服务函数中返回	与 EXTI 信号线连接的外设生成的中断	HSISYS （HSI 的 1 分频）
		SLEEPDEEP 置 1 LP_MODE 为 0 WFE	与 EXTI 信号线连接的外设生成的唤醒事件	

3.6 复位和时钟控制器(RCC)

3.6.1 复位

芯片复位分别为 POR/PDR 复位、BOR 复位和系统复位。

3.6.2 POR/PDR 复位

POR/PDR 复位范围如下：

- VCORE 域下的所有寄存器（包括 Trim 相关的寄存器）

3.6.3 系统复位

系统复位将复位 VCORE 域的寄存器（不包括 Trim、系统配置选项字节寄存器）。只要发生以下事件之一，就会产生系统复位：

- NRST 引脚低电平（请参见 NRST 引脚低电平复位）
- 窗口看门狗事件（WWDG 复位）
- 独立看门狗事件（IWDG 复位）
- 软件复位（请参见软件复位）
- 选项字节加载复位
- LOCKUP 复位
- BOR 复位

3.6.4 时钟

时钟控制电源提供了一系列频率的时钟源，包括：

- HSI（内部高速）16MHz RC 振荡器时钟
- MSI（内部低速）4MHz RC 振荡器时钟
- HSE（外部高速时钟）4~24MHz
- LSI（内部慢速）32KHz RC 振荡器时钟
- LSE（外部低速时钟）32.768KHz

对于每个时钟源，都可单独使能或禁止，以降低功耗。

复位后，HSISYS 作为系统时钟。

可通过多个预分频器配置 AHB、APB1 和 APB2 的时钟。AHB、APB1 和 APB2 的最大频率为 64MHz，下表为输入/输出时钟关系表：

表 3-6-4 时钟关系表

输出时钟	输入时钟	说明
HSISYS	HSI	HSI 的 1 到 8 分频。 系统复位后，HSI 时钟作为系统时钟源
PLLCLK	HSI、HSE 和 HSE 的 2 分频	PLL 的输出时钟
SYSCLK	LSE、LSI、HSE、MSI、PLLCLK、HSISYS	系统时钟，通过寄存器选择初始时钟源作为 SYSCLK 输入
HCLK	SYSCLK	AHB 时钟，来自 SYSCLK 的 1 到 128 分频
PCLK1	HCLK	APB1 时钟，来自 HCLK 的 1 到 16 分频
PCLK2	HCLK	APB2 时钟，来自 HCLK 的 1 到 16 分频
TIMCLK1/2	PCLK1/2	PCLK1/2 的 1 或倍频

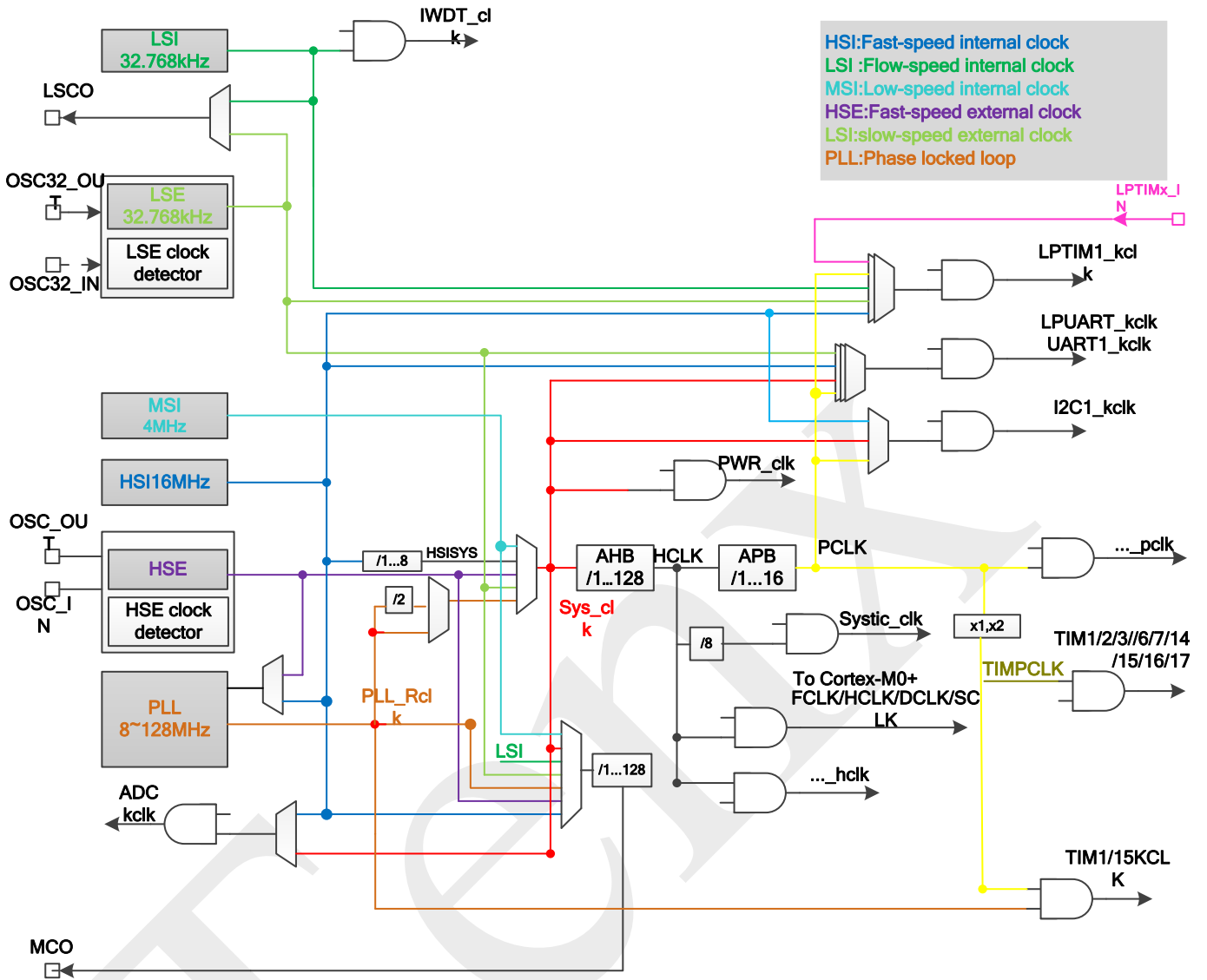


图 3-6-4 时钟树

3.7 通用输入/输出接口(GPIO)

3.7.1 简介

每个通用 I/O 端口包括 3 个 32 位配置寄存器 (GPIOx_MODE、GPIOx_OTYPE、GPIOx_PUPD)，2 个 32 位数据寄存器 (GPIOx_IDR、GPIOx_ODR)，1 个 32 位置位/复位寄存器 (GPIOx_BSR)、1 个 32 位复位寄存器 (GPIOx_BR)；所有 GPIO 都包括 1 个 32 位锁定寄存器 (GPIOx_LOCK) 和 2 个 32 位复用功能选择 寄存器 (GPIOx_AFH、GPIOx_AFL)。

3.7.2 主要特性

- GPIO 模式
 - 输入
 - 输出
 - 复用功能（每个 I/O 最多支持 8 路复用功能）
 - 模拟模式
- 上拉/下拉单独可配
- 推挽/开漏单独可配
- 引脚复用灵活，允许将 I/O 引脚用作 GPIO 或外设功能中的一种
- 置位和复位寄存器(GPIOx_BSRR)，对 GPIOx_ODR 具有按位写权限
- 锁定机制(GPIOx_LCKR)，可锁定 I/O 端口配置

3.8 系统配置控制器(SYSCFG)

3.8.1 简介

系统配置控制器，主要特性及应用功能如下：

- 配置红外 IRTIM 调制信号和输出极性
- TIM1 内部断路输入源使能控制
- 重映射存储器

3.9 外设互联(Interconnect Matrix)

3.9.1 简介

为了减少软件操作的延迟和节省 CPU 资源，从而降低功耗，多个外设的内部直接连接。互联功能可在多种功耗模式下工作，由使用到的外设决定，参见各个外设章节。

3.9.2 互联概述

表 3-9-2 互联外设⁽¹⁾

外设	TIM1	TIM2	TIM3	TIM14	TIM15	TIM16	TIM17	LPTIM	IRTIM	ADC	DMA	DMAMUX	DAC	OPAMP	COMP/BEMF
TIM1	×	√	√	×	×	×	×	×	×	√	×	×	√	×	√
TIM2	√	×	√	×	√	×	×	×	×	√	×	×	√	×	√
TIM3	√	√	×	×	√	×	×	×	×	√	×	×	√	×	√

外设	TIM1	TIM2	TIM3	TIM14	TIM15	TIM16	TIM17	LPTIM	IRTIM	ADC	DMA	DMAMUX	DAC	OPAMP	COMP/BEMF
TIM14	×	√	√	×	×	×	×	×	×	×	×	√	×	×	×
TIM15	√	√	√	×	×	×	×	×	×	√	×	×	√	×	×
TIM16	×	×	×	×	√	×	×	×	√	×	×	×	×	×	×
TIM17	√	×	×	×	√	×	×	×	√	×	×	×	×	×	×
LPTIM	×	×	×	×	×	×	×	×	×	×	×	√	√	×	×
USART1	×	×	×	×	×	×	×	×	√	×	×	×	×	×	×
SPI1	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
ADC	√	×	×	×	×	×	×	×	×	×	×	×	×	×	×
TS	×	×	×	×	×	×	×	×	×	√	×	×	×	×	×
BGR	×	×	×	×	×	×	×	×	×	√	×	×	×	×	×
HSE	×	×	×	√	×	×	√	×	×	×	×	×	×	×	×
LSE	×	×	√	×	×	√	×	×	×	×	×	×	×	×	×
HSI	×	×	×	×	×	×	√	×	×	×	×	×	×	×	×
LSI	×	×	×	×	×	√	×	×	×	×	×	×	×	×	×
MSI	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
PLL	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
SYSCLK	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
EXTI	×	×	×	×	×	×	×	×	×	√	×	√	×	×	×
RTC	×	×	×	√	×	√	×	√	×	×	×	×	×	×	×
OPAMP	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
COMP/B EMF	×	×	×	×	×	×	×	×	×	×	×	×	×	×	×
SYSERR ⁽²⁾	√	×	×	×	√	√	√	×	×	×	×	×	×	×	×

1. ×: 表示无互联; √-表示有互联。
2. SYSERR: Cortex®-M0+ LOCKUP。

3.10 直接存储器访问控制器(DMA)

3.10.1 简介

直接存储器访问控制器（DMA）是总线矩阵的一个主机。DMA 用于存储器和存储器、存储器和外设、外设和外设之间数据传输，传输过程中无需 CPU 参与。

DMA 有 4 个通道，每个通道的请求源可配置，内置仲裁器处理不同优先级的通道请求。

3.10.2 主要特性

- 存储器到存储器、存储器到外设、外设到存储器以及外设到外设的数据传输
- 每个通道可配置为由外设请求信号触发或由软件触发
- 每个通道可配置四个优先级（超高、高、中或低），优先级相同的情况下，通道号较小的优先级高
- 单次传输数据的位宽可配置为字节、半字或字
- 可配置的传输次数：0 到 65535
- 支持循环模式
- 可触发中断的事件：传输完成、传输一半和传输错误

3.11 DMA 请求多路器(DMAMUX)

3.11.1 简介

DMA 请求多路器（DMAMUX）用于管理外设的 DMA 请求信号并传递给 DMA 控制器。DMAMUX 包括请求复用器和请求生成器两个子模块。

请求复用器包含 4 个通道，每个通道通过可配置的映射关系连接外设和 DMA。每个 DMA 通道可从多个外设的 DMA 请求中选择其中一个。

请求生成器包含 2 个通道，每个通道通过触发信号生成 DMA 请求。

3.11.2 主要特性

- 4 通道的可编程 DMA 请求复用器
- 2 通道 DMA 请求生成器
- 每个 DMA 请求生成器的通道均具有：
 - 8 个触发信号源
 - 请求生成计数器
 - 触发事件的溢出标志
- 每个 DMA 请求复用器的通道均具有：
 - 多个 DMA 请求源
 - 一个 DMA 请求输出
 - 事件输出（仅限于通道 0 和 1）
 - DMAMUX 事件生成计数器（仅限于通道 0 和 1）

3.12 嵌套向量中断控制器(NVIC)

3.12.1 简介

嵌套向量中断控制器(NVIC)实现高效的异常处理及中断处理。所有的中断均由 NVIC 管理。

3.12.2 主要特性

- 支持 32 个可屏蔽中断，以及 Cortex®-M0+ 的 16 个中断
 - 低延时的异常及中断处理
 - 提供系统控制寄存器
 - 4 个可编程优先级，“0”代表最高优先级
 - 中断向量表中的编号代表硬件优先级，当两个软件优先级相同的中断同时发生时，编号小的中断优先
- NVIC 和处理器内核紧密配合，实现了低延迟的中断处理，以及对晚到高优先级中断的高效处理。当异常发生时，NVIC 会自动将处理状态压栈保存，中断子程序执行完毕会自动将状态出栈。详细信息请参见 *Cortex-M0+ Technical Reference Manual*。

3.13 扩展中断和事件控制器(EXTI)

3.13.1 简介

扩展中断和事件控制器 EXTI 用于管理 CPU 唤醒和系统的唤醒。EXTI 的输入有可配置通道和直接通道两种。输出信号有三种，EXTI 可以输出唤醒事件到 PWR，可以产生中断信号输入到 NVIC 模块，还可以集中管理事件源，产生事件输出，经过 EVG 输出到 CPU 事件处理模块。

EXTI 管理 26 个事件通道，包括 20 个可配置通道，和 6 个直接通道。

EXTI 内部集成了 I/O 端口多路选择器，可将任意 I/O 配置为唤醒源。

3.13.2 主要特性

- 由输入的任意事件唤醒系统。
- 可配置通道，来自不含中断功能的外设及 GPIO，功能如下：
 - 触发沿可选。
 - 分别为上升沿和下降沿触发的中断提供独立的挂起状态位。
 - 为事件和中断分别提供独立的屏蔽功能，灵活管理 CPU 的唤醒、中断处理以及事件响应。
- 直接通道，来自含中断功能的外设，功能如下：
 - 上升沿触发。
 - 由于外设中已包含中断标志位，EXTI 不再重复提供挂起状态位。
 - 为事件和中断分别提供独立的屏蔽功能，灵活管理 CPU 的唤醒、中断处理以及事件响应。
- 集成 I/O 端口多路选择器，可将任意 I/O 配置为唤醒源。

3.14 硬件除法器单元(HDIV)

3.14.1 简介

HDIV(Hardware Divider)是一个能自动执行 32 位有符号/无符号整数的硬件除法器。

3.14.2 主要特性

- 有符号/无符号整数除法计算可配置
- 32 位被除数和除数
- 输出 32 位商和 32 位余数
- 除数为零警告标志位，除法运算结束标志位
- 8 个时钟周期完成一次除法运算
- 写除数寄存器触发除法运算开始
- 读商寄存器/余数寄存器时自动等待计算结束

3.15 循环冗余校验(CRC)

3.15.1 简介

CRC 根据初始值和多项式计算输入数据(8 位、16 位、32 位)的 CRC 值。CRC 运算通常用于验证数据在传输及存储时的完整性。

3.15.2 主要特性

- 支持 CRC-16 和 CRC-32 多项式,其中
 - CRC-16 多项式: $0x1021$
 $X^{16}+X^{12}+X^5+1$
 - CRC-32 多项式: $0x4C11DB7$
 $X^{32}+X^{26}+X^{23}+X^{22}+X^{16}+X^{12}+X^{11}+X^{10}+X^8+X^7+X^5+X^4+X^2+X+1$
- 支持计算模式和校验模式
- 寄存器访问支持 3 种位宽: 8 位、16 位和 32 位
- 1 个 AHB 时钟周期完成 CRC 计算
- 支持输入数据将进行字节反转、输出结果进行按位反转和取反控制

3.16 CORDIC 硬件加速器(CORDIC)

3.16.1 简介

CORDIC 协处理器为电机控制、计量、信号处理和许多其他应用中常用的数学函数(主要是三角函数)提供硬件加速。与软件实现相比,它加快了这些功能的计算速度,从而可以使用较低的工作频率,或释放处理器周期以执行其他任务。

3.16.2 主要特性

- 24 位 CORDIC 旋转引擎
- 支持可自由设置迭代次数
- 支持圆坐标系
- 旋转和矢量模式
- 函数：正弦、余弦、atan2、模数
- 低延迟 AHB 从接口
- 结果可以在准备好后立即读取，无需轮询或中断。
- DMA 读取和写入通道
- 通过 DMA 读取/写入多个寄存器
- 支持 Q15、Q31 格式

3.17 模数转换器(ADC)

3.17.1 简介

MCU 内置 12 位逐次趋近型 (SAR) 模数转换器 (ADC)，可以对 16 路外部通道和 7 路芯片内部通道的电压信号进行模数转换，并可以配置为单次、连续或间断转换模式。ADC 转换结果存储在一个 16 位数据寄存器，可以配置为左对齐或右对齐数据存储模式。

ADC 具有模拟看门狗功能，用于监控 ADC 通道输入电压是否超出用户设定阈值的上限或下限。

3.17.2 主要特性

- 高性能
 - 可编程采样时间；
 - 支持 1.8Msps ADC 转换速率；
 - 自校准；
 - 可配置数据对齐方式：左对齐、右对齐；
 - 数据可以通过 DMA 进行管理，以进行常规通道转换
 - 最多四个注入通道(可完全配置分配给常规或注入通道的模拟输入)，注入通道带专用数据寄存器
- 低功耗
 - ADC 可以选择同步时钟 PCLK、异步时钟两种时钟源。通过选择异步时钟源，可以降低 PCLK 频率从而使 MCU 以低功耗模式运行，同时仍可保持最优的 ADC 性能。例如，无论 PCLK 的频率如何，都可以保持 1 μ s 的转换时间；
 - 等待模式：ADC 转换完成后停止运行，直到 ADC 数据被读取。此模式可以防止 ADC 在低频应用中转换数据溢出；
- 模拟输入通道
 - 16 路外部输入通道（通过模拟 PIN 输入）；
 - 7 路芯片内部通道；

- 1 路用于采集内部温度传感器(VTS)电压;
- 1 路用于采集参考电压(VBGR)或其他电源电压;
- 1 路用于监控 1/4 外部 VCC 电源输入;
- 4 路用于采集 OPAMP1~4 输出。
- 启动转换方式
 - 软件触发进行常规和注入转换;
 - 硬件触发: 触发极性(上升沿、下降沿、双沿)可配置(触发源为内部定时器事件或 GPIO 输入事件), 同样用于常规和注入转换。
- 转换模式
 - 单通道转换, 或者扫描一系列通道;
 - 单次模式, 每次触发时转换一次选定的输入通道;
 - 连续模式, 连续转换选定的输入通道;
 - 间断模式。
- 中断触发事件
 - ADC 就绪事件;
 - 转换结束事件;
 - 序列转换结束事件;
 - 模拟看门狗事件;
 - 溢出事件。
- 模拟看门狗
- ADC 电源电压: 2.4V~5.5V
- ADC 输入范围: $VSSA \leq V_{IN} \leq VDDA$

3.18 数模转换器(DAC)

3.18.1 简介

DAC 模块是 2 个 12 位电压输出数模转换器。DAC 可配置为 8 位或 12 位模式, 并可与 DMA 控制器一起使用。可用于提高分辨率在 12 位模式下, 数据可以左对齐或右对齐。DAC 具有两个输出通道, 每个通道都有自己的转换器。在双 DAC 通道模式下, 当两个通道组合在一起以进行同步更新操作时, 转换可以独立完成, 也可以同时完成。输入参考引脚 VREF+ (与其他模拟外设共享)。也可以在同一输入上设置内部参考。

当 DAC 输出与输出焊盘断开连接并连接到片上外设时, DACx_OUTy 引脚可用作通用输入/输出(GPIO)。可以选择启用 DAC 输出缓冲器以允许高驱动输出电流。可以在每个 DAC 输出通道上应用单独的校准。

3.18.2 主要特性

- 2 个 DAC 接口, 每个 DAC 有独立的输出通道
- 12 位模式下的左或右数据对齐
- 同步更新能力

- 噪声波和三角波生成
- 独立或同时转换的双 DAC 通道
- 每个通道的 DMA 功能，包括 DMA 下溢错误检测
- 外部触发器使能转换
- DAC 输出通道缓冲/非缓冲模式
- 缓冲偏移校准
- DAC 输出都可以与 DACx_OUTy 输出引脚断开连接
- DAC 输出连接到片上外围设备

3.19 比较器和反电动势采样电路(COMP/BEMF)

3.19.1 简介

该器件嵌入了 3 个超快速模拟比较器和一个反电动势采样电路。比较器可用于多种功能，包括：

- 从由模拟信号触发的低功耗模式唤醒
- 模拟信号调节
- 与定时器的 PWM 输出结合使用时的逐周期电流控制环路

3.19.2 主要特性

以下为 COMP 的主要特性。

- 比较器可以配置正相输入和负相输入信号，灵活选择输入电压：
 - 多路复用 I/O；
 - DAC 输出；
 - OPAMP 输出；
 - 内部参考电压 VBGR；
- 比较器输出可以片内连接到 I/O 或 TIMER 输入，可以触发以下事件：
 - 捕捉事件；
 - 为实现快速 PWM 关断的刹车事件。
- 比较器输出可以进行数字滤波，且滤波时间可配置
- 消隐比较器输出
- 比较器都可以产生中断，并可以从睡眠和停止模式唤醒芯片(通过 EXTI 控制器)

以下为 BEMF 的主要特性：通过 INP1SEL、INP2SEL、INP3SEL 分别选择需要连接三个 BEMF 信号，BEMF_MID 信号是其中两个 BEMF 信号的平均值，通过将 BEMF 信号与 BEMF_MID 信号进行比较，可以快速得到 BEMF 信号的状态。

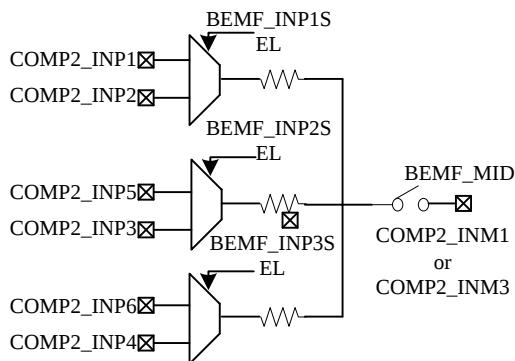


图 3-19-2 BEMF 结构框图

3.20 运算放大器(OPAMP)

3.20.1 简介

器件嵌入了 4 个运算放大器，每个运算放大器具有两个输入和一个输出。三个 I/O 可以连接到外部引脚，从而实现任何类型的外部互连。运算放大器可在内部配置为跟随器、非反相增益或反相增益的放大器。

正输入可以连接到内部 DAC，输出可以连接到内部 ADC。

3.20.2 主要特性

- 轨到轨输入和输出电压范围。
- 低输入对管漏电流。
- 低输入失调电压。
- 高频增益带宽。
- 高速模式以获得更好的转换率。

3.21 高级控制定时器(TIM1)

3.21.1 简介

高级控制定时器 TIM1 包含一个 16 位自动重载计数器，该计数器由可编程预分频器驱动。

此类定时器可用于多种用途，包括测量输入信号的脉冲宽度（输入捕获），或者生成输出波形（输出比较、PWM 和带死区插入的互补 PWM）。

使用定时器预分频器和 RCC 时钟控制器预分频器，可将脉冲宽度和波形周期从几微秒调制到几毫秒。

高级控制定时器 TIM1 和通用定时器 TIM2/3/14/15/16/17 彼此完全独立，不共享任何资源。他们能够一起同步。

3.21.2 主要特性

- 16 位递增、递减、递增/递减自动重载计数器；
- 16 位可编程预分频器，用于对计数器时钟频率进行分频（可在运行时修改），分频系数介于 1 到 65536 之间；
- 多达 6 个独立通道，可用于：
 - 输入捕获（但通道 5 和通道 6 除外）；
 - 输出比较；
 - PWM 生成（边沿和中心对齐模式）；
 - 单脉冲模式输出；
- 带可编程死区的互补输出；
- 使用外部信号控制定时器且可实现多个定时器互连的同步电路；
- 重复计数器，用于仅在给定数目的计数器周期后更新定时器寄存器；
- 2 个断路输入，用于将定时器的输出信号置于用户可选的安全配置中；
- 发生如下事件时生成中断/DMA 请求：
 - 更新：计数器上溢/下溢、计数器初始化（通过软件或内部/外部触发）
 - 触发事件（计数器启动、停止、初始化或通过内部/外部触发计数）
 - 输入捕获
 - 输出比较
- 支持增量（正交）编码器和霍尔传感器电路；
- 触发输入用作外部时钟或逐周期电流管理；

3.22 通用定时器(TIM2/3)

3.22.1 简介

通用定时器包含一个 16 位或 32 位自动重载计数器，该计数器由可编程预分频器驱动。

它们可用于多种用途，包括测量输入信号的脉冲宽度（输入捕获）或生成输出波形（输出比较和 PWM）。使用定时器预分频器和 RCC 时钟控制器预分频器，可将脉冲宽度和波形周期从几微秒调制到几毫秒。这些定时器彼此完全独立，不共享任何资源。

3.22.2 主要特性

- 16 位或 32 位递增、递减、递增/递减自动重载计数器；
- 16 位可编程预分频器，用于对计数器时钟频率进行分频（可在运行时修改），分频系数介于 1 到 65536 之间；
- 4 个独立通道（文中进行通道功能描述时会使用 x 表示 2 个通道中的任何一个）可用于：
 - 输入捕获；
 - 输出比较；
 - PWM 生成（边沿和中心对齐模式）；

- 单脉冲模式输出；
- 触发输入用作外部时钟或逐周期电流管理；
- 使用外部信号控制定时器且可实现多个定时器互连的同步电路；
- 发生如下事件时生成中断/DMA 请求：
 - 更新：计数器上溢/下溢、计数器初始化（通过软件或内部/外部触发）；
 - 触发事件（计数器启动、停止、初始化或通过内部/外部触发计数）；
 - 输入捕获；
 - 输出比较；
- TIM2 计数位宽 32 位，TIM3 计数位宽 16 位。

3.23 通用控制定时器(TIM14)

3.23.1 简介

TIM14 定时器包含一个由可编程预分频器驱动的 16 位自动重载计数器。

它们可用于多种用途，包括测量输入信号的脉冲长度（输入捕获）或生成输出波形（输出比较、PWM）。使用定时器预分频器和 RCC 时钟控制器预分频器可以将脉冲长度和波形周期从几微秒调制到几毫秒。TIM14 定时器完全独立，不共享任何资源。

3.23.2 主要特性

- 16 位自动重载递增计数器
- 16 位可编程预分频器，用于将计数器时钟频率除以 1 到 65535 之间的任何因子（也“动态”）
- 独立通道用于：
 - 输入捕获
 - 输出比较
 - PWM 生成（边沿对齐模式）
 - 单脉冲模式输出
- 在以下事件时产生中断/DMA：
 - 更新：计数器溢出、计数器初始化（通过软件）
 - 输入捕获
 - 输出比较

3.24 通用控制定时器(TIM15/16/17)

3.24.1 简介

TIM15/TIM16/TIM17 定时器包含一个由可编程预分频器驱动的 16 位自动重载计数器。

它们可用于多种用途，包括测量输入信号的脉冲长度（输入捕获）或生成输出波形（输出比较、PWM、带死区时间插入的互补 PWM）。

使用定时器预分频器和 RCC 时钟控制器预分频器可以将脉冲长度和波形周期从几微秒调制到几毫秒。

TIM15/TIM16/TIM17 定时器完全独立,不共享任何资源。TIM15 可以按照定时器同步(仅限 TIM15)中的描述进行同步。

3.24.2 主要特性

TIM15 定时器包括以下特性:

- 16 位自动重载递增计数器
- 16 位可编程预分频器,用于将计数器时钟频率除以 1 到 65535 之间的任何因子(也“即时”)
- 最多 2 个独立通道用于:
 - 输入捕获
 - 输出比较
 - PWM 生成(边沿模式)
 - 单脉冲模式输出
- 具有可编程死区时间的互补输出(仅适用于通道 1)
- 同步电路,用于通过外部信号控制定时器并将多个定时器互连在一起
- 重复计数器仅在给定的计数器周期数后更新定时器寄存器
- 断开输入以将定时器的输出信号置于复位状态或已知状态
- 在以下事件时产生中断/DMA:
 - 更新:计数器溢出,计数器初始化(通过软件或内部/外部触发)
 - 触发事件(计数器启动、停止、初始化或通过内部/外部触发计数)
 - 输入捕获
 - 输出比较
 - 中断输入(中断请求)

TIM16/TIM17 定时器包括以下特性:

- 16 位自动重载递增计数器
- 16 位可编程预分频器,用于将计数器时钟频率除以 1 到 65535 之间的任何因子(也“动态”)
- 一个通道用于:
 - 输入捕获
 - 输出比较
 - PWM 生成(边沿对齐模式)
 - 单脉冲模式输出
- 具有可编程死区时间的互补输出
- 重复计数器仅在计数器的给定周期数后更新定时器寄存器
- 中断输入以将定时器的输出信号置于复位状态或已知状态
- 在以下事件时产生中断/DMA:
 - 更新:计数器溢出
 - 输入捕获
 - 输出比较
 - 中断输入

3.25 基本定时器(TIM6/7)

3.25.1 简介

基本定时器 TIM6 和 TIM7 包含一个 16 位自动重载计数器，该计数器由可编程预分频器驱动。

此类定时器不仅可用作通用定时器以生成时基，还可以专门用于驱动数模转换器（DAC）。实际上，此类定时器内部连接到 DAC 并能够通过其触发输出驱动 DAC。

这些定时器彼此完全独立，不共享任何资源。

3.25.2 主要特性

- 16 位自动装载计数器
- 16 位可编程预分频器（可实时修改），计数时钟频率的分频系数为 1~65535 之间的任意数值
- 同步电路触发 DAC
- 产生中断、DMA 产生更新事件：计数溢出

3.26 低功耗定时器(LPTIM)

3.26.1 简介

LPTIM 是一个 16 位定时器，此模块的开发是为了从降低功耗的发展中受益。由于 LPTIM 的时钟源具有多样性，因此 LPTIM 能够在所有电源模式下保持运行状态。即便是没有内部时钟源，LPTIM 也能运行，鉴于这一特点，可将其用作“脉冲计数器”，这种脉冲计数器在某些应用中十分有用。此外，LPTIM 还能将系统从低功耗模式唤醒，因此非常适合实现“超时功能”，在这种功能模式下系统功耗极低。

LPTIM 引入了一个灵活的时钟方案，该方案能够提供所需的功能和性能，同时还能最大程度地降低功耗。

3.26.2 主要特性

- 16 位向上自动装载计数器
- 3 位计数器预分频器，可采用 8 种分频系数（1、2、4、8、16、32、64 和 128）
- 可选时钟：
 - 内部时钟源：LSE、LSI、HSI 或 APB1 时钟
 - LPTIM 输入的外部时钟源（在没有 LP 振荡器运行的情况下工作，由脉冲计数器应用场景下使用）
- 16 位 ARR 自动重载寄存器
- 16 位比较寄存器
- 连续/单触发模式
- 可选软件/硬件输入触发
- 3 位数字滤波时钟分频器，可采用 8 种分频系数（1、2、4、8、16、32、64 和 128）
- 可编程数字干扰滤波器

- 可配置输出：脉冲和 PWM
- 可配置 I/O 极性
- 正交/非交编码器模式

3.27 SysTick 定时器(SysTick)

3.27.1 简介

ARM®Cortex®-M0+内核提供了一个硬件定时器 SysTick。

在 OS 中多任务调度时需要周期性执行上下文切换，可以借助 SysTick 实现此功能。每当定时器中断产生时，处理器都会在异常处理中断中进行 OS 任务调度及维护工作。

3.27.2 主要特性

- 24 位硬件减计数定时器
- 提供异常处理中断
- 为 RTOS 提供可编程系统定时器
- 无系统时可作为定时器，计时器或周期性中断源

3.28 红外控制模块(IRTIM)

3.28.1 简介

红外控制模块（IRTIM）能够产生红外控制信号，可以配合红外 LED 发射器一同使用，以实现红外远程控制功能。

3.28.2 主要特性

IRTIM 在芯片内部与 USART1、TIM16、TIM17 相连，详见下图。

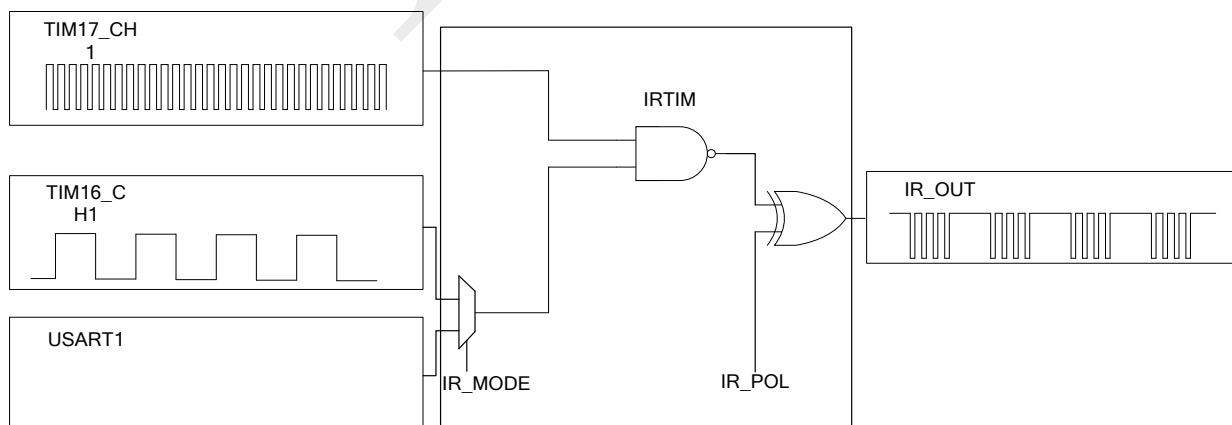


图 3-28-2 IRTIM 内部硬件连接

通过配置不同的载波和调制信号，可以产生符合任意红外脉冲调制标准的红外控制信号。

3.29 独立看门狗(IWDG)

3.29.1 简介

MCU 内置独立看门狗，可检测并解决芯片发生的异常，并在计数器达到给定的超时值时触发系统复位。

独立看门狗（IWDG）由其内部低速时钟（LSI）驱动，因此在系统时钟发生故障时仍然保持工作状态。

3.29.2 主要特性

- 递减计数器
- 工作时钟为 32KHz LSI 提供，可在 Stop 模式下工作
- 复位条件（如果看门狗已使能）
 - 当递减计数器值小于 0x000 时复位
 - 在窗口之外重载递减计数器时复位
- 可通过选项字节设置，来控制上电时是否使能独立看门狗

3.30 窗口看门狗(WWDG)

3.30.1 简介

窗口看门狗（WWDG）通常被用来检测并解决芯片发生的异常，并在计数器达到给定的超时值时触发系统复位。

WWDG 时钟由 APB1 时钟经预分频后提供，通过可配置的时间窗口来检测异常操作。

3.30.2 主要特性

- 递减计数器
- 复位条件（如果看门狗已使能）
 - 当递减计数器值小于 0x40 时复位
 - 在窗口之外重载递减计数器时复位
- 提前唤醒中断（EWI）：当计数器递减到 0x40 时触发

3.31 I2C 接口(I2C)

3.31.1 简介

I2C 接口实现 MCU 和外部 I2C 设备的同步通信，支持标准模式（Standard-mode（Sm））、快速模式（Fast-mode（Fm））和超快速模式（Fast-mode Plus（Fm+））。

实现多主模式功能，可以控制时钟同步和总线仲裁。

3.31.2 主要特性

- 兼容 I2C 总线规范 Rev.3:
 - 主模式和从模式
 - 多主模式
 - 标准模式（最高 100KHz）
 - 快速模式（最高 400KHz）
 - 超快速模式（最高 1MHz）
 - 7 位和 10 位寻址模式
 - 多个 7 位从地址（2 个从设备地址寄存器，1 个具有可配置的匹配位数）
 - 所有 7 位地址应答
 - 广播地址
 - 可配置的数据建立和保持时间
 - 从模式可配置时钟延长
 - 方便易用的事件管理
 - 软件复位
- 带 DMA 功能的 1 字节缓冲
- 可配置的数字噪声滤波器
- 支持独立时钟源，可使 I2C 通信速度不受 PCLK 时钟频率更改的影响
- 地址匹配时从停止模式唤醒

3.32 通用异步收发器(USART)

3.32.1 简介

通用同步/异步收发器 USART 支持全双工或半双工，同步或异步的通信方式，符合通用工业标准 NRZ 异步串行编码格式，内部集成小数级波特率发生器，波特率范围可配置。

USART 还支持单线半双工通信，IrDA 的 SIR 编码标准通信，多机通信和硬件流控(CTS/RTS)，LIN(本地互连网络)。

USART 支持使用 DMA 通信。

3.32.2 主要特性

- 持全双工半双工，同步或异步的通信方式
- 符合 NRZ 标准格式
- 支持 16 倍或 8 倍过采样
- 内置波特率发生器
- 可配置双时钟域，可工作在独立于 PCLK 的专用时钟源
- 发送器/接收器配有独立的使能位
- TX/RX 引脚可交换
- 发送/接收的信号极性可独立控制
- 内置两个深度为 8 的接收 FIFO 和发送 FIFO
- 自动波特率检测功能
- 支持数据长度：7、8 或 9 位
- 可编程数据传输顺序，支持 MSB 或 LSB 优先
- 可编程停止位位数：0.5 位，1 位，1.5 位或 2 位
- 奇偶校验可配置为：奇校验、偶校验、无校验
- 支持通过 DMA 进行连续通信
- 支持主/从模式同步通信
- 支持单线半双工通信
- 支持硬件流控（CTS/RTS）以及 RS485 收发控制
- 支持多机通信，支持通过空闲检测或地址匹配检测从静默模式唤醒
- 支持 LIN(本地互连网络)

3.33 低功耗通用异步收发器(LPUART)

3.33.1 简介

低功耗通用异步收发器 LPUART(Low-power Universal Asynchronous Receiver Transmitter)提供了灵活方便的串行数据交换接口。支持全双工或半双工，同步或异步的传输方式。LPUART 提供了可编程的波特率发生器，能对系统时钟进行分频产生 LPUART 发送和接收所需的特定频率。

LPUART 是低功耗设计的 USART，提供相应的硬件支持。在实现双向 USART 通信的同时保证低功耗。仅用 32.768KHz LSE 低速时钟源就能实现高达 9600 波特率的 USART 通信。在比 LSE 速率更高的时钟源下可支持更高波特率的通信。

即使当微控制器处于低功耗模式，在能耗极低的状态下 LPUART 也可以接收到通信数据。

LPUART 支持单线半双工通信，还支持多机通信。支持 DMA 功能，可实现高速率的数据通信。

3.33.2 主要特性

- 全双工异步通信
- NRZ 标准格式（标记/空格）

- 可编程波特率
- 32.768KHz 时钟源下支持波特率范围 300 波特/s 到 9600 波特/s，使用高频时钟源可实现更高的波特率
- 双时钟域，带有独立于 PCLK 的专用内核时钟支持外设
- 数据字长度可编程（7 位、8 位或 9 位）
- 数据顺序可编程，支持 MSB 或 LSB 优先
- 停止位可配置（支持 1 个或 2 个停止位）
- 单线半双工通信
- 使用 DMA 实现连续通信
- 为发送/接收配有独立的使能位
- 可单独控制收/发的信号极性
- Tx/Rx 引脚配置可交换
- 通信控制/错误检测标志
- 提供传输检测标志
 - 接收缓冲区已满
 - 发送缓冲区已空
 - BUSY 标志和发送结束标志
- 奇偶校验控制：
 - 发送奇偶校验位
 - 对接收数据进行奇偶校验
- 四个错误检测标志：
 - 上溢错误
 - 噪声检测
 - 帧错误
 - 奇偶校验错误
- 带有中断标志位的中断源
- 支持硬件流控(CTS/RTS)以及 RS485 收发控制。
- 多机通信时，支持从静默模式唤醒（通过空闲线检测或地址标记检测）。

3.34 串行外设接口(SPI)

3.34.1 简介

SPI 接口可用于使用 SPI 协议与外部器件进行通信。器件复位后默认选择 SPI Motorola 模式。

串行外设接口 (SPI) 协议支持与外部器件进行半双工、全双工和单工同步串行通信。该接口可配置为主模式，并为外部从设备提供通信时钟(SCK)。接口还能以多主配置方式工作。

3.34.2 主要特性

- 可配置为主机模式或从机模式
- 主或从操作

- 3 线全双工同步传输
- 双线半双工同步传输（带双向数据线）
- 双线单工同步传输（带单向数据线）
- 4 to 16-bit 数据大小选择
- 支持多主模式
- 8 个主模式波特率预分频器，最大为 $f_{PCLK}/2$ 。
- 从模式频率最大为 $f_{PCLK}/4$ 。
- 主模式和从模式下均可以由软件或硬件进行 NSS 管理：主/从操作模式的动态 改变
- 可编程的时钟极性和相位
- 可编程的数据顺序，MSB 在前或 LSB 在前
- 可触发中断的专用发送和接收标志
- SPI 总线忙状态标志
- 支持 SPI Motorola 模式
- 支持可靠通信的硬件 CRC：
 - 在发送模式下可将 CRC 值作为最后一个字节发送
 - 对收到的最后一个字节自动进行 CRC 错误校验
- 可触发中断的主模式故障和过载标志
- CRC 错误标志
- 支持 DMA 功能的 32 位接收和发送缓冲器
- 支持增强型 TI 和 NSSP 脉冲模式

3.35 实时时钟计数器(RTC)

3.35.1 简介

RTC 实时时钟，具有日历计时功能，并能在任意低功耗模式下进行自动唤醒。

同时 RTC 也是独立的二进制码十进制数（Binary-Coded Decimal，BCD）定时器/计数器，提供了中断可配置的日历闹钟。

无论芯片运行在什么状态（运行状态、低功耗状态、复位状态），只要供电电压保持在可工作范围内，RTC 就不会停止工作。

3.35.2 主要特性

- 日历采用 BCD 格式，包含秒、分钟、小时（12/24 小时制）、星期、日期、月份和年份等信息；
 - 月底自动修正月份的日期，28、29（闰年）、30 和 31 日；
 - 包含 1 个可配置闹钟；
 - 具有 RTC 时钟同步功能，能对 RTC 时钟进行 1 到 32767 个时钟脉冲的实时修正；
 - 含有分辨率可达 0.96ppm 的数字校准电路，能够有效补偿石英晶振的误差。
 - 包含 1 个 16 位自动重载唤醒定时器（WUT），具有可配置的分辨率和定时周期；
- RTC 外设的时钟源可以是：
- 32.768KHz 外部晶体振荡器（LSE）；

- 内部低功耗 RC 振荡器（LSI，典型频率为 32KHz）；
 - 经过 RCC 预分频后的外部高速时钟（HSE）；
- 当 RTC 时钟由 LSE 或 LSI 提供时，RTC 可在所有低功耗模式下工作。所有 RTC 事件（闹钟、唤醒定时器）都可以产生中断并将设备从低功耗模式唤醒

3.36 调试接口(Debug Support)

3.36.1 简介

本产品使用 ARM Cortex-M0+内核，该内核具有硬件调试模块 SWD，支持复杂的调试操作。硬件调试模块允许内核在取指令(指令断点)或访问数据(数据断点)时停止。内核停止时，内核的内部状态和系统的外部状态都可以在 IDE 中进行查询。完成查询后，内核和外设可以被复原，程序将继续执行。微控制器连接到调试器并开始调试时，调试器将使用内核的硬件调试模块进行调试操作。

当调试器与 MCU 连接并进行调试时，将使用调试功能。

Cortex®-M0+内核中内置的调试功能是 ARM® CoreSight 设计套件的一部分。

ARM® Cortex®-M0+内核提供集成片上调试支持，它包括：SW-DP（串行线）、DWT（数据观察点触发）和 BPU（断点单元）。

低功耗模式时，支持对外设时钟的控制。

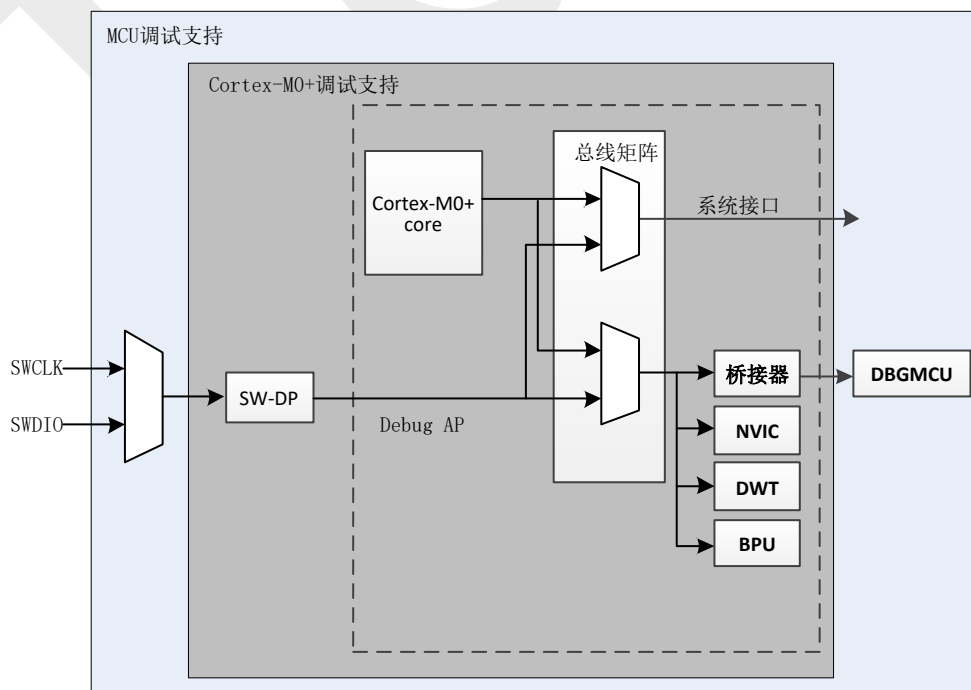


图 3-36-1 MCU 调试支持框图

3.36.2 参考文档

- Cortex®-M0+ Technical Reference Manual (TRM)
- Arm Debug Interface V5
- Arm CoreSight Design Kit revision r1p1 Technical Reference Manual

TEMP

4 引脚功能描述及复用功能

4.1 引脚分配图

本芯片支持 LQFP48、LQFP32、SSOP28 共 3 种封装类型，引脚分配见下图所示：

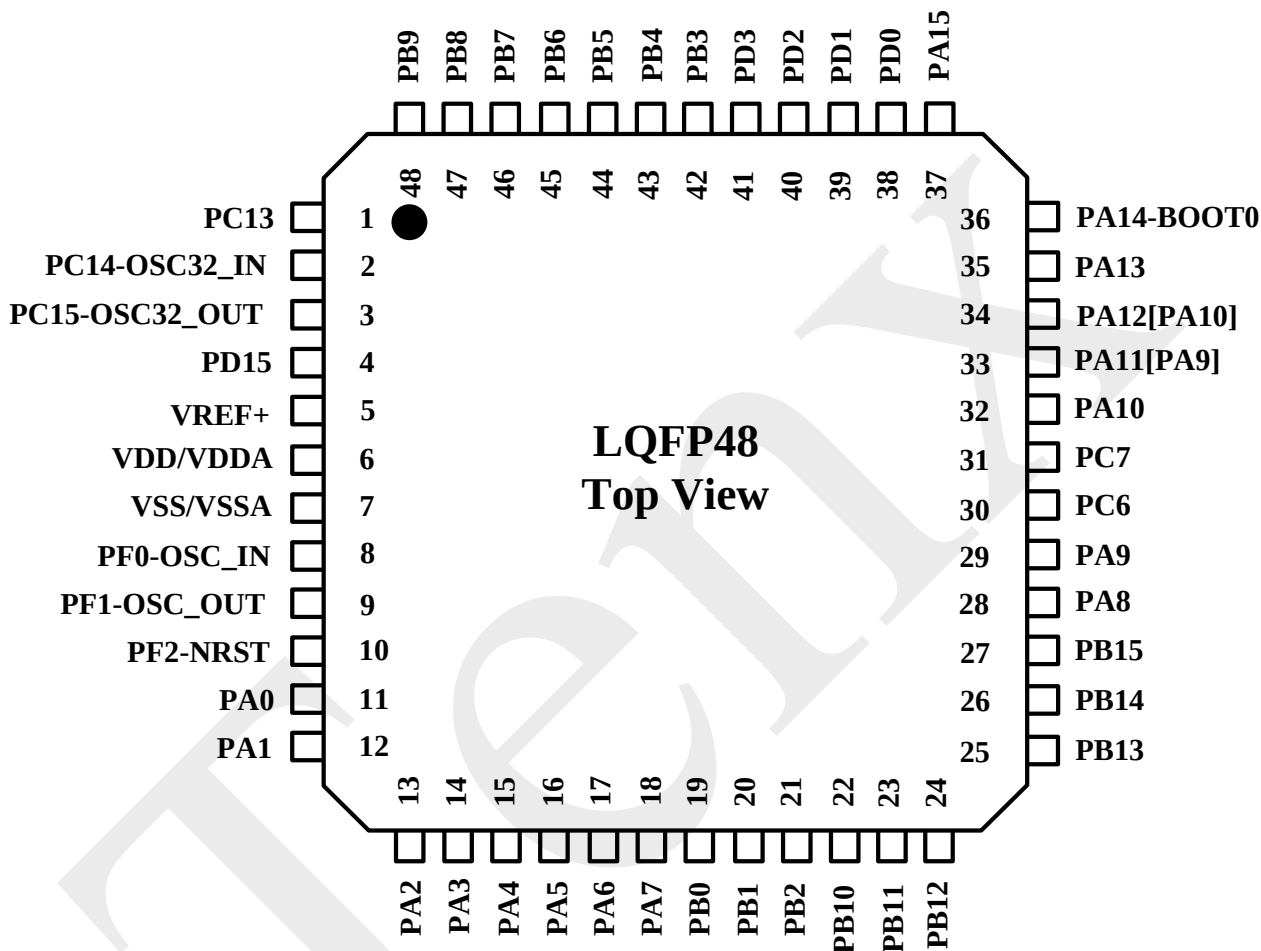


图 4-1-1 LQFP48 引脚分配图

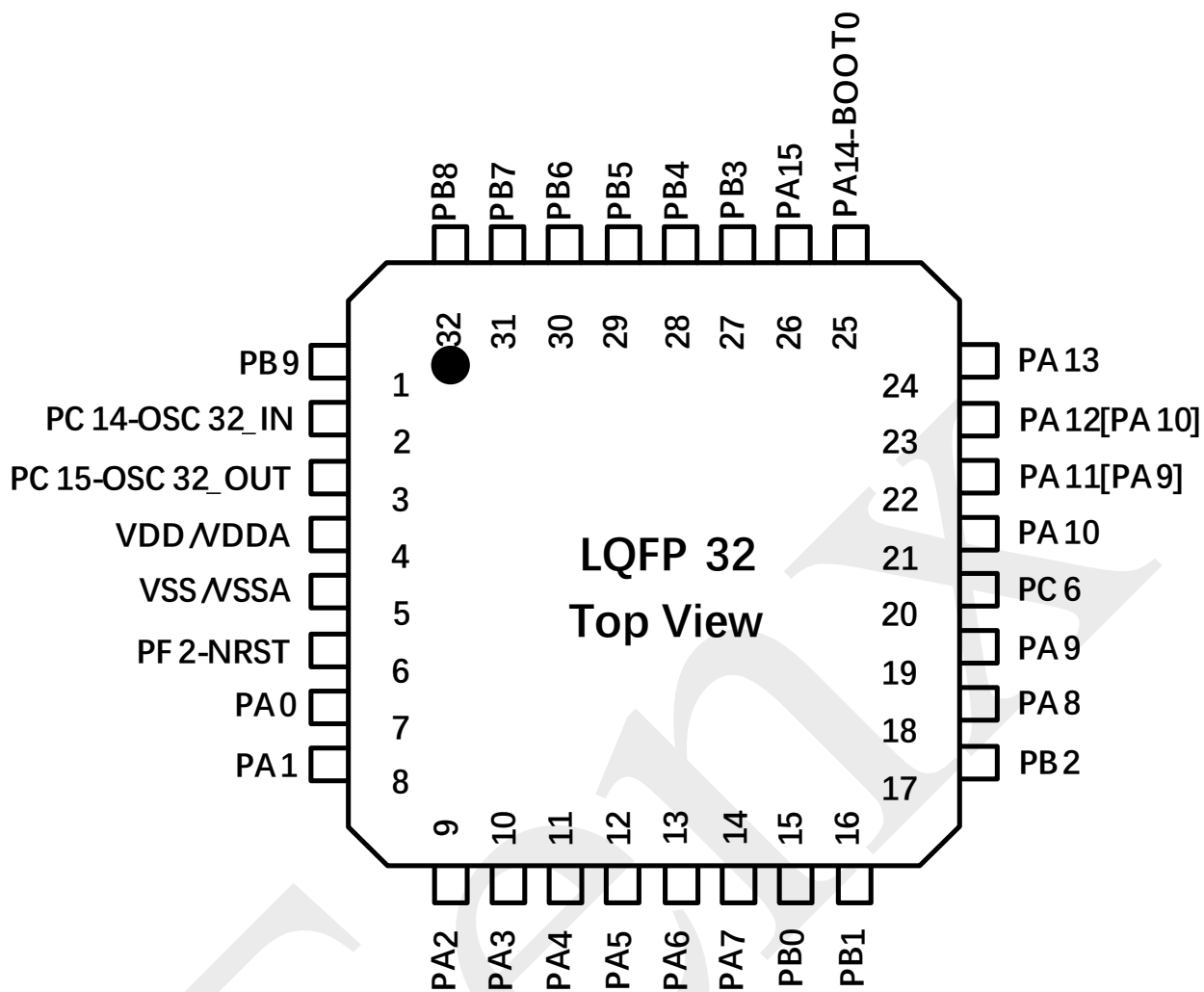


图 4-1-2 LQFP32 引脚分配图

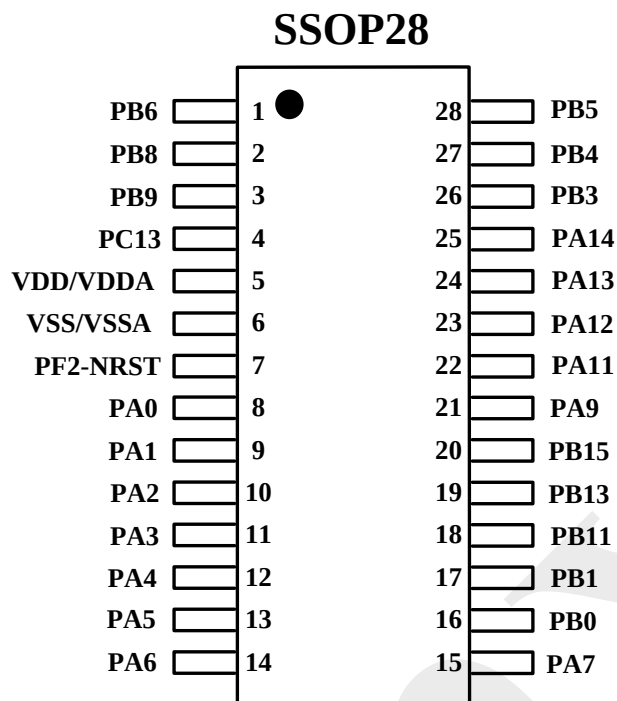


图 4-1-3 SSOP28 引脚分配图

4.2 引脚分配和定义

表 4-2-1 引脚分配和功能描述

引脚名称			引脚	类型	复用功能	附加功能
SSOP28	LQFP32	LQFP48				
4	-	1	PC13	I/O	TIM1_BKIN	RTC_OUT1
-	-	2	PC14- OSC32_I N	I/O	TIM1_BKIN2	OSC32_IN
-	2	-	PC14- OSC32_I N	I/O	TIM1_BKIN2	OSC32_IN,OSC_IN
-	3	3	PC15- OSC32_O UT	I/O	OSC32_EN,OSC_EN,TIM15_BKI N,TIM2_CH2,TIM3_CH3	OSC32_OUT
-	-	4	PD15	I/O		
5	-	5	VREF+	S		VREF+
5	4	6	VDD	S		
5	4	6	VDDA	S		

6	5	7	VSS	S		
6	5	7	VSSA	S		
-	-	8	PF0- OSC_IN	I/O	TIM14_CH1	OSC_IN
-	-	9	PF1- OSC_OUT	I/O	OSC_EN,TIM15_CH1N	OSC_OUT
7	6	10	PF2- NRST	I/O	MCO	NRST
8	7	11	PA0	I/O	TIM2_CH1_ETR,LPTIM1_OUT,COMP1_OUT,TIM3_CH1	COMP1_INM1,ADC1_00,COMP2_INP5,COMP3_INP1
9	8	12	PA1	I/O	USART1_TX,TIM2_CH2,TIM15_CH1N,EVENTOUT,TIM3_CH2	COMP1_INP1,ADC1_01,COMP2_INP6
10	9	13	PA2	I/O	SPI1_MOSI,TIM2_CH3,TIM15_CH1,LPUART1_TX,COMP2_OUT,COMP1_OUT	COMP2_INM1,ADC1_02,LSCO,OPAMP1_INP0,COMP3_INM1
11	10	14	PA3	I/O	TIM2_CH4,TIM15_CH2,LPUART1_RX,EVENTOUT,TIM2_CH3,TIM3_CH3	COMP2_INP1,ADC1_03,OPAMP1_INM0
12	11	15	PA4	I/O	SPI1_NSS,TIM14_CH1,EVENTOUT,USART1_RX	ADC1_04,DAC1_OUT1,RTC_OUT1,RTC_OUT2,OPAMP1_OUT
13	12	16	PA5	I/O	SPI1_SCK,TIM2_CH1_ETR,EVENTOUT,USART1_TX	ADC1_05,DAC1_OPAMP_OUT2,OPAMP1_INM1
14	13	17	PA6	I/O	SPI1_MISO,TIM3_CH1,TIM1_BKIN,TIM16_CH1,LPUART1_CTS,COMP1_OUT	ADC1_06,OPAMP1_INP1
15	14	18	PA7	I/O	SPI1_MOSI,TIM3_CH2,TIM1_CH1N,TIM14_CH1,TIM17_CH1,COMP2_OUT,TIM1_CH1	ADC1_07
16	15	19	PB0	I/O	SPI1_NSS,TIM3_CH3,TIM1_CH2N,LPTIM1_OUT,COMP1_OUT,TIM1_CH1N,COMP3_OUT	ADC1_08
17	16	20	PB1	I/O	TIM14_CH1,TIM3_CH4,TIM1_CH3N,LPUART1_RTS_DE,EVENTOUT,TIM1_CH2	COMP1_INM2,ADC1_09
-	17	21	PB2	I/O	LPTIM1_OUT,EVENTOUT,COMP3_OUT	COMP1_INP2,ADC1_10
-	-	22	PB10	I/O	LPUART1_RX,TIM2_CH3,COMP1_OUT	ADC1_11

18	-	23	PB11	I/O	LPUART1_TX,TIM2_CH4,COMP2_OUT	ADC1_15
-	-	24	PB12	I/O	LPUART1_RTS_DE,TIM1_BKIN,TIM15_BKIN,EVENTOUT,COMP1_OUT	ADC1_16
19	-	25	PB13	I/O	LPUART1_CTS,TIM1_CH1N,TIM15_CH1N,EVENTOUT,TIM1_CH1	
-	-	26	PB14	I/O	TIM1_CH2N,TIM15_CH1,EVENTOUT,TIM1_CH1N	
20	-	27	PB15	I/O	TIM1_CH3N,TIM15_CH1N,TIM15_CH2,EVENTOUT,TIM1_CH2	
-	18	28	PA8	I/O	MCO,TIM1_CH1,EVENTOUT,TIM1_CH2N	
21	19	29	PA9	I/O	MCO,USART1_TX,TIM1_CH2,TIM15_BKIN,I2C1_SCL,EVENTOUT,TIM1_CH3	
-	20	30	PC6	I/O	TIM3_CH1,TIM2_CH3	
-	-	31	PC7	I/O	TIM3_CH2,TIM2_CH4	
-	21	32	PA10	I/O	USART1_RX,TIM1_CH3,TIM17_BKIN,I2C1_SDA,EVENTOUT,TIM1_CH3N	
22	22	33	PA11 [PA9]	I/O	SPI1_MISO,USART1_CTS_NSS,TIM1_CH4,TIM1_BKIN2,COMP1_OUT	ADC1_15,OPAMP2_INP0
23	23	34	PA12 [PA10]	I/O	SPI1_MOSI,USART1_RTS_DE_CK,TIM1_ETR,COMP2_OUT	ADC1_16,OPAMP2_INM0
24	24	35	PA13	I/O	SWDIO,IRTIM1_OUT,EVENTOUT,USART1_RX	ADC1_17,OPAMP2_OUT
25	25	36	PA14- BOOT0	I/O	SWCLK,USART1_TX,EVENTOUT	ADC1_18,BOOT0,OPAMP2_INM1
-	26	37	PA15	I/O	SPI1_NSS,USART1_RX,TIM2_CH1_ETR,EVENTOUT,TIM3_CH2	OPAMP2_INP1,OPAMP3_INP0
-	-	38	PD0	I/O	EVENTOUT,TIM16_CH1	OPAMP3_INM0
-	-	39	PD1	I/O	EVENTOUT,TIM17_CH1	OPAMP3_OUT
-	-	40	PD2	I/O	TIM3_ETR,TIM1_CH1N	OPAMP3_INM1
-	-	41	PD3	I/O	USART1_RX,TIM1_CH2N	OPAMP3_INP1
26	27	42	PB3	I/O	SPI1_SCK,TIM1_CH2,TIM2_CH2,USART1_RTS_DE_CK,EVENTOUT,USART1_TX,COMP3_OUT	COMP2_INM2,OPAMP4_INP0
27	28	43	PB4	I/O	SPI1_MISO,TIM3_CH1,USART1_	COMP2_INP2,OPAMP4

					CTS_NSS,TIM17_BKIN,EVENTO UT,TIM2_CH1	_INM0,ADC1_16,COM P3_INP2
28	29	44	PB5	I/O	SPI1_MOSI,TIM3_CH2,TIM16_B KIN,LPTIM1_IN1,COMP2_OUT, TIM2_CH2	COMP2_INP3,ADC1_1 7,COMP3_INP3,OPAM P4_OUT
1	30	45	PB6	I/O	USART1_TX,TIM1_CH3,TIM16_ CH1N,LPTIM1_ETR,I2C1_SCL,E VENTOUT,TIM2_CH3,TIM3_CH 3	COMP2_INP4,ADC1_1 8,COMP1_INP3,OPAM P4_INM1
-	31	46	PB7	I/O	USART1_RX,TIM17_CH1N,LPTI M1_IN2,I2C1_SDA,EVENTOUT	COMP2_INM3,COMP1 _INM3,ADC1_11,PVD_ IN1,COMP3_INM2,OPA MP4_INP1
2	32	47	PB8	I/O	TIM16_CH1,TIM15_BKIN,I2C1_ SCL,EVENTOUT,COMP1_OUT	
3	1	48	PB9	I/O	IRTIM1_OUT,TIM17_CH1,I2C1_ SDA,EVENTOUT	

4.3 引脚复用功能

表 4-3-1 端口 PA 复用功能映射

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	-	-	TIM2_CH1_ ETR	-	TIM3_CH1	LPT IM1 _O UT	-	COMP1_ OUT
PA1	-	-	TIM2_CH2	-	TIM3_CH2	TIM 15_ CH1 N	-	EVENTO UT
PA2	SPI1_M OSI	-	TIM2_CH3	-	COMP1_OUT	TIM 15_ CH1	LPUART1_ TX	COMP2_ OUT
PA3	-	TIM2_CH3	TIM2_CH4	-	TIM3_CH3	TIM 15_ CH2	LPUART1_ RX	EVENTO UT
PA4	SPI1_N SS	USART1_RX		-	TIM14_CH1	-	-	EVENTO UT
PA5	SPI1_S CK	USART1_TX	TIM2_CH1_ ETR	-	-	-	-	EVENTO UT

PA6	SPI1_MISO	TIM3_CH1	TIM1_BKIN	-	-	TIM16_CH1	LPUART1_CTS	COMP1_OUT
PA7	SPI1_MOSI	TIM3_CH2	TIM1_CH1N	-	TIM14_CH1	TIM17_CH1	TIM1_CH1	COMP2_OUT
PA8	MCO	-	TIM1_CH1	-			TIM1_CH2N	EVENTOUT
PA9	MCO	USART1_TX	TIM1_CH2	-	TIM1_CH3	TIM15_BKIN	I2C1_SCL	EVENTOUT
PA10	-	USART1_RX	TIM1_CH3	-	TIM1_CH3N	TIM17_BKIN	I2C1_SDA	EVENTOUT
PA11	SPI1_MISO	USART1_CTS_NSS	TIM1_CH4	-	-	TIM1BKIN2	-	COMP1_OUT
PA12	SPI1_MOSI	USART1_RTS_DECK	TIM1_ETR	-	-	-	-	COMP2_OUT
PA13	SWDIO	IRTIM1_OUT	USART1_RX	-	-	-	-	EVENTOUT
PA14	SWCLK	USART1_TX		-	-	-	-	EVENTOUT
PA15	SPI1_NSS	USART1_RX	TIM2_CH1_ETR	-	TIM3_CH2	-	-	EVENTOUT

表 4-3-2 端口 PB 复用功能映射

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	SPI1_NSS	TIM3_CH3	TIM1_CH2N	-	TIM1_CH1N	LPTIM1_OUT	COMP3_OUT	COMP1_OUT
PB1	TIM14_CH1	TIM3_CH4	TIM1_CH3N	-	TIM1_CH2	-	LPUART1_RTS_DE	EVENTOUT
PB2	-	-	-	-	-	LPTIM1_OUT	COMP3_OUT	EVENTOUT
PB3	SPI1_SCK	TIM1_CH2	TIM2_CH2	-	USART1_RTS_DECK	USART1_TX	COMP3_OUT	EVENTOUT
PB4	SPI1_MISO	TIM3_CH1	TIM2_CH1	-	USART1_CTS_NSS	TIM17_BKIN	-	EVENTOUT
PB5	SPI1_MOSI	TIM3_CH2	TIM16_BKIN	-	TIM2_CH2	LPTIM1_IN1	-	COMP2_OUT

PB 6	USART1_TX	TIM1_CH3	TIM16_CH1N	TIM2_CH3	TIM3_CH3	LPTIM1_ETR	I2C1_SCL	EVENT OUT
PB 7	USART1_RX	-	TIM17_CH1N	-	-	LPTIM1_IN2	I2C1_SDA	EVENT OUT
PB 8	-	-	TIM16_CH1	-	COMP1_OUT	TIM15_BKIN	I2C1_SCL	EVENT OUT
PB 9	IRTIM1_OUT	-	TIM17_CH1	-	-	-	I2C1_SDA	EVENT OUT
PB 10	-	LPUART1_RX	TIM2_CH3	-	-	-	-	COMP1_OUT
PB 11	-	LPUART1_TX	TIM2_CH4	-	-	-	-	COMP2_OUT
PB 12	-	LPUART1_RTS_DE	TIM1_BKIN	-	COMP1_OUT	TIM15_BKIN	-	EVENT OUT
PB 13	-	LPUART1_CTS	TIM1_CH1N	-	TIM1_CH1	TIM15_CH1N	-	EVENT OUT
PB 14	-	-	TIM1_CH2N	-	TIM1_CH1N	TIM15_CH1	-	EVENT OUT
PB 15	-	TIM1_CH2	TIM1_CH3N	-	TIM15_CH1N	TIM15_CH2	-	EVENT OUT

表 4-3-3 端口 PC 复用功能映射

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PC6	-	TIM3_CH1	TIM2_CH3	-	-	-	-	-
PC7	-	TIM3_CH2	TIM2_CH4	-	-	-	-	-
PC13	-	-	TIM1_BKIN	-	-	-	-	-
PC14	-	-	TIM1_BKIN2	-	-	-	-	-
PC15	OSC32_EN	OSC_EN	TIM15_BKIN	-	TIM2_CH2	TIM3_CH3	-	-

表 4-3-4 端口 PD 复用功能映射

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PD0	EVENTOUT	-	TIM16_CH1	-	-	-	-	-
PD1	EVENTOUT	-	TIM17_CH1	-	-	-	-	-
PD2	-	TIM3_ETR	TIM1_CH1N	-	-	-	-	-
PD3	-	USART1_RX	TIM1_CH2N	-	-	-	-	-

PD1 5								
----------	--	--	--	--	--	--	--	--

表 4-3-5 端口 PF 复用功能映射

端口	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PF0	-	-	TIM14_CH1	-	-	-	-	-
PF1	OSC_EN	-	TIM15_CH1 N	-	-	-	-	-
PF2	MCO	-	-	-	-	-	-	-

表 4-3-6 引脚功能描述

引脚名称	类型	说明
I/O 端口		
PA0~PA15	I/O	16 位双向 I/O 端口
PB0~PB15	I/O	16 位双向 I/O 端口
PC6~PC7,PC13~PC15	I/O	5 位双向 I/O 端口
PD0~PD3,PD15	I/O	5 位双向 I/O 端口
PF0~PF2	I/O	3 位双向 I/O 端口
USART（通用异步收发器）		
USART1_TX	O	USART1 数据发送端口
USART1_RX	I	USART1 数据接收端口
USART1_RTS_DE_CK	O	USART1 请求发送端口
USART1_CTS_NSS	I	USART1 允许发送端口
LPUART（低功耗通用异步收发器）		
LPUART1_TX	O	LPUART1 数据发送端口
LPUART1_RX	I	LPUART1 数据接收端口
LPUART1_RTS_DE	O	LPUART1 请求发送端口
LPUART1_CTS	I	LPUART1 允许发送端口
SPI（串行外设接口）		
SPI1_MOSI	I/O	SPI1 主输出从输入引脚
SPI1_MISO	I/O	SPI1 主输入从输出引脚
SPI1_SCK	I/O	SPI1 串行时钟引脚
SPI1_NSS	I	SPI1 从设备选择引脚
I2C（双线串行接口）		
I2C1_SCL	I/O	I2C1 时钟信号（支持主机/从机模式）
I2C1_SDA	I/O	I2C1 数据输入输出端
高级型定时器 TIM1		
TIM1_CH1/CH1N	I/O	高级 TIM1 通道 1，支持双通道带死区互补输出、输入捕获
TIM1_CH2/CH2N	I/O	高级 TIM1 通道 2，支持双通道带死区互补输出、输入捕获
TIM1_CH3/CH3N	I/O	高级 TIM1 通道 3，支持双通道带死区互补输出、输入捕获

TIM1_CH4/CH4N	I/O	高级 TIM1 通道 4, 支持双通道带死区互补输出、输入捕获
TIM1_ETR	I	高级 TIM1 外部触发输入
TIM1_BKIN1/2	I	高级 TIM1 外部刹车信号输入 1/2
通用定时器 TIM2/3		
TIM2/3_CH1/CH2/CH3/CH4	I/O	通用 TIM2/3 通道 1/2/3/4 PWM 输出、输入捕获
TIM2/3_ETR	I	通用 TIM2/3 外部触发输入
通用控制定时器 TIM14		
TIM14_CH1	I/O	通用 TIM14 通道 1 PWM 输出、输入捕获
通用控制定时器 TIM15		
TIM15_CH1/CH2	I/O	通用 TIM15 通道 1/2 PWM 输出、输入捕获
TIM15_BKIN	I	通用 TIM15 外部刹车信号输入
通用控制定时器 TIM16/17		
TIM16/17_CH1	I/O	通用 TIM16/17 通道 1 PWM 输出、输入捕获
TIM16/17_BKIN	I	通用 TIM16/17 外部刹车信号输入
LPTIM (低功耗定时器)		
LPTIM1_OUT	O	LPTIM1 时钟比较输出
LPTIM1_IN1~LPTIM1_IN2	I	LPTIM1 外部时钟输入,唤醒
LPTIM1_ETR	I	LPTIM1 外部触发输入
ADC		
ADC1_00~11,ADC1_15~18	I	ADC1 channel00-11,15~18 的输入
OPAMP (运算放大器)		
OPAMP1_INP~OPAMP4_INP	I	OPAMP1-4 输入正端
OPAMP1_INM~OPAMP4_INM	I	OPAMP1-4 输入负端
OPAMP1_OUT~OPAMP4_OUT	O	OPAMP1-4 输出
DAC (数模转换器)		
DAC1~DAC2	O	DAC1-2 输出
COMP (比较器)		
COMP1_INP~COMP3_INP	I	COMP1~COMP3 正端输入
COMP1_INM~COMP3_INM	I	COMP1~COMP3 负端输入
COMP1_OUT~COMP3_OUT	O	COMP1~COMP3 输出
电源		
VDD/VDDA	P	电源
VSS/VSSA	P	地
复位		
NRST	I/O	芯片外部全局复位信号, 低电平有效复位输入, 上拉电阻固定使能。
时钟		
OSC_IN	I	外部高速晶振输入或外部高速时钟输入

OSC_OUT	O	外部高速晶振信号输出
OSC_EN	I	外部高速时钟输入使能
OSC32_IN	I	外部低速晶振输入或外部低速时钟输入
OSC32_OUT	O	外部低速晶振输出
OSC32_EN	I	外部低速时钟输入使能
MCO	O	微控制器时钟输出
RTC_OUT1~2	O	RTC 时钟输出（1Hz）
LSCO	O	低速时钟输出，来自 LSI 或 LSE
其它		
IRTIM1_OUT	O	红外输出端
EVENTOUT	O	快速事件输出
BOOT0	I	芯片启动模式控制
调试接口（SWD,串行双线调试接口）		
SWDIO	I/O	SWDP 数据输入输出
SWCLK	I	SWDP 时钟输入

5 电气特性

5.1 参数条件

- 除非另有说明，所有电压均参照 VSS。
- 在温度范围之外定义的参数值将被忽略。
- 根据订购信息，用于表征某些电气参数的包装可能与商业包装不同。

5.1.1 最小、最大值

- 除非另有说明，在环境温度为 $T_A=25^{\circ}\text{C}$ 和 $T_A=T_A(\text{max})$ (由所选温度范围给出)的条件下，通过对 100% 的设备进行生产测试，保证在环境温度、电源电压和频率的最坏条件下的最小值和最大值。
- 基于表征结果、设计模拟和/或技术特性的数据在表的脚注中说明，并没有在生产中进行测试。根据表征，最小值和最大值为样本检验值，表示平均值 ± 3 倍标准差(平均值 $\pm 3\sigma$)。

5.1.2 典型值

- 除非另有说明，典型数据是基于 $T_A=25^{\circ}\text{C}$ ， $V_{DD}=V_{DDA}=V_{REF}=5\text{V}$ 。它们只是作为设计指南给出的，没有经过测试。
- 典型的 ADC 精度值是通过在整个温度范围内对一批标准扩散批次样品的特征来确定的，其中 95% 的器件误差小于或等于指示值(平均值 $\pm 2\sigma$)。

5.1.3 典型曲线

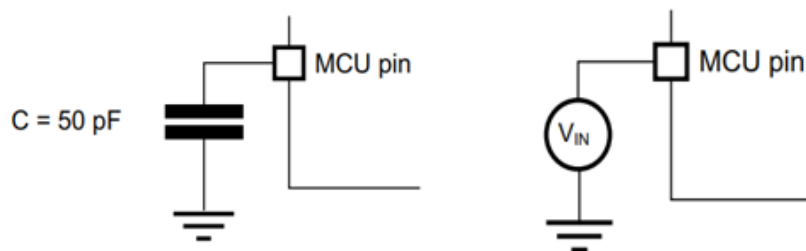
除非另有说明，所有典型曲线仅作为设计指南给出，不进行测试。

5.1.4 负载电容

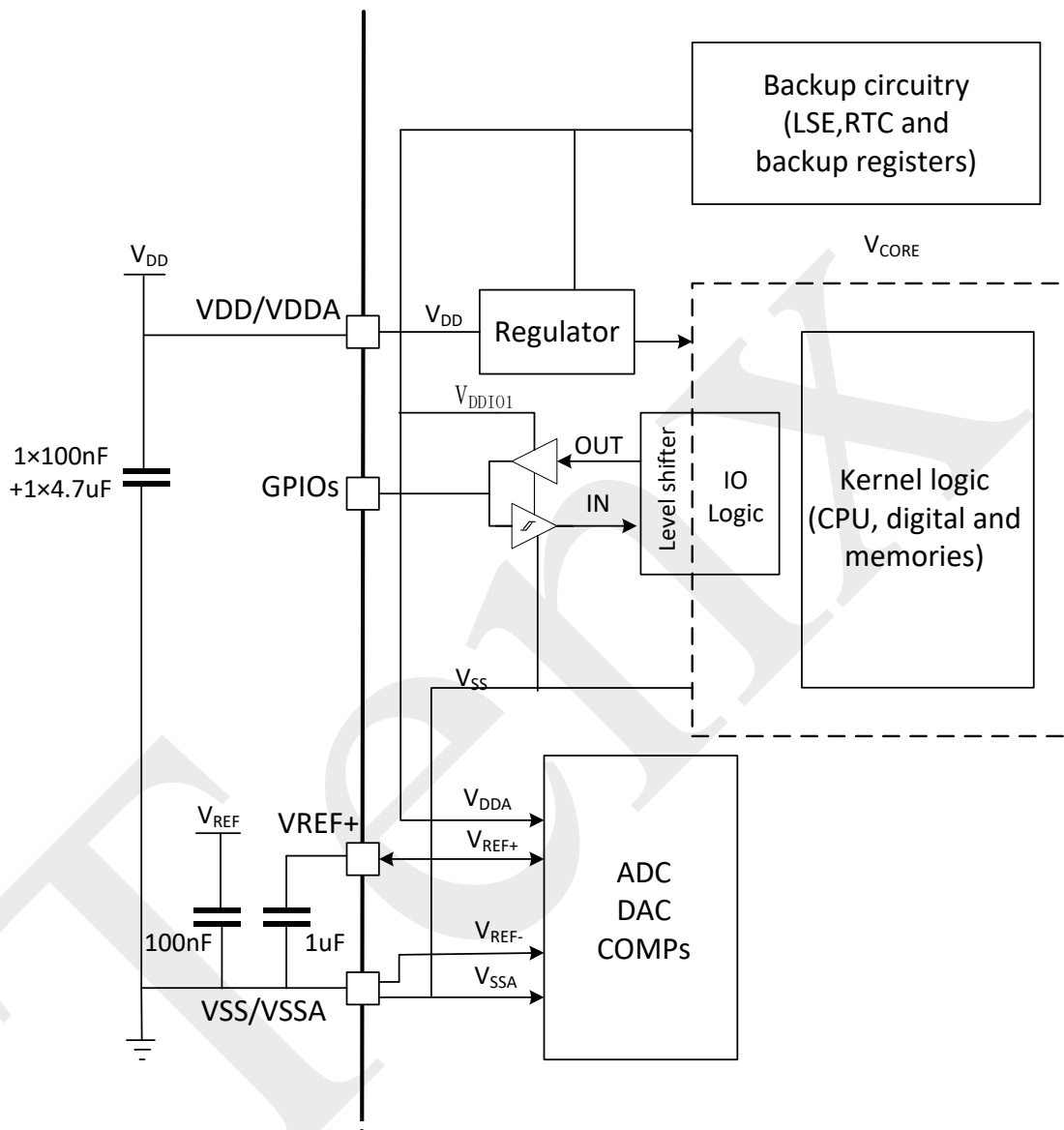
a、用于引脚参数测量的加载条件如图 5-1-5 所示。

5.1.5 引脚输入电压

图 5-1-5 描述了该装置引脚上的输入电压测量。



5.1.6 供电方案



注意:电源引脚对(V_{DD}/V_{DDA} 和 V_{SS}/V_{SSA})必须与如上所示的过滤陶瓷电容解耦。这些电容必须尽可能地放置在接近或在下面,在 PCB 下面的合适引脚,以确保设备良好的功能。

5.1.7 测量电流消耗

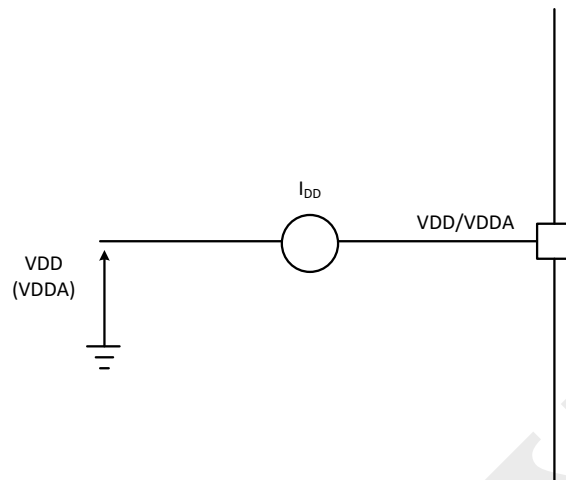


图 5-1-7 电流测量原理图

5.2 最大绝对额定值

强调以下表格所列绝对最大额定值的应力可能会对设备造成永久性损坏。这些只是应力额定值，并不意味着设备在这些条件下的功能操作。长时间暴露在最大额定条件下可能会影响设备的可靠性。

所有电压都是根据 VSS 定义的。

5.2.1 电压特性

表 5-2-1 电压特性⁽¹⁾

符号	参数	最小值	最大值	单位
V _{DD}	数字电源电压	-0.3	6.0	V
V _{DDA}	模拟电源电压	-0.3	6.0	V
V _{IN}	I/O 输入电压	-0.3	6.0	V
V _{REF+}	参考电压	-0.3	6.0	V

1. 设计保证。

5.2.2 电流特性

表 5-2-2 电流特性

符号	参数	最大值	单位
I _{VDD/VDDA}	电流流入 VDD、VDDA 电源 pin(source)	246	mA
I _{VSS/VSSA}	电流流出 VSS、VSSA 地线 pin(sink)	247	mA
I _{IO(PIN)}	任一 I/O 输出电流(source)	50	mA
	任一 I/O 输入电流(sink)	126	
ΣI _{IO(PIN)}	所有 I/O 输出电流(source)	245	mA

符号	参数	最大值	单位
	所有 I/O 输入电流(sink)	220	
$I_{INJ(PIN)}^{(1)}$	任一 I/O 注入电流	-0.15	mA
$\sum I_{INJ(PIN)} $	所有 I/O 注入电流	0.50	mA

- 正向注入电流 $V_{IN} > V_{DDIOx}$ ，反向注入电流 $V_{IN} < V_{SS}$ 。

5.2.3 温度特性

表 5-2-3 温度特性

符号	参数	最小值	最大值	单位
$T_{STG}^{(1)}$	存储温度	-65	150	°C
T_A	工作温度	-40	105	°C
$T_J^{(1)}$	最大结温度	-40	125	°C

- 设计保证。

5.2.4 其它特性

表 5-2-4 其它特性⁽¹⁾

符号	参数	最大值	单位
Nend	flash 擦写次数	100k	cycles
Tret	flash 保存数据时间	≥10	years
ESD(HBM)	端口静电放电电压	≥8000	V

- 设计保证。

5.3 操作条件

5.3.1 常规操作条件

表 5-3-1 常规操作条件

符号	参数	条件	最小值	最大值	单位
F_{HCLK}	内部 AHB 时钟频率	-	0	64	MHz
F_{PCLK}	内部 APB 时钟频率	-	0	64	MHz
V_{DD}	标准工作电压	-	2.2 ⁽¹⁾	5.5	V
V_{DDA}	模拟部分电源电压	COMP 正常工作	1.6	5.5	V
		OPAMP 正常工作	2.3	6.0	
		DAC 正常工作(buffer 关闭)	2.0	6.0	
		DAC 正常工作(buffer 开启)	2.3	6.0	
		ADC 正常工作	2.0	5.5	
		V_{BGO} 正常工作	2.2	6.0	
V_{REF+}	参考电压	ADC 正常工作	2.4	$V_{DDA}+0.3$	V
V_{IN}	I/O 输入电压	-	-0.3	$V_{DD}+0.3$	V

符号	参数	条件	最小值	最大值	单位
T_A	工作温度	-	-40	105	°C
$T_J^{(2)}$	结温度	-	-40	125	°C

1. 当 RESET 被释放时, V_{POR} 取最小值。
2. 设计保证。

5.3.2 操作条件(上电、下电)

本章节的表 5-3-2 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的环境温度条件下进行的测试。

表 5-3-2 常规操作条件(上电、下电)

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{DD} 摆率	V_{DD} 上升	-	∞	$\mu s/V$
		V_{DD} 下降	25	∞	ms/V

5.3.3 嵌入式复位和电源控制模块特性

本章节的表 5-3-3 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的环境温度条件下进行的测试。

表 5-3-3 嵌入式复位和电源控制模块特性

符号	参数	条件		最小值	典型值	最大值	单位
$t_{RSTTEMPO}^{(1)}$	V_{DD} 超过 V_{POR} ,POR 的时延	V_{DD} 上升		-	605	-	μs
V_{POR}	上电复位阈值	-		1.579	2.187	2.607	V
V_{PDR}	下电复位阈值	-		1.577	2.185	2.605	V
V_{PVD}	低电压侦测值	PVD_HYS[1:0]=00; PVD_T[4:0]=00000	上升	1.82	1.95	2.02	V
			下降	1.81	1.94	2.02	
		PVD_HYS[1:0]=01; PVD_T[4:0]=00000	上升	1.84	1.95	2.04	
			下降	1.81	1.92	1.99	
		PVD_HYS[1:0]=10; PVD_T[4:0]=00000	上升	1.88	1.98	2.07	
			下降	1.78	1.90	1.96	
		PVD_HYS[1:0]=11; PVD_T[4:0]=00000	上升	1.87	1.99	2.09	
			下降	1.77	1.88	1.95	
		PVD_HYS[1:0]=00; PVD_T[4:0]=01111	上升	3.08	3.28	3.41	
			下降	3.07	3.26	3.39	
		PVD_HYS[1:0]=01; PVD_T[4:0]=01111	上升	3.12	3.29	3.45	
			下降	3.07	3.24	3.35	
		PVD_HYS[1:0]=10; PVD_T[4:0]=01111	上升	3.18	3.34	3.50	
			下降	3.01	3.20	3.30	
		PVD_HYS[1:0]=11; PVD_T[4:0]=01111	上升	3.18	3.35	3.52	

符号	参数	条件		最小值	典型值	最大值	单位
		PVDT[4:0]=01111	下降	3.01	3.17	3.28	
		PVD_HYS[1:0]=00; PVDT[4:0]=11111	上升	4.43	4.71	4.92	
			下降	4.43	4.69	4.87	
		PVD_HYS[1:0]=01; PVDT[4:0]=11111	上升	4.49	4.72	4.98	
			下降	4.43	4.66	4.80	
		PVD_HYS[1:0]=10; PVDT[4:0]=11111	上升	4.58	4.80	5.04	
			下降	4.33	4.60	4.74	
		PVD_HYS[1:0]=11; PVDT[4:0]=11111	上升	4.57	4.82	5.08	
			下降	4.33	4.55	4.71	
		BOR_HYS[1:0]=00; BOR_LEV[2:0]=000	上升	1.90	1.97	2.01	
			下降	1.89	1.96	2.00	
		BOR_HYS[1:0]=01; BOR_LEV[2:0]=000	上升	1.93	1.98	2.03	
			下降	1.88	1.94	1.98	
V _{BOR}	低电压复位值	BOR_HYS[1:0]=10; BOR_LEV[2:0]=000	上升	1.94	2.00	2.06	V
			下降	1.86	1.92	1.96	
		BOR_HYS[1:0]=11; BOR_LEV[2:0]=000	上升	1.95	2.00	2.07	
			下降	1.86	1.91	1.96	
		BOR_HYS[1:0]=00; BOR_LEV[2:0]=100	上升	2.69	2.87	2.96	
			下降	2.68	2.85	2.93	
		BOR_HYS[1:0]=01; BOR_LEV[2:0]=100	上升	2.73	2.90	2.99	
			下降	2.63	2.81	2.89	
		BOR_HYS[1:0]=10; BOR_LEV[2:0]=100	上升	2.75	2.93	3.03	
			下降	2.62	2.78	2.86	
		BOR_HYS[1:0]=11; BOR_LEV[2:0]=100	上升	2.76	2.94	3.06	
			下降	2.60	2.77	2.85	
		BOR_HYS[1:0]=00; BOR_LEV[2:0]=111	上升	3.34	3.57	3.68	
			下降	3.33	3.55	3.64	
		BOR_HYS[1:0]=01; BOR_LEV[2:0]=111	上升	2.62	3.61	3.72	
			下降	3.27	3.50	3.59	
		BOR_HYS[1:0]=10; BOR_LEV[2:0]=111	上升	3.43	3.66	3.78	
			下降	3.26	3.46	3.54	
		BOR_HYS[1:0]=11; BOR_LEV[2:0]=111	上升	3.45	3.67	3.80	
			下降	3.24	3.44	3.53	
V _{hyst_PVD}	V _{PVD} 迟滞	PVD_HYS[1:0]=00;PVDT[4:0]=00000		0	10	50	mV
		PVD_HYS[1:0]=01;PVDT[4:0]=00000		30	50	70	
		PVD_HYS[1:0]=10;PVDT[4:0]=00000		80	100	120	
		PVD_HYS[1:0]=11;PVDT[4:0]=00000		100	120	150	
		PVD_HYS[1:0]=00;PVDT[4:0]=01111		0	10	70	
		PVD_HYS[1:0]=01;PVDT[4:0]=01111		50	80	130	
		PVD_HYS[1:0]=10;PVDT[4:0]=01111		140	170	210	
		PVD_HYS[1:0]=11;PVDT[4:0]=01111		170	210	250	

符号	参数	条件	最小值	典型值	最大值	单位
		PVD_HYS[1:0]=00;PVDT[4:0]=11111	0	10	110	
		PVD_HYS[1:0]=01;PVDT[4:0]=11111	60	120	180	
		PVD_HYS[1:0]=10;PVDT[4:0]=11111	200	250	300	
		PVD_HYS[1:0]=11;PVDT[4:0]=11111	240	300	370	
V_{hyst_BOR}	V_{BOR} 迟滞	BOR_HYS[1:0]=00;BOR_LEV[2:0]=000	10	10	30	mV
		BOR_HYS[1:0]=01;BOR_LEV[2:0]=000	30	50	50	
		BOR_HYS[1:0]=10;BOR_LEV[2:0]=000	50	80	100	
		BOR_HYS[1:0]=11;BOR_LEV[2:0]=000	60	100	120	
		BOR_HYS[1:0]=00;BOR_LEV[2:0]=100	10	20	60	
		BOR_HYS[1:0]=01;BOR_LEV[2:0]=100	80	90	120	
		BOR_HYS[1:0]=10;BOR_LEV[2:0]=100	130	160	180	
		BOR_HYS[1:0]=11;BOR_LEV[2:0]=100	160	170	210	
		BOR_HYS[1:0]=00;BOR_LEV[2:0]=111	10	30	90	
		BOR_HYS[1:0]=01;BOR_LEV[2:0]=111	110	120	140	
		BOR_HYS[1:0]=10;BOR_LEV[2:0]=111	170	200	240	
		BOR_HYS[1:0]=11;BOR_LEV[2:0]=111	210	230	270	
$I_{DD_PVD}^{(1)}$	PVD 从 V_{DD} 上的电流消耗	-	-	32	65	μA
$I_{DD_BOR}^{(1)}$	BOR 从 V_{DD} 上的电流消耗	-	-	32	64	μA

1. 设计保证。

5.3.4 嵌入式电压参数

本章节的表 5-3-4 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的环境温度条件下进行的测试。

表 5-3-4 嵌入式内部电压参数

符号	参数	条件	最小值	典型值	最大值	单位
$V_{VBGO}^{(1)}$	内部参考电压(VBGO 默认输出值)	-	1.198	1.232	1.254	V
$t_{S_vrefint}^{(1)}$	当读内部参考电压时, ADC 的采样时间	-	1.5	-	239.5	f_{adc}
$t_{start_vrefint}^{(1)}$	当 ADC 使能时, 参考电压 buffer 的启动时间	-	-	300	-	ns
$I_{DD(VBGO)}^{(1)}$	当 ADC 转换时, V_{VBGO} buffer 在 V_{DD} 消耗的电流	-	67	70	72	μA
ΔV_{VBG}	内部参考电压在温度范围内的分布(VBG=1.23V)	$V_{DD}=5.0V$ (-40~105°C)	-	21	34 ⁽¹⁾	mV
$T_{Coeff_vrefint}^{(1)}$	V_{VBG} 的温度系数(VBG=1.23V)	以 25°C 为基准	44	54	112	ppm/°C
A_{Coeff}	长时间工作稳定性	1hour, $T_A=25^\circ C$	-	141	-	ppm
$V_{DDCoeff}^{(1)}$	V_{DD} 的电压系数	$2.0V < V_{DD} < 5.5V$	-	4141	-	ppm/V

符号	参数	条件	最小值	典型值	最大值	单位
V_{BGR}	VBGOS=00 (1.25V)	$V_{DD}=5.0V$ (-40~105°C)	1.211	1.236	1.254	V
	VBGOS=01 (2.5V)		2.497	2.518	2.559	
	VBGOS=10 (3V)		2.982	3.032	3.075	
	VBGOS=11 (4V)		3.987	4.053	4.097	

1. 设计保证。

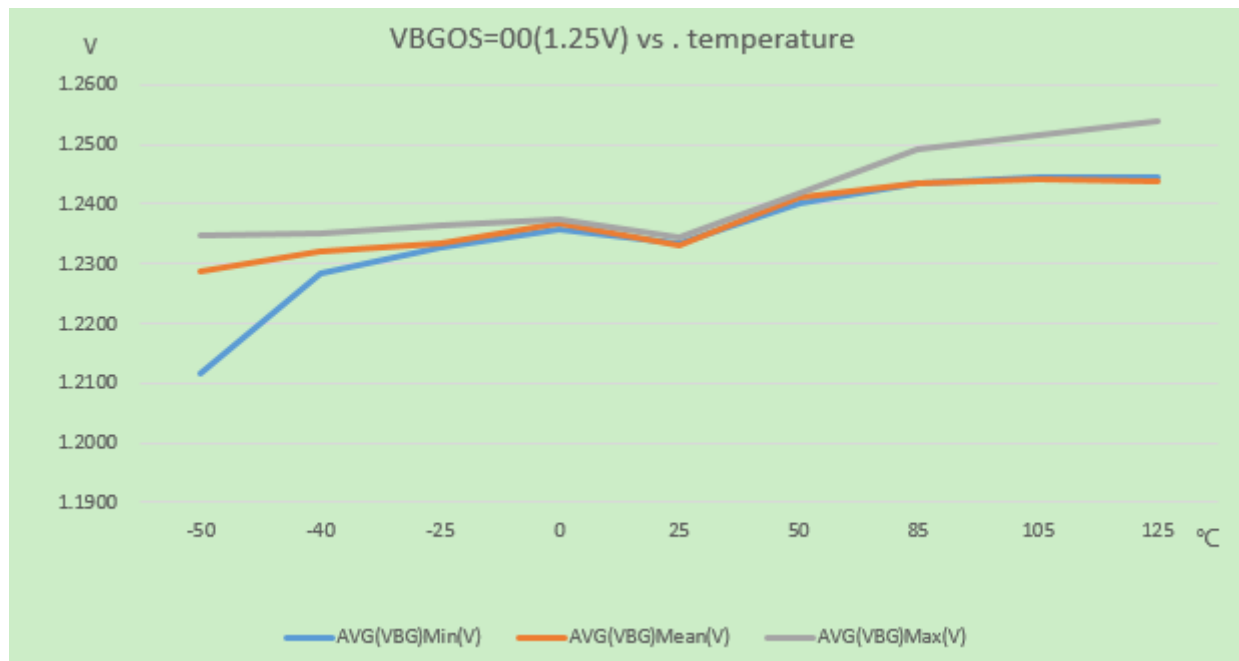


图 5-3-4 VBGOS=00(1.25V) vs temperature

5.3.5 供电电流特性

电流消耗是几个参数和因素的函数，如工作电压、环境温度、I/O 引脚负载、设备软件配置、工作频率、I/O 引脚交换率、程序在内存中的位置和执行的二进制代码。

电流消耗的测量方法如测试条件第 5.1.7 章节图 5-1-7 所示（电流消耗测量方案）。

典型、最大电流消耗

MCU 放置在此条件下：

- 所有 PIN 配置成模拟输入模式。
- 除明确提及外，所有外设都被禁用
- Flash 访问时间根据 fHCLK 频率(见参考手册 FLASH_ACR 的 LATENCY[1:0])的最小等待状态数进行调整。
- 当外设被使能，fPCLK1=fPCLK2=fHCLK。
- 对于 Flash 存储和共享外设，fPCLK1=fPCLK2=fHCLK。

除非另有说明，本章节的表 5-3-5-1~表 5-3-5-5 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的环境温度条件下进行的测试。

表 5-3-5-1 在不同 die 温度下, run、sleep、stop 三种模式的电流消耗(VDD=2.3V)

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	105°C	25°C	105°C	
I _{DD(Run)}	Run 模式下的供电电流	PLL disable, HSE enable	16MHz, by pass 模式	Flash Memory	2.0	2.5	2.1	2.5	mA
				SRAM	1.7	1.8	1.8	1.8	
I _{DD(Run)}	Run 模式下的供电电流	PLL disable, LSE enable	32KHz, by pass 模式	Flash Memory	0.5	0.7	0.6	0.7	mA
				SRAM	0.5	0.4	0.6	0.6	
I _{DD(Run)}	Run 模式下的供电电流	PLL enable, HSI enable	64MHz	Flash Memory	6.3	6.5	6.5	6.5	mA
			56MHz		5.6	6.5	5.9	6.6	
			48MHz		5.1	6.3	5.1	6.5	
			40MHz		4.3	4.5	4.5	4.6	
			32MHz		3.8	4.2	4.1	4.3	
			24MHz		2.6	3.5	3.4	3.5	
			16MHz		2.4	3.2	2.5	3.3	
			8MHz		2.1	2.3	2.2	2.4	
		PLL disable, HSI enable	4MHz		2.0	2.0	2.0	2.0	
			2MHz		1.6	1.8	1.7	1.9	
I _{DD(Run)}	Run 模式下的供电电流	PLL enable, HSI enable	64MHz	SRAM	5.4	5.5	5.6	5.7	mA
			56MHz		4.9	5.0	5.1	5.1	
			48MHz		4.3	4.5	4.5	4.6	
			40MHz		3.9	4.0	4.0	4.1	
			32MHz		3.3	3.4	3.4	3.5	
			24MHz		3.1	2.9	3.2	3.3	
			16MHz		2.2	2.3	2.3	2.4	
			8MHz		1.7	2.0	1.9	2.1	
		PLL disable, HSI enable	4MHz		1.2	1.3	1.2	1.4	
			2MHz		1.0	1.2	1.1	1.2	
I _{DD(Sleep)}	Sleep 模式下的供电电流	PLL enable, HSI enable	16MHz	Flash Memory	1.5	1.8	1.7	2.0	mA
			8MHz		1.4	1.6	1.5	1.6	
		PLL disable, HSI enable	4MHz		1.2	1.2	1.6	1.2	
			2MHz		1.1	1.2	1.5	1.2	
I _{DD(Sleep)}	Sleep 模式下的供电电流	PLL enable, HSI enable	16MHz	SRAM	1.7	1.8	1.7	1.9	mA
			8MHz		1.4	1.5	1.5	1.6	
		PLL disable, HSI enable	4MHz		1.0	1.1	1.1	1.2	
			2MHz		0.9	1.1	1.0	1.1	

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	105°C	25°C	105°C	
I _{DD(Stop 0)}	Stop0 模式下的供电电流	LDO/LSE/LSI enable	32KHz (LSE)	Flash Memory	206	328	217	337	μA
			32KHz (LSI)		206	329	217	338	
		LDO/LSE/LSI disable	外部中断 (关闭所有时钟)		131	225	139	226	
I _{DD(Stop 0)}	Stop0 模式下的供电电流	LDO/LSE/LSI enable	32KHz (LSE)	SRAM	148	245	159	296	μA
			32KHz (LSI)		213	336	228	348	
		LDO/LSE/LSI disable	外部中断 (关闭所有时钟)		136	334	147	346	
I _{DD(Stop 1)}	Stop1 模式下的供电电流	LDO/LSE/LSI enable	32KHz (LSE)	Flash Memory	10	59	11	65	μA
			32KHz (LSI)		12	58	13	65	
		LDO/LSE/LSI disable	外部中断 (关闭所有时钟)		12	57	13	64	
I _{DD(Stop 1)}	Stop1 模式下的供电电流	LDO/LSE/LSI enable	32KHz (LSE)	SRAM	6	35	6	48	μA
			32KHz (LSI)		8	54	8	62	
		LDO/LSE/LSI disable	外部中断 (关闭所有时钟)		7	54	8	63	

表 5-3-5-2 在不同 die 温度下, run、sleep、stop 三种模式的电流消耗(VDD=3.3V)

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	105°C	25°C	105°C	
I _{DD(Run)}	Run 模式下的供电电流	PLL disable, HSE enable	16MHz, by pass mode	Flash Memory	2.0	2.2	2.1	2.4	mA
				SRAM	1.4	2.1	1.5	2.2	
I _{DD(Run)}	Run 模式下的供电电流	PLL disable, LSE enable	32KHz, by pass mode	Flash Memory	0.6	0.7	0.6	0.7	mA
				SRAM	0.5	0.7	0.6	0.7	
I _{DD(Run)}			64MHz		6.2	6.4	6.5	6.5	mA

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	105°C	25°C	105°C	
	Run 模式下的供电电流	PLL enable, HSI enable	56MHz	Flash Memory	5.6	6.5	5.8	6.6	
			48MHz		5.1	6.2	5.1	6.5	
			40MHz		4.3	4.5	4.5	4.6	
			32MHz		3.8	4.2	4.1	4.3	
			24MHz		2.6	3.5	3.4	3.5	
			16MHz		2.4	3.2	2.5	3.3	
			8MHz		2.1	2.4	2.2	2.4	
		PLL disable, HSI enable	4MHz		2.0	2.0	2.0	2.0	
			2MHz		1.6	1.8	1.7	1.9	
I _{DD(Run)}	Run 模式下的供电电流	PLL enable, HSI enable	64MHz	SRAM	5.4	5.6	5.6	5.7	mA
			56MHz		4.9	5.1	5.1	5.1	
			48MHz		4.3	4.5	4.5	4.6	
			40MHz		3.9	4.1	4.0	4.1	
			32MHz		3.3	3.5	3.4	3.5	
			24MHz		3.1	3.0	3.2	3.3	
			16MHz		2.2	2.4	2.3	2.5	
			8MHz		1.7	2.0	1.9	2.1	
		PLL disable, HSI enable	4MHz		1.2	1.4	1.3	1.4	
			2MHz		1.1	1.2	1.1	1.3	
I _{DD(Sleep)}	Sleep 模式下的供电电流	PLL enable, HSI enable	16MHz	Flash Memory	1.5	1.8	1.7	2.0	mA
			8MHz		1.4	1.6	1.5	1.7	
		PLL disable, HSI enable	4MHz		1.2	1.2	1.6	1.2	
			2MHz		1.2	1.1	1.5	1.2	
I _{DD(Sleep)}	Sleep 模式下的供电电流	PLL enable, HSI enable	16MHz	SRAM	1.7	1.9	1.8	1.9	mA
			8MHz		1.4	1.6	1.5	1.6	
		PLL disable, HSI enable	4MHz		1.0	1.2	1.1	1.2	
			2MHz		1.0	1.1	1.0	1.2	
I _{DD(Stop0)}	Stop0 模式下的供电电流	LDO/LSE/LSI enable	32KHz (LSE)	Flash Memory	195	340	228	353	μA
			32KHz (LSI)		216	343	229	352	
		LDO/LSE/LSI disable	外部中断 (关闭所有时钟)		133	228	141	231	
I _{DD(Stop0)}	Stop0 模式下的供电电流	LDO/LSE/LSI enable	32KHz (LSE)	SRAM	159	283	171	299	μA
			32KHz (LSI)		225	374	241	422	

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	105°C	25°C	105°C	
		LDO/LSE/LSI disable	外部中断 (关闭所有时钟)		135	351	143	365	
I _{DD(Stop1)}	Stop1 模式下的供电电流	LDO/LSE/LSI enable	32KHz (LSE)	Flash Memory	11	70	13	78	μA
			32KHz (LSI)		15	71	17	80	
		LDO/LSE/LSI disable	外部中断 (关闭所有时钟)		14	70	16	78	
I _{DD(Stop1)}	Stop1 模式下的供电电流	LDO/LSE/LSI enable	32KHz (LSE)	SRAM	9	41	10	54	μA
			32KHz (LSI)		11	68	12	77	
		LDO/LSE/LSI disable	外部中断 (关闭所有时钟)		10	68	11	78	

表 5-3-5-3 在不同 die 温度下，run、sleep、stop 三种模式的电流消耗(VDD=5.0V)

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	105°C	25°C	105°C	
I _{DD(Run)}	Run 模式下的供电电流	PLL disable, HSE enable	16MHz, by pass mode	Flash Memory	1.8	2.3	2.2	2.4	mA
				SRAM	1.0	2.1	1.1	2.2	
I _{DD(Run)}	Run 模式下的供电电流	PLL disable, LSE enable	32KHz, by pass mode	Flash Memory	0.6	0.7	0.6	0.7	mA
				SRAM	0.4	0.6	0.6	0.6	
I _{DD(Run)}	Run 模式下的供电电流	PLL enable, HSI enable	64MHz	Flash Memory	6.2	6.4	6.5	6.5	mA
			56MHz		5.6	6.4	5.8	6.5	
			48MHz		5.0	6.2	5.1	6.5	
			40MHz		4.3	4.5	4.4	4.6	
			32MHz		3.8	4.2	4.1	4.3	
			24MHz		2.6	3.5	3.4	3.5	
			16MHz		2.4	3.1	2.5	3.3	
			8MHz		2.1	2.4	2.2	2.4	
		PLL disable, HSI enable	4MHz	SRAM	2.0	2.0	2.0	2.1	
			2MHz		1.6	1.8	1.7	1.9	
I _{DD(Run)}	Run 模式下的供电电流	PLL enable, HSI enable	64MHz	SRAM	5.4	5.6	5.6	5.6	mA
			56MHz		4.9	5.1	5.1	5.1	

符号	参数	条件			典型值		最大值		单位
		常规	f_{HCLK}	运行方式	25°C	105°C	25°C	105°C	
			48MHz		4.3	4.5	4.5	4.6	
			40MHz		3.9	4.1	4.0	4.1	
			32MHz		3.3	3.5	3.4	3.5	
			24MHz		3.1	3.0	3.2	3.3	
			16MHz		2.2	2.4	2.3	2.5	
			8MHz		1.7	2.0	1.9	2.1	
		PLL disable, HSI enable	4MHz		1.2	1.4	1.3	1.4	
			2MHz		1.1	1.3	1.1	1.3	
$I_{DD(Sleep)}$	Sleep 模式下的供电电流	PLL enable, HSI enable	16MHz	Flash Memory	1.6	1.8	1.8	2.0	mA
			8MHz		1.5	1.6	1.5	1.7	
		PLL disable, HSI enable	4MHz		1.3	1.2	1.6	1.3	
			2MHz		1.2	1.2	1.6	1.2	
$I_{DD(Sleep)}$	Sleep 模式下的供电电流	PLL enable, HSI enable	16MHz	SRAM	1.7	1.9	1.8	1.9	mA
			8MHz		1.4	1.6	1.5	1.6	
		PLL disable, HSI enable	4MHz		1.0	1.2	1.1	1.3	
			2MHz		1.0	1.2	1.0	1.2	
$I_{DD(Stop0)}$	Stop0 模式下的供电电流	LDO/LSE/LSI enable	32KHz (LSE)	Flash Memory	204	355	237	364	μA
			32KHz (LSI)		226	356	238	364	
		LDO/LSE/LSI disable	外部中断 (关闭所有时钟)		136	232	144	234	
$I_{DD(Stop0)}$	Stop0 模式下的供电电流	LDO/LSE/LSI enable	32KHz (LSE)	SRAM	170	270	182	287	μA
			32KHz (LSI)		236	370	252	385	
		LDO/LSE/LSI disable	外部中断 (关闭所有时钟)		139	368	146	383	
$I_{DD(Stop1)}$	Stop1 模式下的供电电流	LDO/LSE/LSI enable	32KHz (LSE)	Flash Memory	13	87	16	98	μA
			32KHz (LSI)		19	87	21	97	
		LDO/LSE/LSI disable	外部中断 (关闭所有时钟)		18	85	19	97	
$I_{DD(Stop1)}$		LDO/LSE/LSI enable	32KHz (LSE)	SRAM	13	59	13	72	μA

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	105°C	25°C	105°C	
	Stop1 模式下的供电电流		32KHz (LSI)		15	83	16	95	
		LDO/LSE/LSI disable	外部中断 (关闭所有时钟)		14	83	15	96	

表 5-3-5-4 在不同 die 温度下, run、sleep、stop 三种模式的电流消耗(VDD=5.5V)

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	105°C	25°C	105°C	
I _{DD(Run)}	Run 模式下的供电电流	PLL disable, HSE enable	16MHz, by pass mode	Flash Memory	1.7	2.3	2.1	2.4	mA
				SRAM	0.9	2.1	1.0	2.2	
I _{DD(Run)}	Run 模式下的供电电流	PLL disable, LSE enable	32KHz, by pass mode	Flash Memory	0.6	0.7	0.6	0.7	mA
				SRAM	0.4	0.6	0.6	0.6	
I _{DD(Run)}	Run 模式下的供电电流	PLL enable, HSI enable	64MHz	Flash Memory	6.2	6.4	6.5	6.5	mA
			56MHz		5.6	6.4	5.8	6.5	
			48MHz		5.0	6.2	5.1	6.5	
			40MHz		4.3	4.5	4.4	4.6	
			32MHz		3.8	4.2	4.1	4.3	
			24MHz		2.6	3.5	3.4	3.5	
			16MHz		2.4	3.2	2.5	3.3	
			8MHz		2.1	2.4	2.2	2.4	
		PLL disable, HSI enable	4MHz		2.0	2.0	2.0	2.1	
			2MHz		1.7	1.8	1.7	1.9	
I _{DD(Run)}	Run 模式下的供电电流	PLL enable, HSI enable	64MHz	SRAM	5.4	5.6	5.6	5.6	mA
			56MHz		4.9	5.1	5.1	5.1	
			48MHz		4.3	4.5	4.5	4.5	
			40MHz		3.9	4.1	4.0	4.1	
			32MHz		3.3	3.5	3.4	3.5	
			24MHz		3.1	3.0	3.2	3.3	
			16MHz		2.2	2.4	2.3	2.5	
			8MHz		1.7	2.0	1.9	2.1	
		PLL disable, HSI enable	4MHz		1.2	1.4	1.3	1.4	
			2MHz		1.1	1.3	1.1	1.3	
I _{DD(Sleep)}	Sleep 模式下的供电电流	PLL enable, HSI enable	16MHz	Flash Memory	1.7	1.9	1.8	2.0	mA
			8MHz		1.6	1.7	1.6	1.7	
			4MHz		1.3	1.3	1.7	1.3	

符号	参数	条件			典型值		最大值		单位
		常规	f _{HCLK}	运行方式	25°C	105°C	25°C	105°C	
		PLL disable, HSI enable	2MHz		1.2	1.2	1.6	1.2	
I _{DD(Sleep)}	Sleep 模式下的供电电流	PLL enable, HSI enable	16MHz	SRAM	1.7	1.9	1.8	1.9	mA
			8MHz		1.4	1.6	1.5	1.6	
		PLL disable, HSI enable	4MHz		1.0	1.2	1.1	1.3	
			2MHz		1.0	1.2	1.0	1.2	
I _{DD(Stop0)}	Stop0 模式下的供电电流	LDO/LSE/LSI enable	32KHz (LSE)	Flash Memory	208	359	241	368	μA
			32KHz (LSI)		230	362	243	370	
		LDO/LSE/LSI disable	外部中断 (关闭所有时钟)		137	234	145	235	
I _{DD(Stop0)}	Stop0 模式下的供电电流	LDO/LSE/LSI enable	32KHz (LSE)	SRAM	174	267	186	285	μA
			32KHz (LSI)		240	375	257	393	
		LDO/LSE/LSI disable	外部中断 (关闭所有时钟)		140	374	148	390	
I _{DD(Stop1)}	Stop1 模式下的供电电流	LDO/LSE/LSI enable	32KHz (LSE)	Flash Memory	14	91	17	103	μA
			32KHz (LSI)		20	91	22	103	
		LDO/LSE/LSI disable	外部中断 (关闭所有时钟)		19	90	21	103	
I _{DD(Stop1)}	Stop1 模式下的供电电流	LDO/LSE/LSI enable	32KHz (LSE)	SRAM	15	62	15	74	μA
			32KHz (LSI)		17	88	17	100	
		LDO/LSE/LSI disable	外部中断 (关闭所有时钟)		15	88	16	101	

表 5-3-5-5 外设电流消耗⁽¹⁾

外设	总线	μA/MHz			
		Run 模式		Sleep 模式	
		3.3V	5.0V	3.3V	5.0V
IOPORT Bus	IOPORT	-	-	-	-
GPIOA		1.4	1.4	1.4	1.4

外设	总线	$\mu\text{A}/\text{MHz}$			
		Run 模式		Sleep 模式	
		3.3V	5.0V	3.3V	5.0V
GPIOB		1.4	1.4	1.5	1.5
GPIOC		0.9	0.8	0.9	0.9
GPIOD		1.1	1.1	1.1	1.0
GPIOF		0.9	0.8	0.9	0.9
所有 AHB 上的外设	AHB	-	-	-	-
HDIV		1.1	1.1	1.1	1.1
CRC		0.5	0.5	0.5	0.5
CORDIC		7.1	6.9	7.2	7.1
DMA		12.2	11.9	12.3	12.1
所有 APB1 上的外设	APB1	-	-	-	-
LPTIM1					
DAC1		2.8	2.8	2.8	2.8
PWR		0.9	0.8	0.9	0.9
I2C1		8.6	8.3	8.6	8.5
LPUART1		10.3	10.1	10.4	10.3
WWDG		0.4	0.6	0.6	0.6
TIM7		1.2	1.2	1.2	1.2
TIM6		1.2	1.1	1.1	1.1
TIM3		11.2	10.9	11.3	11.1
TIM2		10.8	10.4	10.8	10.7
所有 APB2 上的外设	APB2	-	-	-	-
ADC		11.7	11.3	11.7	11.6
TIM17		5.3	5.0	5.3	5.3
TIM16		5.2	5.4	5.3	5.5
TIM15		8.4	8.1	8.5	8.4
TIM14		3.0	2.9	3.0	2.9
USART1		25.1	24.9	25.6	25.4
SPI1		4.0	3.8	4.1	4.0
TIM1		17.9	17.4	18.0	17.8

1. 系统时钟为 HSI16。

5.3.6 低功耗模式唤醒时间

低功耗唤醒时间表 5-3-6-1 中给出的唤醒时间是事件和执行第一条用户指令之间的延迟。

表 5-3-6-1 低功耗唤醒时间

符号	参数	条件	典型值	最大值	单位
t_{WUSLEEP}	从 Sleep 模式唤醒至 Run 模式	-	5 ⁽¹⁾	6 ⁽¹⁾	CPU cycles

符号	参数	条件	典型值	最大值	单位
t_{WUSTOP}	从 Stop 模式唤醒至 Run 模式	HSIKERON 复位、BGR 关闭(BGR LDO HSI 进入 STOP 模式后关闭)	6.0	13.2 ⁽¹⁾	μs
		HSIKERON 复位、BGR 不关闭(LDO HSI 进入 STOP 模式后关闭)	6.1	13.2 ⁽¹⁾	
		HSIKERON 置位(BGR LDO HSI 始终打开)	3	10.7 ⁽¹⁾	

1. 设计保证。

表 5-3-6-2 使用 LPTIM 唤醒时间

符号	参数	条件	典型值	最大值	单位
$t_{WULPTIM}$	当 LPTIM 配置为外部时钟源、外部计数源时，计算允许从停止模式唤醒的最大 LPTIM 外部时钟所需的唤醒时间	Stop 模式 HSIKERON 清零(LDO HSI 进入 STOP 模式后关闭、VPULL 打开)	100	110	μs
		Stop 模式 HSIKERON 置位(LDO HSI 始终打开)	6.8	7	μs

5.3.7 外部时钟源特性

外部信号源产生的高速外部用户时钟

在旁路模式下，HSE 振荡器被关闭，输入引脚是一个标准的 GPIO。外部时钟信号必须遵守第 5-3-13 章节中的 I/O 特性。推荐的时钟输入波形见图 5-3-7-1。

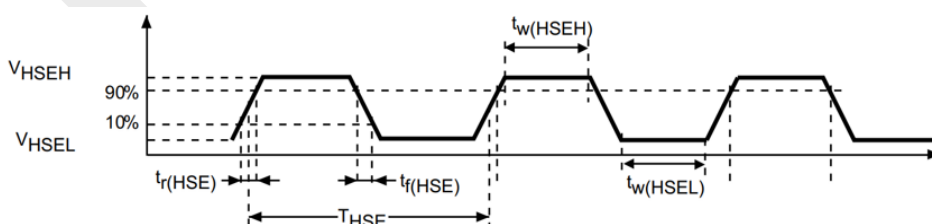


图 5-3-7-1 高速外部时钟源 AC 特性时序图

表 5-3-7-1 高速外部用户时钟特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_EXT}	用户外部时钟源频率	$V_{DD}=5.0V$	-	16	50	MHz
V_{HSEH}	OSC_IN 输入引脚高电平	-	0.7V _{DD}	5	5	V
V_{HSEL}	OSC_IN 输入引脚低电平	-	0	0	0.3V _{DD}	V
$T_{w(HSEH)}$ $T_{w(HSEL)}$	OSC_IN 输入引脚高低电平时间	$V_{DD}=5.0V$	3.77	-	-	ns

1. 设计保证。

外部信号源产生的低速外部用户时钟

在旁路模式下，LSE 振荡器被关闭，输入引脚是一个标准的 GPIO。外部时钟信号必须遵守第 5-3-13 章节中的 I/O 特性。推荐的时钟输入波形见图 5-3-7-2。

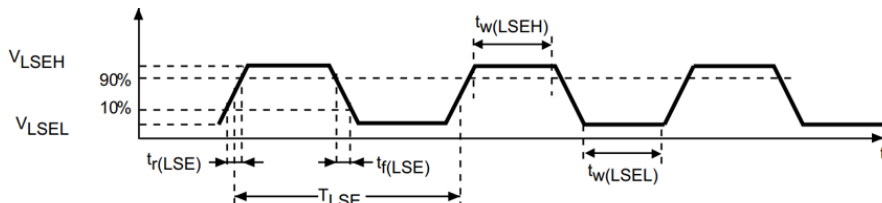


图 5-3-7-2 低速外部时钟源 AC 特性时序图

表 5-3-7-2 低速外部用户时钟特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSE_ext}	用户外部时钟源频率	-	-	32.768	1000	KHz
V_{LSEH}	OSC32_IN 输入引脚高电平	-	$0.6V_{DDLSE}^{(2)}$	-	V_{DD}	V
V_{LSEL}	OSC32_IN 输入引脚低电平	-	V_{SS}	-	$0.3 V_{DDLSE}^{(2)}$	V
$T_{w(LSEH)}$ $T_{w(LSEL)}$	OSC32_IN 输入引脚高低电平时间	-	190	-	-	ns

1. 设计保证

2. $V_{DDLSE} = 1.5V$

晶体/陶瓷谐振器产生的高速外部时钟

高速外部（HSE）时钟可由 2 至 20 MHz 的晶体/陶瓷谐振器振荡器提供。在应用时，谐振器和负载电容器必须尽可能靠近以最小化输出失真和启动稳定时间。参考有关谐振器特性的更多详细信息，请联系晶体谐振器制造商（频率、封装、精度）。

表 5-3-7-3 HSE 晶振模式特性⁽¹⁾

符号	参数	条件 ⁽²⁾	最小值	典型值	最大值	单位
f_{OSC_IN}	晶振频率	-	2	16	20	MHz
R_F	反馈电阻	-	-	1	-	MΩ
$I_{DD(HSE)}$	HSE 电流消耗	启动期间 ⁽³⁾	-	-	1.95	mA
		$G0=0^{(4)}$ $V_{DD} = 5V$, $CL = 20pF@2MHz$	-	0.43	0.78	
		$G0=0^{(4)}$ $V_{DD} = 5V$, $CL = 12pF@16MHz$	-	0.75	1.25	
		$G0=0^{(4)}$ $V_{DD} = 5V$, $CL = 18pF@24MHz$	-	0.85	1.36	
		$G0=1^{(4)}$ $V_{DD} = 5V$, $CL = 20 pF@2MHz$	-	0.72	1.35	

符号	参数	条件 ⁽²⁾	最小值	典型值	最大值	单位
		G0=1 ⁽⁴⁾ V _{DD} = 5V, CL = 12pF@16MHz	-	1.16	2.18	
		G0=1 ⁽⁴⁾ V _{DD} = 5V, CL = 18pF@24MHz	-	1.46	2.70	
G _m ⁽⁴⁾	最大临界晶体跨导	G0=0	0.9	1.3	1.8	mA/V
		G0=1	1.4	2.3	3.3	mA/V
t _{SU(HSE)} ⁽⁵⁾	建立时间	V _{DD} 稳定	-	1.7	-	ms

- 设计保证。
- 晶振参数由晶振厂商提供。
- 启动时间前 2/3 期间的电流消耗水平。
- G0=0:HSE 驱动能力选择正常驱动；G0=1:HSE 驱动能力选择大驱动。
- 建立时间是从软件使能到 16MHz 晶振稳定的时间，不同厂家晶振的建立时间区别较大。

对于 C_{L1} 和 C_{L2}，建议在 5 pF 至 20 pF 范围（典型值），专为高频应用而设计，并经过选择以匹配晶体或谐振器的要求（见图 5-3-7-3）。C_{L1} 和 C_{L2} 电容大小通常是相同的。晶体制造商通常指定负载电容，该负载电容是 C_{L1} 和 C_{L2} 的串联组合。当确定 C_{L1} 和 C_{L2} 的电容量时，必须包括 PCB 和 MCU 引脚电容（10pF 可以用作引脚和板电容组合的粗略估计）。

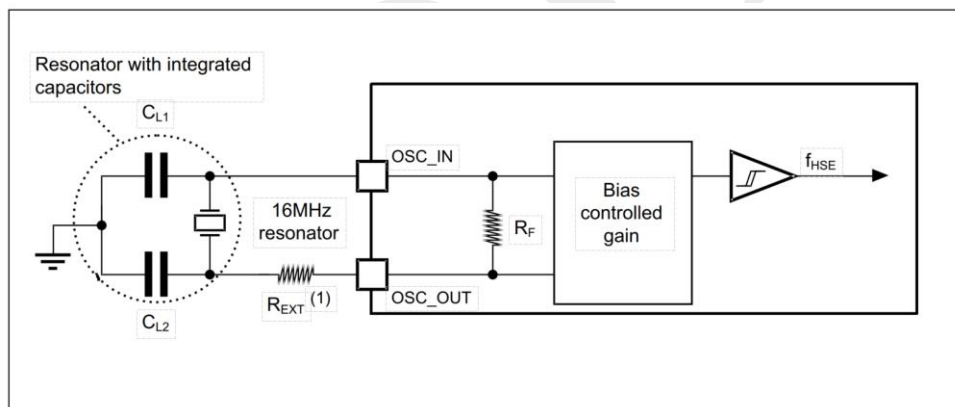


图 5-3-7-3 16MHz 晶振的典型应用

注：R_{EXT} 值取决于晶振特性。

晶体谐振器产生的低速外部时钟

低速外部（LSE）时钟可由 32.768KHz 的晶体谐振器提供。在应用时，谐振器和负载电容器必须尽可能靠近以最小化输出失真和启动稳定时间。参考有关谐振器特性的更多详细信息，请联系晶体谐振器制造商（频率、封装、精度）。

表 5-3-7-4 LSE 晶振模式特性(f_{LSE} = 32.768KHz)⁽¹⁾

符号	参数	条件 ⁽¹⁾	最小值	典型值	最大值	单位
I _{DD(LSE)}	LSE 电流消耗	LSEDRV[1:0] = 00 低驱动能力	-	0.22	0.80	μA

符号	参数	条件 ⁽¹⁾	最小值	典型值	最大值	单位
		LSEDRV[1:0] = 01 中低驱动能力	-	0.27	1.90	
		LSEDRV[1:0] = 10 中驱动能力	-	0.30	3.50	
		LSEDRV[1:0] = 11 高驱动能力	-	0.32	4.50	
G_m	最大临界晶体跨导	LSEDRV[1:0] = 00 低驱动能力	-	-	8	$\mu A/V$
		LSEDRV[1:0] = 01 中低驱动能力	-	-	25	
		LSEDRV[1:0] = 10 中驱动能力	-	-	48	
		LSEDRV[1:0] = 11 高驱动能力	-	-	62	
$t_{SU(LSE)}^{(2)}$	建立时间	V_{DD} 稳定	-	519	-	ms

- 设计保证。
- 建立时间是从软件使能到 32.768KHz 晶振稳定的时间，不同厂家晶振的建立时间区别较大。

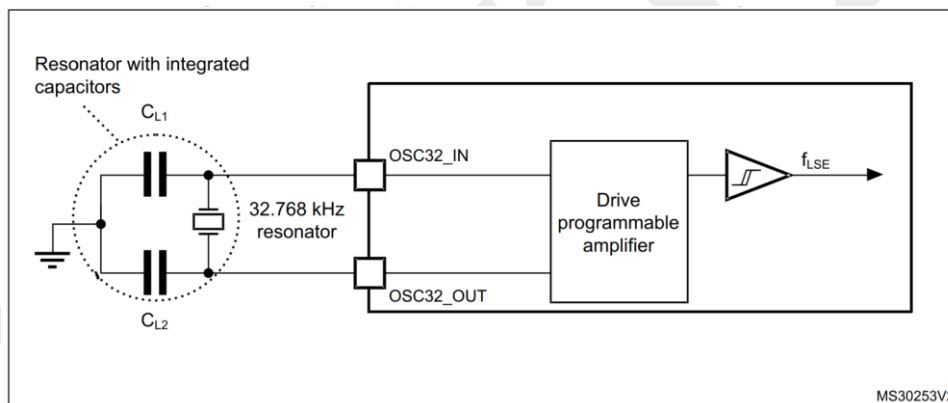


图 5-3-7-4 32.768KHz 晶振的典型应用

注：OSC32_IN 和 OSC32_OUT 之间不需要外部电阻。

5.3.8 内部时钟源特性

本章节的表 5-3-8-1~表 5-3-8-3 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的环境温度和供电电压条件下进行的测试。所提供的曲线是表征结果，未在生产中测试。

表 5-3-8-1 内部 HSI 时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	HSI 频率	$V_{DD}=5.0V, T_A=25^{\circ}C$	10.76	16.00	22.07	MHz
$\Delta_{Temp(HSI)}$	HSI 频率随温度漂移	$T_A=0$ to $105^{\circ}C$	-2.67	-	0.59	%
		$T_A=-40$ to $105^{\circ}C$	-2.67	-	1.24	%

符号	参数	条件	最小值	典型值	最大值	单位
$\Delta V_{DD}(HSI)$	HSI 频率随 V_{DD} 漂移	$V_{DD}=2.5-6.0V$	-	-	0.69	%
TRIM	HSI 频率用户修调步长	Trim 值从 0x00 到 0xFF	-0.03	-	0.53	%
$D_{HSI}^{(1)}$	占空比	-	45	-	55	%
$t_{su}(HSI)^{(1)}$	HSI 启动时间	-	-	0.8	-	μs
$t_{stab}(HSI)^{(1)}$	HSI 稳定时间	-	0.9	1.8	2.3	μs
$I_{DD}(HSI)^{(1)}$	HSI 功耗	-	-	151	228	μA

1. 设计保证。

表 5-3-8-2 内部 MSI 时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{MSI}	MSI 频率	$V_{DD}=5.0V, T_A=25^{\circ}C$	2.63	4.00	5.62	MHz
$\Delta_{Temp}(MSI)$	MSI 频率随温度漂移	$T_A=0 \text{ to } 105^{\circ}C$	-2.77	-	0.6	%
		$T_A=-40 \text{ to } 105^{\circ}C$	-2.77	-	1.84	%
$\Delta V_{DD}(MSI)$	MSI 频率随 V_{DD} 漂移	$V_{DD}=2.5 \text{ to } 6.0V$	-	-	0.27	%
TRIM	MSI 频率用户修调步长	Trim 值从 0x00 到 0xFF	-0.10	-	0.76	%
$D_{MSI}^{(1)}$	占空比	-	45	-	55	%
$t_{su}(MSI)^{(1)}$	MSI 启动时间	-	-	3.1	-	μs
$t_{stab}(MSI)^{(1)}$	MSI 稳定时间	-	0.9	3.6	5.4	μs
$I_{DD}(MSI)^{(1)}$	MSI 功耗	-	-	62	72	μA

1. 设计保证。

表 5-3-8-3 内部 LSI 时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{LSI}	LSI 频率	$V_{DD}=5.0V, T_A=25^{\circ}C$	22.21	32.77	34.28	KHz
$\Delta_{Temp}(LSI)$	LSI 频率随温度漂移	$T_A=0 \text{ to } 105^{\circ}C$	-4.53	-	-0.25	%
		$T_A=-40 \text{ to } 105^{\circ}C$	-4.53	-	-0.25	%
$\Delta V_{DD}(LSI)$	LSI 频率随 V_{DD} 漂移	$V_{DD}=2.5 \text{ to } 6.0V$	-	-	0.22	%
TRIM	LSI 频率用户修调步长	Trim 值从 0x00 到 0x3F	0.02	-	1.41	%
$D_{LSI}^{(1)}$	占空比	-	45	-	60	%
$t_{su}(LSI)^{(1)}$	LSI 启动时间	-	-	261.2	-	μs
$t_{stab}(LSI)^{(1)}$	LSI 稳定时间	-	-	40.0	80.0	μs
$I_{DD}(LSI)^{(1)}$	LSI 功耗	-	0.8	-	1.6	μA

1. 设计保证。

5.3.9 PLL 特性

本章节的表 5-3-9 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的环境温度和供电电压条件下进行的测试。

表 5-3-9 PLL 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
f_{PLL_IN}	PLL 输入时钟频率	-	3	-	24	MHz
D_{PLL_IN}	PLL 输入时钟占空比	-	45	-	55	%
$f_{PLL_R_OUT}$	PLL multiplier 输出时钟 R	-	6	-	144	MHz
f_{VCO_OUT}	PLL VCO 输出	-	48	-	144	MHz
t_{LOCK}	PLL lock 时间	PLL 输入时钟=3MHZ, VCO freq=48MHz	-	10	-	μs
		PLL 输入时钟=3MHZ, VCO freq=96MHz	-	10	-	
		PLL 输入时钟=12MHZ, VCO freq=144MHz	-	8	-	
Jitter	RMS period 抖动	PLL 输入时钟=3MHZ, VCO freq=48MHz	-15.47	-	28.23	ps
		PLL 输入时钟=3MHZ, VCO freq=96MHz	-32.79	-	22.85	
		PLL 输入时钟=12MHZ, VCO freq=144MHz	-41.28	-	15.05	
$I_{DD(PLL)}$	在 V_{DD} 上, PLL 的电流消耗	HSI=3MHz 作为 pll 时钟源, VCO freq=48MHz	-	108	150	μA
		HSE=3MHz 作为 pll 时钟源, VCO freq=96MHz	-	191	250	
		HSI=12MHz 作为 pll 时钟源, VCO freq=144MHz	-	268	335	

1. 设计保证。

5.3.10 Flash memory 特性

表 5-3-10-1 Flash memory 特性

符号	参数	条件	典型值	最大值	单位
t_{prog}	32bit 编程时间	系统时钟 64MHz	26.8	30 ⁽¹⁾	μs
t_{prog_page}	Page(1KB)编程时间	系统时钟 64MHz	6.4	7.7 ⁽¹⁾	ms
t_{erase_page}	Page(1KB)擦除时间		3.2	4 ⁽¹⁾	
t_{prog_bank}	Bank(64KB)编程时间	系统时钟 64MHz	426.1	491.5 ⁽¹⁾	ms
t_{mass_erase}	Mass 擦除时间		3.6	10 ⁽¹⁾	ms
$I_{DD(FlashA)}$	执行编程操作, 从 V_{DD} 上消耗的平均电流	-	4 ⁽¹⁾	-	mA
	执行擦操作, 从 V_{DD} 上消耗的平均电流	-	4 ⁽¹⁾	-	

1. 设计保证。

表 5-3-10-2 Flash memory 擦写寿命和数据保存时间

符号	参数	条件	最小值	单位
N_{END}	擦写寿命	$T_A = -40$ to 105°C	100k ⁽¹⁾	kcycles
t_{RET}	数据保存时间	$T_A = -40$ to 105°C	$\geq 10^{(1)}$	years

1. 设计保证。

5.3.11 ESD/EFT/EMI 特性

ESD 测试：根据每个引脚组合对每个样品的引脚施加静电放电(正、负电压各放电 10 次，每次放电间隔时间 ≥ 1 秒)，逐渐增大放电电压直至不满足判定条件。芯片的 VDD 与 VSS 之间并接一个 100uF/16V 电解电容和一个 104 电容。该测试符合 JESD22 标准。

ESD 测试结果如表 5-3-11-1 所示。

表 5-3-11-1 ESD 特性

符号	参数	条件	最大值	单位
$V_{ESD(HBM)}$	静电放电电压(人体模型)	$T_A = 15 \sim 35^{\circ}\text{C}$ ，湿度 30~60%，符合 JESD22-A114D HBM	4	KV

EFT 测试：脉冲群发生器的快速瞬变电压作用于芯片的 VDD 和 VSS，直到芯片程序工作发生异常。

EFT 测试结果如表 5-3-11-2 所示。

表 5-3-11-2 EFT 特性

符号	参数	条件	等级	典型值	单位
V_{EFT}	-	$T_A = 15 \sim 35^{\circ}\text{C}$ ，湿度 30~60%，符合 IEC61000-4-4	4	4	KV

EMI 测试：执行一个简单的应用程序(通过 I/O 端口切换 1 个 led)时，监视设备发出的电磁场。该发射测试符合 EN55014-1 标准。

测试结果如表 5-3-11-3 所示。

表 5-3-11-3 EMI 特性

符号	参数	条件	监测频段	OverLimit @ [f _{HSI} /f _{HCLK}]	单位
				16MHz/16MHz	
S_{EMI}	QP	$V_{DD} = 5\text{V}$, $f_{HCLK} = 16\text{MHz}$, $T_A = 25^{\circ}\text{C}$, 符合 EN55014-1	30MHz to 300MHz	-17	dBuV

5.3.12 I/O 电流注入特性

作为一般规则，在正常产品运行期间，应避免由于外部电压低于 V_{SS} 或高于 V_{DDIO1} (标准为 3.3V 允许的 I/O 引脚) 而向 I/O 引脚注入电流。然而，为了在异常注入偶尔发生的情况下显示微控制器的鲁棒性，在器件表征过程中以样本为基础进行敏感性测试。

对 I/O 电流注入的功能敏感性

当一个简单的应用程序在设备上执行时，设备通过向以浮动输入模式编程的 I/O 引脚注入电流来施加压力。当电流注入到 I/O 引脚，一次一个，以检查设备的功能故障。

失效由一个超出范围的参数表示:ADC 误差超过某个极限(高于 5LSB TUE)，相邻引脚上的诱导泄漏电流超出常规极限(-5uA/+0uA 范围)或其他功能失效(例如复位发生或振荡器频率偏差)。

负注入引起负感应泄漏电流，正注入引起正感应泄漏电流。

表 5-3-12 电流注入敏感性

符号	参数		功能敏感性		单位
			反向注入	正向注入	
I_{INJ}	注入电流引脚	ALL PIN	-0.50	N/A	mA

1. 正向注入电流 $V_{IN} > V_{DDIOx}$ ，反向注入电流 $V_{IN} < V_{SS}$ 。

5.3.13 I/O port 特性

除非另有说明，本章节的表 5-3-13-1~表 5-3-13-3 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的条件下进行的测试。所有 I/O 都设计为 CMOS 和 TTL 兼容。

表 5-3-13-1 I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	I/O 输入低电平电压	$V_{DD}=5.0V$ 任一 GPIO PIN	-	-	$0.3V_{DD}$	V
V_{IH}	I/O 输入高电平电压	$V_{DD}=5.0V$ 任一 GPIO PIN	$0.7V_{DD}$	-	-	V
$V_{hys}^{(1)}$	I/O 输入迟滞	$V_{DD}=5.0V$ 任一 GPIO PIN	-	-	1570	mV
$I_{lk}^{(1)}$	输入漏电流	$V_{DD}=5.0V$ 任一 GPIO PIN	-	1	-	nA
R_{PU}	弱上拉等效电阻	$V_{IN}=V_{SS}$	26	29	35	K Ω
R_{PD}	弱下拉等效电阻	$V_{IN}=V_{DD}$	15	17	20	K Ω
$C_{IO}^{(1)}$	I/O 引脚电容	-	-	0.2	-	pF

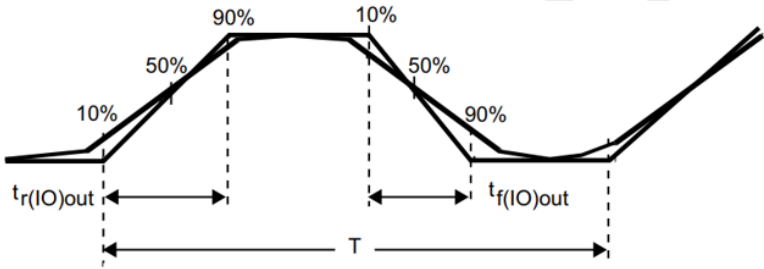
1. 设计保证。

表 5-3-13-2 I/O 输出电压特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{OL}^{(1)}$	I/O 输出低电平电压	$V_{DD}=5.0V, I_{IO} =40mA$ 任一 GPIO PIN	0.4	0.5	0.7	V
		$V_{DD}=5.0V, I_{IO} =75mA$ 任一 GPIO PIN	0.8	1.1	1.4	
$V_{OH}^{(1)}$	I/O 输出高电平电压	$V_{DD}=5.0V, I_{IO} =8mA$ 任一 GPIO PIN	4.6	4.7	4.8	V
		$V_{DD}=5.0V, I_{IO} =26mA$ 任一 GPIO PIN	3.3	3.9	4.3	

1. 设计保证。

输入/输出交流特性的定义和取值分别见下图和本章节的表 5-3-13-3。



Maximum frequency is achieved if $(t_r + t_f) \leq 2/3 T$ and if the duty cycle is (45-55%) when loaded by the specified capacitance.

图 5-3-13-1 I/O AC 特性定义

表 5-3-13-3 I/O AC 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
F_{max}	最大频率	$V_{DD}=3.3V, C=30pF$ 任一 GPIO PIN	-	75	MHz
		$V_{DD}=5.0V, C=30pF$ 任一 GPIO PIN	-	75	
T_r	输出上升时间	$V_{DD}=3.3V, C=30pF$ 任一 GPIO PIN	2.5	10.0	ns
		$V_{DD}=5.0V, C=30pF$ 任一 GPIO PIN			
T_f	输出下降时间	$V_{DD}=3.3V, C=30pF$ 任一 GPIO PIN	1.0	5.0	ns
		$V_{DD}=5.0V, C=30pF$ 任一 GPIO PIN			

1. 设计保证。

5.3.14 NRST 输入特性

NRST 输入驱动程序采用 CMOS 技术。它连接到一个永久上拉电阻 R_{PU} 。

除非另有说明，本章节的表 5-3-14 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的环境温度和供电电压条件下进行的测试。

表 5-3-14 NRST pin 特性(1)

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(NRST)}$	NRST 输入低电平电压	$2.0V < V_{DD} < 5.5V$	-	-	$0.3V_{DD}$	V
$V_{IH(NRST)}$	NRST 输入高电平电压	$2.0V < V_{DD} < 5.5V$	$0.7V_{DD}$	-	-	V
$V_{hys(NRST)}$	NRST 施密特触发器电压迟滞	$2.0V < V_{DD} < 5.5V$	-	-	1570	mV
R_{PU}	弱上拉等效电阻	$2.0V < V_{DD} < 5.5V$ $V_{IN} = V_{SS}$	11	15	22	K Ω
$V_F(NRST)$	NRST 输入过滤脉冲	-	-	-	16.0	μs

1. 设计保证。

5.3.15 OPAMP 特性

除非另有说明，本章节的表 5-3-15 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的在环境温度和 V_{DDA} 供电电压条件下进行的测试。

表 5-3-15 OPAMP 特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟电源电压	$V_{DD} = 5.0V$	2.3	-	6.0	V
$R_{AIN}^{(1)}$	外部输入阻抗	$V_{DDA} = V_{DD} = 5.0V$, @1MHz	81.8	110.7	118.2	K Ω
$R_{AOUT}^{(1)}$	OPAMP 输出阻抗	$V_{DDA} = V_{DD} = 5.0V$, @1MHz	5.39	12.77	28.13	Ω
$V_{OUT(OPAMP)}^{(1)}$	OPAMP 的输出范围	$V_{DDA} = V_{DD} = 5V$	0.01814	-	$V_{DDA} - 0.01832$	V
V_{icm}	共模输入	$V_{DDA} = V_{DD} = 3.3V$	0.0	-	3.2	V
		$V_{DDA} = V_{DD} = 5V$	0.0	-	4.9	V
Gain	增益	$V_{in} = 100mV, PGA_GAIN[2:0] = 000(1.4 \text{ 倍})$	1.4	1.4	1.4	V/V
		$V_{in} = 100mV, PGA_GAIN[2:0] = 001(1.8 \text{ 倍})$	1.9	1.9	1.9	
		$V_{in} = 100mV, PGA_GAIN[2:0] = 010(3.6 \text{ 倍})$	3.6	3.6	3.8	
		$V_{in} = 100mV, PGA_GAIN[2:0] = 011(4.5 \text{ 倍})$	4.5	4.5	4.8	
		$V_{in} = 100mV, PGA_GAIN[2:0] = 100(5.4 \text{ 倍})$	5.4	5.4	5.7	
		$V_{in} = 100mV, PGA_GAIN[2:0] = 101(8.1 \text{ 倍})$	8.1	8.1	8.6	
		$V_{in} = 100mV, PGA_GAIN[2:0] = 110(9.9 \text{ 倍})$	9.8	9.9	10.5	
		$V_{in} = 100mV, PGA_GAIN[2:0] = 111(15.2 \text{ 倍})$	15.2	15.3	16.2	
$CMRR^{(1)}$	共模抑制比	-	-	80	-	dB
$PSRR^{(1)}$	电源抑制比	$V_{com} = V_{DDA}/2$	-	80	-	dB
R_{Slew_rate}	摆率	SR+, No load	7.7	8.3	9.1	V/ μs
		SR-, No load	7.5	7.5	7.7	
$PM^{(1)}$	相位裕度	跟随模式, $V_{com} = V_{DDA}/2$	-	60	-	deg
$V_{offset}^{(1)}$	失调电压	$V_{in} = 0.2V$, 自动校准	-	-	± 1.5	mV

符号	参数	条件	最小值	典型值	最大值	单位
		$V_{in} = 1.7V$, 自动校准	-	-	± 1.5	
		$V_{in} = 3.6V$, 自动校准	-	-	± 1.5	
GBW	OPA 增益带宽积	$V_{DDA}=V_{DD} = 5V$	-	8.5	-	MHz
t_{STAB}	建立时间 (OPAMP 使能至输出稳定(波动小于 0.6%)时间)	$V_{DDA}=V_{DD} = 5V$, 正向放大模式 (SOPM=0x06); 增益为 20 倍; OPAMP 输入 240mV。	0.59	0.61	0.65	μs
$I_{DDA(OPAMP)}$	OPAMP 从 V_{DDA} 上消耗的电流	$V_{DDA} = 5V$; 正端输入电压 = 2.5V; 开环模式	-	1.1	1.2	mA

1. 设计保证。

5.3.16 ADC 特性

除非另有说明，本章节的表 5-3-16-1~表 5-3-16-3 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的在环境温度、 f_{PCLK} 频率和 V_{DDA} 供电电压条件下进行的测试。

表 5-3-16-1 ADC 特性⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
V _{DDA}	模拟电源电压	V _{DDA} =V _{REF+}	2.4	-	5.0	V
V _{REF+}	正向参考电压	V _{DDA} =5.0V	2.4	-	V _{DDA}	V
f _{ADC}	ADC 时钟频率	f _{ADC} 使用 PLL=64MHz	0.6 ⁽¹⁾	-	28.0	MHz
		f _{ADC} 使用 HSI=16MHz	0.6 ⁽¹⁾	-	16.0	
f _s	采样率	f _{ADC} =28MHz,12bits	-	-	2.00	MSps
f _{TRIG}	外部触发频率	f _{ADC} =28MHz,12bits	-	-	1.55	MHz
		f _{ADC} =其他,12bits	-	-	fadc/18	MHz
V _{AIN}	转换电压范围	V _{DDA} =V _{REF+} =5.0V	V _{SSA}	-	V _{REF+}	V
R _{AIN}	外部输入阻抗	V _{DDA} =V _{REF+} =5.0V,V _{in} =V _{REF+} /2, SAMPT=239.5cycle	-	-	20.5	KΩ
C _{ADC} ⁽¹⁾	内部采样保持电容	-	-	9	-	pF
t _{PEN} ⁽¹⁾	ADCEN 上电后保持时间(tSTAB)	-	-	0.8	-	μs
t _{PRSTN} ⁽¹⁾	RSTN 上电后保持时间	-	-	3	-	μs
t _{CAL}	校准时间	f _{ADC} =14MHz	5.63			μs
		f _{ADC} =其他	75			1/f _{ADC}
t _{LATR}	触发转换延迟	EXTEN=00	4			1/f _{ADC}
		EXTEN=01	4			
		EXTEN=10	4			

		EXTEN=11	4			
t_s	采样时间	$f_{ADC}=14\text{MHz}, 2.4\text{V} < V_{DDA} < 5.5\text{V}$	0.107	-	17.107	μs
			1.5	-	239.5	$1/f_{ADC}$
t_{CONV}	总的转换时间(包括采样时间)	$f_{ADC}=14\text{MHz}, 12\text{bits}$	1.0	-	18.0	μs
		$f_{ADC}=\text{其他}, 12\text{bits}$	14	-	252	$1/f_{ADC}$
t_{IDLE}	两次转换之间不需要重新准备的时间间隔	$f_{ADC}=14\text{MHz}, \text{SAMPT}=1.5\text{cycle}$	1.0	-	-	μs
$I_{VCC_ADC(ADC)}$	ADC 从 V_{DDA} 上消耗的电流	$f_s=1\text{MSps}, V_{DDA}=2.7\sim 5.5\text{V}, V_{REF+}$ 低于 V_{DDA}	250	460	531	μA
$I_{VREF+(ADC)}$	ADC 从 V_{REF+} 上消耗的电流	$f_s=1\text{MSps}, V_{DDA}=2.7\sim 5.5\text{V}, V_{REF+}$ 低于 V_{DDA}	57	109	132	μA

1. 设计保证。
2. 目前数值基于 25°C 下的测试结果。

 表 5-3-16-2 最大 ADC $R_{AIN}^{(1)}$

分辨率	采样周期@14MHz	采样时间@14MHz[ns]	最大 $R_{AIN}(\Omega)$
12bits	1.5	107	3.0K
	2.5	250	3.0K
	7.5	536	4.0K
	12.5	893	4.5K
	19.5	1393	5.5K
	39.5	2821	8.5K
	79.5	5679	13.0K
	119.5	8536	14.0K
	159.5	11393	16.5K
	199.5	14250	18.5K
	239.5	17107	20.5K

1. 目前数值基于 25°C 下的测试结果。

表 5-3-16-3 ADC 精度

符号	参数	条件	最小值	典型值	最大值	单位
E_0	失调误差	$f_s=1\text{MSps}, V_{DDA}=2.3\sim 2.7\text{V}, V_{REF+}<V_{DDA}, T_A=25^\circ\text{C}$	-13.4	-12	-7.9	LSB
		$f_s=1\text{MSps}, V_{DDA}=2.7\sim 5.5\text{V}, V_{REF+}<V_{DDA}, T_A=25^\circ\text{C}$	-12	-3	-2	
E_{DNL}	差分非线性误差	$f_s=1\text{MSps}, V_{DDA}=2.3\sim 2.7\text{V}, V_{REF+}<V_{DDA}, T_A=25^\circ\text{C}$	-1.0	0.9	1.5	LSB
		$f_s=1\text{MSps}, V_{DDA}=2.7\sim 5.5\text{V}, V_{REF+}<V_{DDA}, T_A=25^\circ\text{C}$	-1.0	0.9	1.6	
E_{INL}	积分非线性误差	$f_s=1\text{MSps}, V_{DDA}=2.3\sim 2.7\text{V}, V_{REF+}<V_{DDA}, T_A=25^\circ\text{C}$	-2.1	0.6	2.7	LSB
		$f_s=1\text{MSps}, V_{DDA}=2.7\sim 5.5\text{V}, V_{REF+}<V_{DDA}, T_A=25^\circ\text{C}$	-1.9	1.3	2.7	
$ENOB$	有效位数	$f_s=1\text{MSps}, V_{DDA}=2.3\sim 2.7\text{V}, V_{REF+}<V_{DDA}, T_A=25^\circ\text{C}$	10	10	10	bit
		$f_s=1\text{MSps}, V_{DDA}=2.7\sim 5.5\text{V}, V_{REF+}<V_{DDA}, T_A=25^\circ\text{C}$	10	11	11	
$SINAD$	信噪失真比	$f_s=1\text{MSps}, V_{DDA}=2.3\sim 2.7\text{V}, V_{REF+}<V_{DDA}, T_A=25^\circ\text{C}$	60	61	63	dB
		$f_s=1\text{MSps}, V_{DDA}=2.7\sim 5.5\text{V}, V_{REF+}<V_{DDA}, T_A=25^\circ\text{C}$	63	66	66	
SNR	信噪比	$f_s=1\text{MSps}, V_{DDA}=2.3\sim 2.7\text{V}, V_{REF+}<V_{DDA}, T_A=25^\circ\text{C}$	63	65	65	dB

		$f_s=1\text{MSps}$, $V_{DDA}=2.7\sim 5.5\text{V}$, $V_{REF+}<V_{DDA}$, $T_A=25^\circ\text{C}$	63	67	67	
THD	总谐波失真	$f_s=1\text{MSps}$, $V_{DDA}=2.3\sim 2.7\text{V}$, $V_{REF+}<V_{DDA}$, $T_A=25^\circ\text{C}$	-76	-63	-62	dB
		$f_s=1\text{MSps}$, $V_{DDA}=2.7\sim 5.5\text{V}$, $V_{REF+}<V_{DDA}$, $T_A=25^\circ\text{C}$	-79	-77	-75	
SFDR	无杂散动态范围	$f_s=1\text{MSps}$, $V_{DDA}=2.3\sim 2.7\text{V}$, $V_{REF+}<V_{DDA}$, $T_A=25^\circ\text{C}$	62	64	78	dB
		$f_s=1\text{MSps}$, $V_{DDA}=2.7\sim 5.5\text{V}$, $V_{REF+}<V_{DDA}$, $T_A=25^\circ\text{C}$	76	80	83	

ADC 的相关参数定义入下图所示:

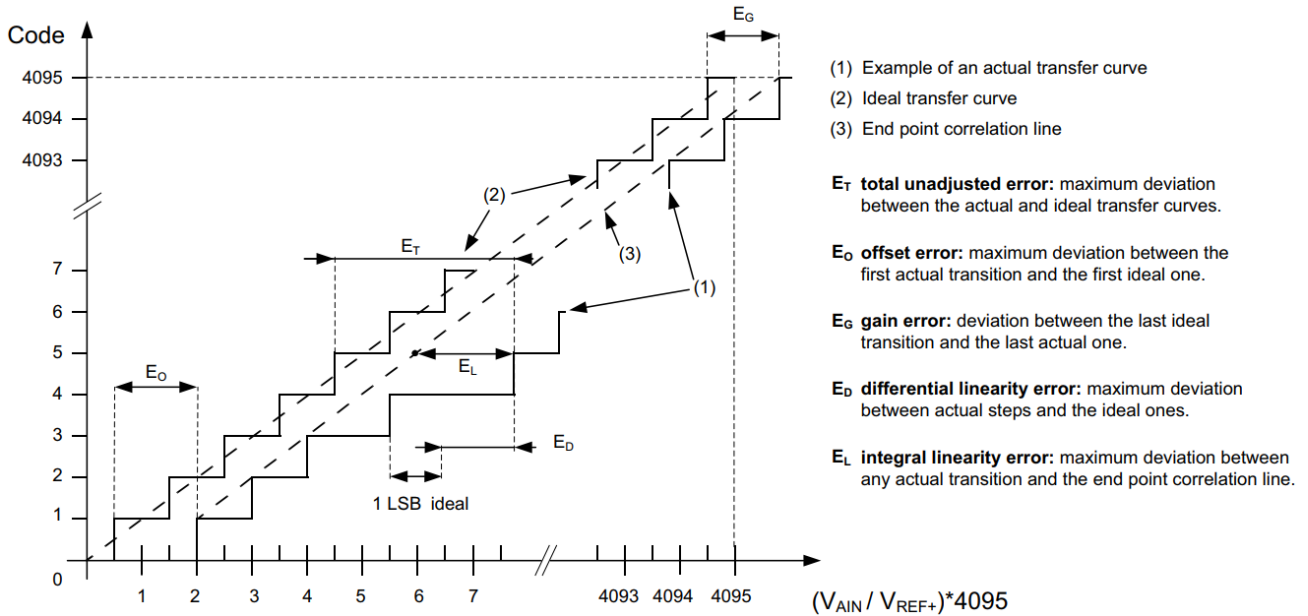


图 5-3-16-1 ADC 精度特征

5.3.17 DAC 特性

除非另有说明, 本章节的表 5-3-17-1~表 5-3-17-2 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的在环境温度、 f_{PCLK} 频率和 V_{DDA} 供电电压条件下进行的测试。

表 5-3-17-1 DAC 特性⁽²⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟电源电压	$1.6\text{V}<V_{DD}<6.0\text{V}$; DAC 输出 buffer 关闭	2.0	-	6.0	V
		$1.6\text{V}<V_{DD}<6.0\text{V}$; DAC 输出 buffer 打开	2.3	-	6.0	
$R_L^{(1)}$	电阻负载	DAC 输出 buffer 打				$K\Omega$
		开				
		连接 V_{SSA}	5	-	-	
		连接 V_{DDA}	25	-	-	
$R_O^{(1)}$	输出阻抗	DAC 输出 buffer 关闭	5.9	11.3	16.1	$K\Omega$
$C_L^{(1)}$	电容负载	DAC 输出 buffer 打开	-	-	50	pF
$V_{DAC_OUT}^{(1)}$	DAC_OUT 输出电压范围	$V_{DDA}=5.0\text{V}$, DAC 输出 buffer 打开	0.2	-	$V_{DDA}-0.2$	V
		$V_{DDA}=5.0\text{V}$, DAC 输出 buffer 关闭	0	-	V_{DDA}	

$t_{SETTLING}$	设置时间	buffer 打开;code 由 0x000 变为 0xB87; 无 CL;无 RL	$V_{DDA}=2.2V$	-	1.12	1.13	μs
			$V_{DDA}=3.3V$	-	1.06	1.12	
			$V_{DDA}=5.0V$	-	1.21	1.32	
		buffer 关闭;code 由 0x000 变为 0xE46; 无 CL;无 RL	$V_{DDA}=2.2V$	-	2.37	2.38	
			$V_{DDA}=3.3V$	-	2.34	2.36	
			$V_{DDA}=5.0V$	-	2.45	2.58	
PSRR ⁽¹⁾	V_{DDA} 电源抑制率	buffer 打开		52	82	-	dB
SR ⁽¹⁾	摆率	$V_{DDA}=5.0V$;buffer on;SR+		-	± 6.5	-	V/ μs
		$V_{DDA}=5.0V$;buffer on;SR-		-	± 6.5	-	
$I_{leak}^{(1)}$	输出漏电流	-		-	5.4	447.3	nA
$V_{offset}^{(1)}$	1 个修调码步长的中间码偏置	$V_{REF+}=5.0V$		-	1100	-	μV
		$V_{REF+}=3.3V$		-	1100	-	
$I_{DDA(DAC)}^{(1)}$	DAC 从 V_{DDA} 上消耗的电流	DAC 输出 buffer 关闭	无负载, (0x955 处电流-0x000 处电流)	-	395	681	μA
		DAC 输出 buffer 打开		-	536	947	
$I_{DDA(BUFFER)}^{(1)}$	DAC 的 BUFFER 从 V_{DDA} 上消耗的电流	DAC 输出 buffer 打开/关闭	无负载, (0x000 处电流差值)	-	212	404	μA
			无负载, (0x955 处电流差值)	-	709	1277	

1. 设计保证。
2. 目前数值基于 25°C 下的测试结果。

表 5-3-17-2 DAC 精度⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
DNL	差分非线性	$V_{DD}=5.0V$;DAC 输出 buffer 打开; CL=0.1 μF ; 无 RL	-	-	± 3.5	LSB
		$V_{DD}=5.0V$;DAC 输出 buffer 关闭; CL=0.1 μF ; 无 RL	-	-	± 3.6	
INL	积分非线性	$V_{DD}=5.0V$;DAC 输出 buffer 打开;CL=0.1 μF ; 无 RL	-	-	± 5.4	LSB
		$V_{DD}=5.0V$;DAC 输出 buffer 关闭; CL=0.1 μF ; 无 RL	-	-	± 4.0	
Offset	在 0x800 代码处的失调误差	DAC 输出 buffer 打开;CL=0.1 μF ;无 RL	-	-	± 0.9	LSB
		DAC 输出 buffer 关闭;CL=0.1 μF ;无 RL	-	-	± 12.4	
Offset1	在 0x001 代码处的失调误差	DAC 输出 buffer 打开;CL=0.1 μF ;无 RL	-	-	± 29.6	LSB
		DAC 输出 buffer 关闭;CL=0.1 μF ;无 RL	-	-	± 29.7	
TUE	未经修调的总误差	DAC 输出 buffer 打开;CL=0.1 μF ;无 RL	-	-	± 31.0	LSB
		DAC 输出 buffer 关闭;CL=0.1 μF ;无 RL	-	-	± 19.6	

TUECal	校准后未经修调的总误差	DAC 输出 buffer 打开;CL=0.1uF;无 RL	-	-	±29.4	LSB
THD	总谐波失真	DAC 输出 buffer 打开;CL=0.1uF;无 RL; $f_{out}=1.22\text{Hz}$; $f_s=2\text{KHz}$;Dots=8192	-	-54	-	dB
		DAC 输出 buffer 关闭;CL=0.1uF;无 RL; $f_{out}=1.22\text{Hz}$; $f_s=2\text{KHz}$;Dots=8192	-	-60	-	

1. 目前数值基于 25°C 下的测试结果。

5.3.18 COMP 特性

除非另有说明，本章节的表 5-3-18 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的在环境温度和 V_{DDA} 供电电压条件下进行的测试。

表 5-3-18-1 COMP 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
V_{DDA}	模拟电源电压	$2.0\text{V} < V_{DD} < 5.5\text{V}$	1.6	-	5.5	V
V_{IN}	比较器输入电压范围	$V_{DDA}=V_{DD}=5.0\text{V}$	0.0	-	5.3	V
V_{icm1}	CMP 共模输入	$V_{DDA}=5.0\text{V}$	0.0	-	5.0	V
T_{setup1}	CMP PD 使能后建立时间	PD=0	-	1	42	ns
$T_{respond1}$	CMP 输入变化后响应时间	cip/cin change	-	17.3	24.0	ns
t_{START}	比较器启动时间达到传播延迟规范	$V_{DDA}=V_{DD}$	-	-	2	μs
t_D	传播延时	200mV 步长, 100mV 过驱	-	21.6	32.5	ns
V_{hys}	比较器迟滞	$V_{DDA}=V_{DD}$	17	25	33	mV
I_d	关断电流	PD=1	-	30	-	nA
$I_{DDA(COMP)}$	比较器从 V_{DDA} 上消耗的电流	静态	-	160	300	μA
		50KHz, ±100mV 过驱方波	-	160	240	

1. 设计保证。

表 5-3-18-2 BEMF 特性⁽¹⁾

符号	参数	条件	最小值	典型值	最大值	单位
D_{BEMF}	BEMF U/V/W 相电阻差异范围	$V_{DDA}=V_{DD}=5.0\text{V}$	-	0.85	-	%
R_{BEMF}	BEMF U/V/W 相电阻	$V_{DDA}=V_{DD}=5.0\text{V}$	5.272	8.677	13.462	KΩ

1. 设计保证。

5.3.19 温度传感器特性

表 5-3-19 温度传感器特性

符号	参数	条件	最小值	典型值	最大值	单位
T_L	V_{TS} 温度的线性度	$V_{DD}=5.0V$	-	± 1.68	± 2.03	$^{\circ}C$
Avg_Slope	平均斜率	$V_{DD}=5.0V$	-1.6706	-1.6495	-1.6373	mV/ $^{\circ}C$
$V_{25^{\circ}C}$	25 $^{\circ}C$ 电压($\pm 5^{\circ}C$)	$V_{DD}=5.0V$	725.79	727.01	730.68	mV
$t_{START(TS_BUF)}^{(1)}$	传感器 buffer 在连续模式下的启动时间	-	-	400	-	ns
$t_{S_temp}^{(1)}$	读温度时, ADC 采样时间	-	1.5	-	239.5	f_{adc}
$I_{DDA(TS)}^{(1)}$	被 ADC 选中时, 温度传感器从 V_{DDA} 上消耗的电流	$V_{DD}=5.0V$	-	26	40	μA

1. 设计保证。

5.3.20 TIMx 特性

下表中所给参数经过设计保证。有关输入/输出交替功能特性(输出比较、输入捕获、外部时钟、PWM 输出)的详细信息, 请参阅第 5.3.13 章节:I/O 端口特性。

表 5-3-20-1 TIMx⁽¹⁾特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨率时间	-	1	-	$t_{TIMxCLK}$
		$f_{TIMxCLK}=64MHz$	15.625	-	ns
f_{EXT}	定时器 CH1 至 CH4 的外部时钟频率	其他	-	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK}=64MHz$	-	32	
Re_{TIM}	定时器分辨率	TIMx	-	16	bit
$t_{COUNTER}$	16 位计数器时钟周期	-	1	65536	$t_{TIMxCLK}$
		$f_{TIMxCLK}=64MHz$	0.015625	1024	μs

1. TIMx 是一个通用术语, 其中 x 代表 1、2、3、6、7、14、15、16 或 17。

表 5-3-20-2 IWDG 特性(@LSI=32KHz)

预分频	PR[2:0]bits	最小超时 RLR[11:0]=0x000	最大超时 RLR[11:0]=0xFFF	单位
/4	0	0.125	512	ms
/8	1	0.25	1024	
/16	2	0.5	2048	
/32	3	1.0	4096	
/64	4	2.0	8192	
/128	5	4.0	16384	
/256	6 或 7	8.0	32768	

5.3.21 通信接口特性

I2C 接口特性:

- 标准模式: 比特率达到 100kbit/s。
- 快速模式: 比特率达到 400kbit/s。
- 超快速模式: 比特率达到 1Mbit/s。

表 5-3-21-1 I2C 特性

符号	参数	条件	典型值	单位
$f_{I2CCLK(min)}$	I2C 外设正确操作的最低 I2CCLK 频率	标准模式	2.2	MHz
		快速模式	DNF=0	
			DNF=1	
		超快速模式	DNF=0	
			DNF=1	
			24.2	

除非另有说明, 本章节的表 5-3-21-2 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的在环境温度、 f_{CLKx} 频率和供电电压条件下进行的测试。附加常规条件如下:

- BR[2:0]=010(DIV8)。
- 电容负载 $C=30pF$ 。
- 测试点在 CMOS 电平: $0.5 \times V_{DD}$ 。

请参阅第 5.3.13 章节:I/O 端口特性了解更多关于输入/输出交替函数特性(SPI 的 NSS,SCK,MOSI,MISO)的详细信息。

表 5-3-21-2 SPI 特性

符号	参数	条件	最小值	典型值	最大值	单位
$f_{SCK(max)}$	SPI 正常收发数据的最大时钟	SYSCCLK=64MHz;DMA 方式(仅发送);主模式	-	-	32	MHz
		SYSCCLK=64MHz;DMA 方式(仅发送);从模式			8	
		SYSCCLK=64MHz;DMA 方式(仅接收);主模式			16	
		SYSCCLK=64MHz;DMA 方式(仅接收);从模式			16	
		SYSCCLK=64MHz;DMA 方式(收发);主模式			16	
		SYSCCLK=64MHz;DMA 方式(收发);从模式			8	
$t_{SU(NSS)}^{(1)}$	NSS 建立时间	Slave 模式	1	-	-	ns
$t_{W(SCKH)}$	SCK 高电平时间	Master 模式	$1 / f_{SCK} / 2 - 1.5$	$1 / f_{SCK} / 2$	$1 / f_{SCK} / 2 + 1.5$	ns
$t_{W(SCKHL)}$	SCK 低电平时间	Master 模式				
$t_{SU(MI)}^{(1)}$	Master 数据输入建立时间	Master 模式	1	-	-	ns

符号	参数	条件	最小值	典型值	最大值	单位
$t_{SU(SI)}^{(1)}$	Slave 数据输入建立时间	Slave 模式	1	-	-	ns
$t_{h(MI)}^{(1)}$	Master 数据输入保持时间	Master 模式	3	-	-	ns
$t_{h(SI)}^{(1)}$	Slave 数据输入保持时间	Slave 模式	1	-	-	ns
$t_{a(SO)}^{(1)}$	数据输出访问时间	Slave 模式	9	-	54	ns
$t_{dis(SO)}^{(1)}$	数据输出无效时间	Slave 模式	9	-	22	ns
$t_{v(SO)}^{(1)}$	Slave 数据输出有效时间	$2.0V < V_{DD} < 5.5V$	-	11	24	ns
$t_{v(MO)}^{(1)}$	Master 数据输出有效时间	-	-	5	8	ns
$t_{h(SO)}^{(1)}$	Slave 数据输出保持时间	-	5	-	-	ns
$t_{h(MO)}^{(1)}$	Master 数据输出保持时间	-	1	-	-	ns

1. 设计保证。

除非另有说明，本章节的表 5-3-21-3 中给出的参数来自于第 5.3.1 章节的表 5-3-1(常规操作条件)中总结的在环境温度、 f_{CLKx} 频率和供电电压条件下进行的测试。附加常规条件如下：

- BRR[15:0]=最大波特率。
- 电容负载 $C=30pF$ 。
- 测试点在 CMOS 电平： $0.5 \times V_{DD}$ 。

请参阅第 5.3.13 章节:I/O 端口特性了解更多关于输入/输出交替函数特性(USART 的 NSS,CK,TX,RX)的详细信息。

表 5-3-21-3 USART 特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{CK}	USART 时钟频率	Master 模式	-	-	8	MHz
		Slave 模式	-	-	3	
$t_{SU(NSS)}^{(1)}$	NSS 建立时间	Slave 模式	$T_{ker}+1.4$	-	-	ns
$t_{h(NSS)}^{(1)}$	NSS 保持时间	Slave 模式	-1.4	-	-	ns
$t_{W(CKH)}$	CK 高电平时间	Master 模式	$1 / f_{CK} / 2 - 1$	$1 / f_{CK} / 2$	$1 / f_{CK} / 2 + 1$	ns
$t_{W(CKHL)}$	CK 低电平时间					
$t_{SU(RX)}^{(1)}$	数据输入建立时间	Master 模式	$T_{ker}+0.7$	-	-	ns
		Slave 模式	$T_{ker}+0.6$	-	-	
$t_{h(RX)}^{(1)}$	数据输入保持时间	Master 模式	-0.7	-	-	ns
		Slave 模式	-0.6	-	-	
$t_{v(TX)}^{(1)}$	数据输出有效时间	Master 模式	-	127	135	ns
		Slave 模式	-	216	242	
$t_{h(TX)}^{(1)}$	数据输出保持时间	Master 模式	0.003	-	-	ns

符号	参数	条件	最小值	典型值	最大值	单位
		Slave 模式	0.890	-	-	

1. 设计保证。

6 封装信息

TM32G051 提供 LQFP48、LQFP32、SSOP28 三种封装类型，且符合 JEDEC 标准，封装外形及尺寸信息见本章描述。

6.1 LQFP48 封装信息

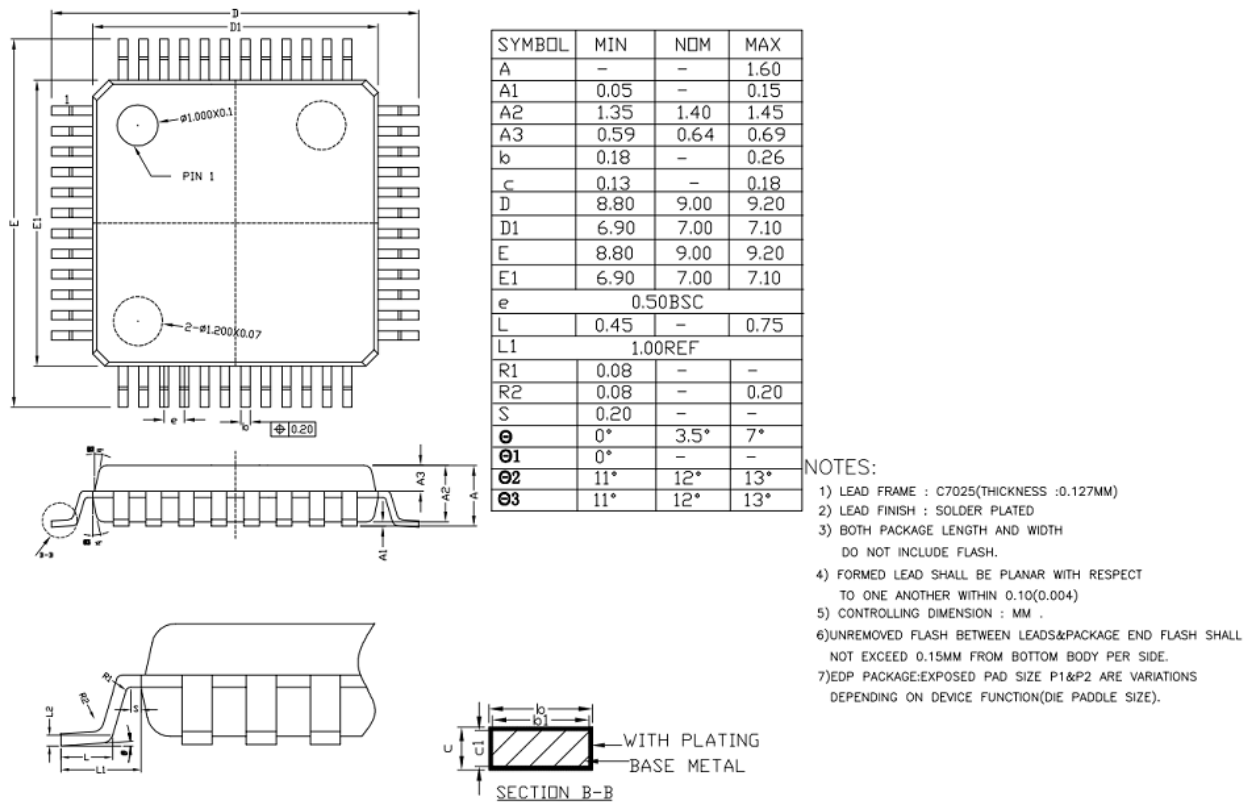


图 6-1 LQFP48-7x7mm 封装外形尺寸数据

6.2 LQFP32 封装信息

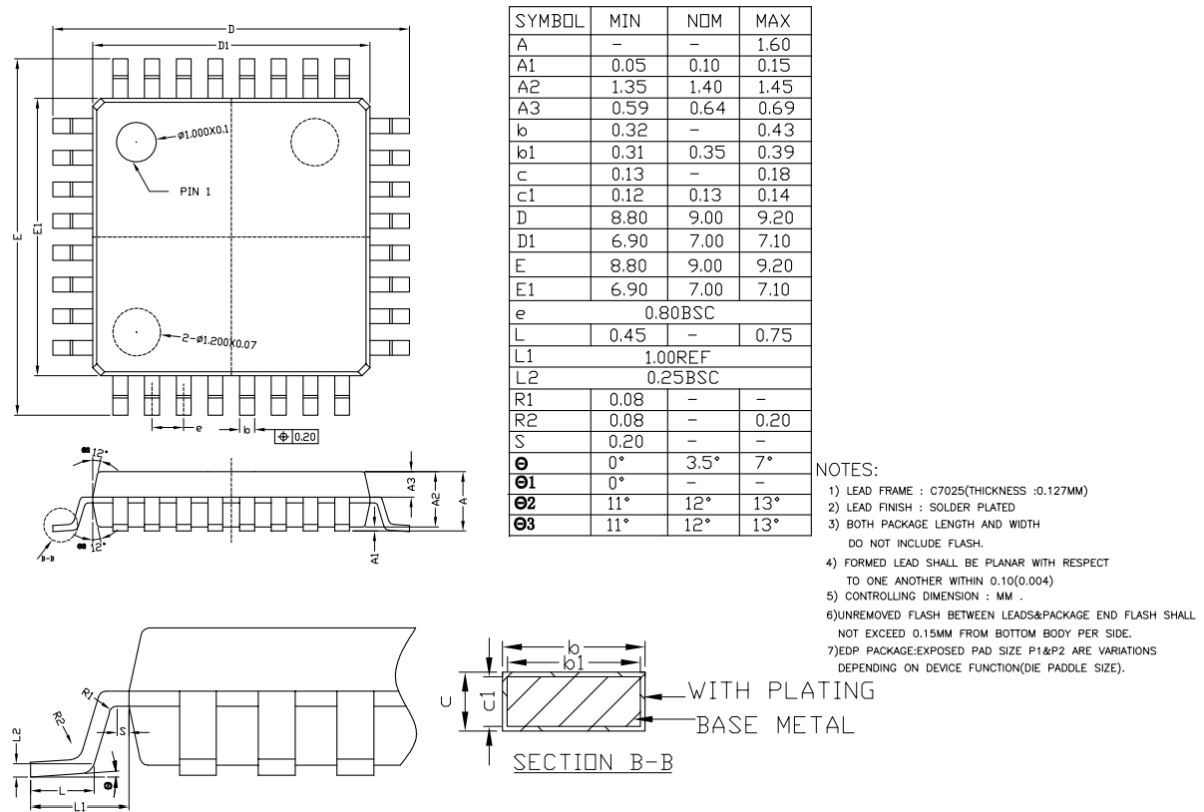


图 6-2 LQFP32-7x7mm 封装外形尺寸数据

6.3 SSOP28 封装信息

QSOP28-8R(180*100) Package Outline Dimensions units:mm

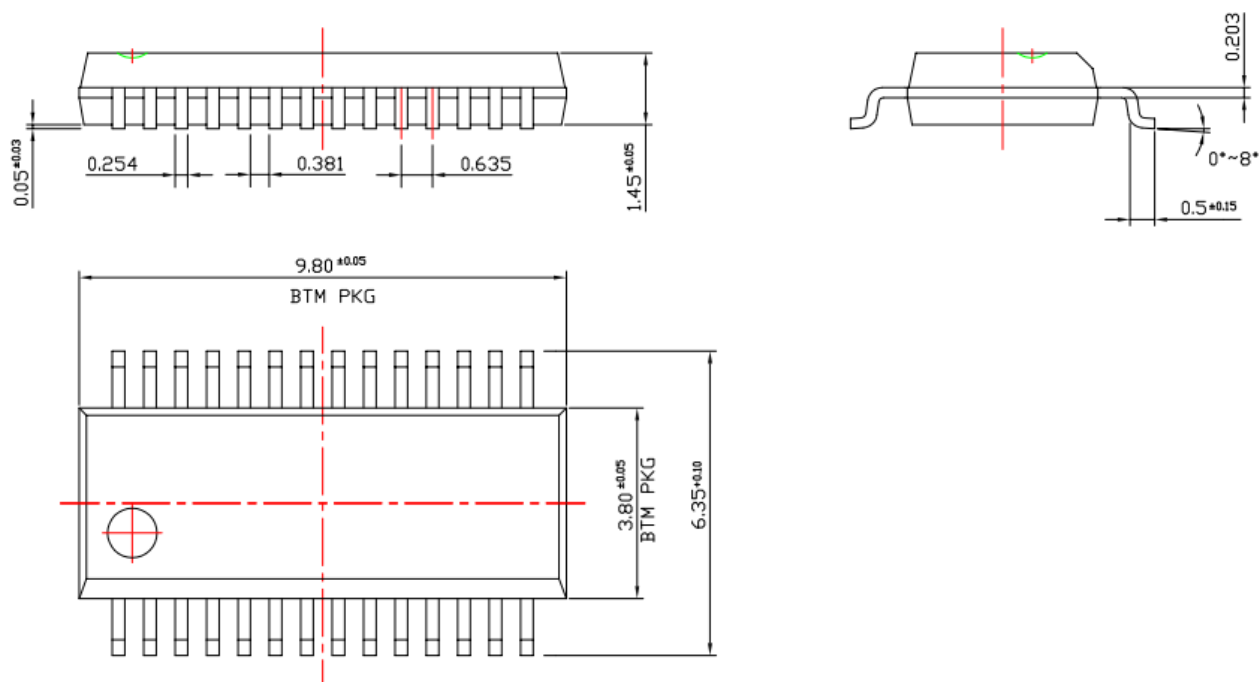


图 6-3 SSOP28 封装外形尺寸数据

7 芯片命名规则

芯片命名规则如下图所示。

32位MCU编码规则

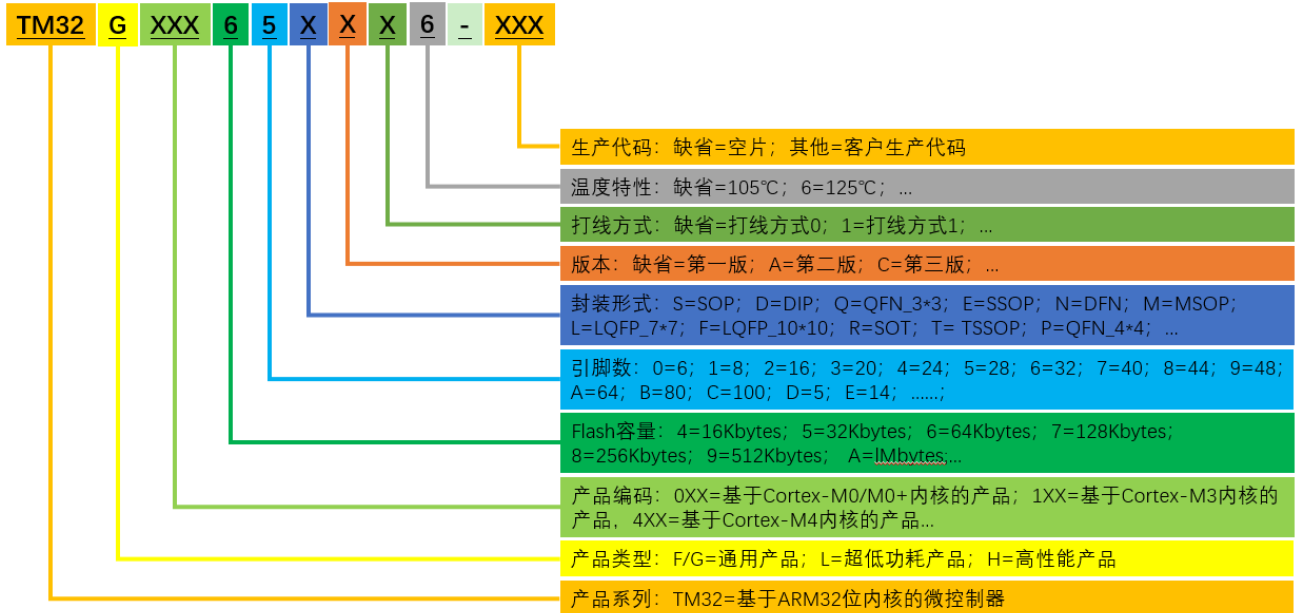


图 7-1 芯片命名规则