



十速

TM52M5473

规格书

版本 1.1

(使用前请阅读第二页的注意事项)

hitenx reserves the right to change or discontinue the manual and online documentation to this product herein to improve reliability, function or design without further notice. **hitenx** does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. **hitenx** products are not designed, intended, or authorized for use in life support appliances, devices, or systems. If Buyer purchases or uses **hitenx** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **hitenx** and its officers, employees, subsidiaries, affiliates and distributors harmless against all claims, cost, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use even if such claim alleges that **hitenx** was negligent regarding the design or manufacture of the part.

使用注意事项

1. 如果INTn引脚是低电平且该INTn唤醒功能启用，则芯片不能进入暂停/停止模式。(INTn=0, EXn=1, n=0~2)
2. 如果需要使用LVR，建议在程序上电后先设置LVR (SFR LVRSEL)，然后再修改与引脚相关的默认值。

修改纪录

版次	生效日	修订内容概要
V1.0	Oct, 2024	新颁。
V1.1	Mar, 2025	1. 修改订购须知封装型号 2. 其他描述错误修正

目录

使用注意事项.....	2
修改纪录.....	3
概述.....	6
系统框图.....	6
基本功能.....	7
IC 引脚图	11
引脚描述.....	15
引脚汇总.....	16
功能描述.....	17
1. CPU 核心.....	17
1.1 累加器 (ACC).....	17
1.2 B 寄存器 (B).....	17
1.3 堆栈指针 (SP).....	18
1.4 数据指针 (DPTRs).....	18
1.5 程序状态字 (PSW).....	19
2. 存储器.....	20
2.1 程序存储器.....	20
2.2 数据存储器.....	21
3. 低电压复位和低电压检测.....	23
4. 复位.....	26
4.1 上电复位 (POR).....	26
4.2 外部引脚复位 (XRST).....	26
4.3 软件复位 (SWRST).....	26
4.4 看门狗定时器复位 (WDTR).....	26
4.5 低电压复位 (LVR)	26
5. 时钟电路和工作模式.....	29
5.1 时钟电路	29
5.2 操作模式.....	31
6. 中断和唤醒.....	33
6.1 中断使能和优先级控制	33
6.2 子程序中断建议	33
6.3 引脚中断和 LVD 中断.....	37
6.4 空闲模式唤醒和中断	40
6.5 暂停/停止模式唤醒和中断	40

7. I/O 端口	42
7.1 端口 0~端口 3.....	42
8. 定时器.....	53
8.1 Timer0/1	53
8.2 Timer2	55
8.3 Timer3	57
9. PWMs	58
10. ADC	67
10.1 ADC 通道.....	68
10.2 ADC 转换时间.....	69
11. 触摸按键 (CTK).....	71
12. S/W 控制的 LCD 驱动器	75
13. LED 控制器/驱动.....	77
13.1 LED 矩阵 (MX) 模式	77
13.2 LED 点阵 (DMX) 模式	78
14. 通信格式波形发生器 (WG).....	86
15. 比较器 (CMP)	88
16. 循环冗余校验码 (CRC).....	91
17. 乘除法器.....	92
18. 在线仿真器 (ICE) 模式	94
SFR & CFGW 映像	95
SFR & CFGW 说明	98
指令集.....	110
电器特性.....	113
1. 最大绝对额定值.....	113
2. DC 特性.....	113
3. 时钟时序.....	114
4. 复位时序特性.....	115
5. LVR 电路特性.....	115
6. LVD 电路特性	116
7. ADC 电气特性	116
8. 比较器特性.....	117
9. 特性曲线图.....	118
封装说明.....	121

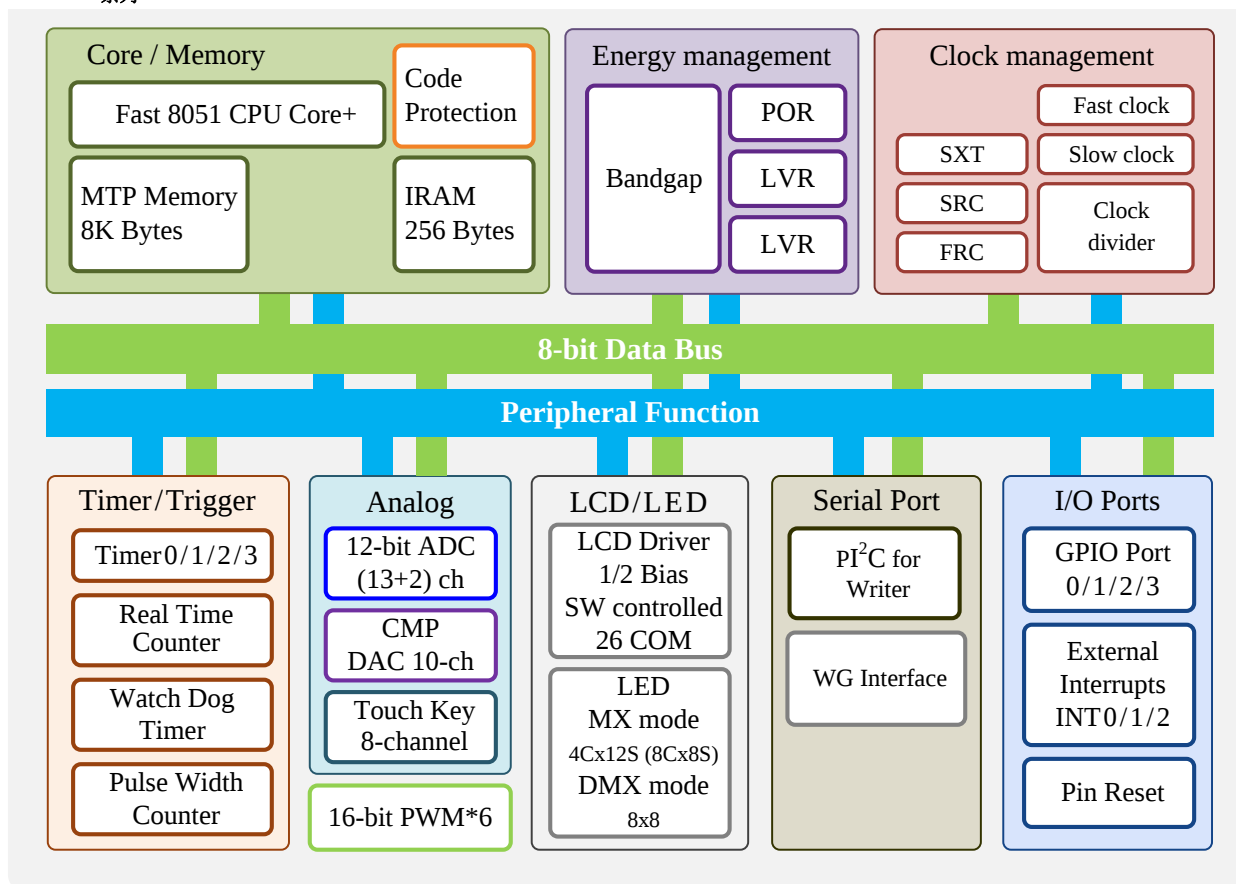
概述

TM52系列M5473 是一个新的，快速的8051架构，与业界标准8051指令集完全兼容的8位单片机。并保持了8051外围的功能模块。通常情况下，**TM52**执行指令，比传统的8051架构快六倍。

TM52M5473 通过集成多种功能在芯片上，提供更高的性能，更低的成本，能快速进入市场，包括 8K 字节的 MTP 程序存储器，256 字节 SRAM，低电压复位 (LVR)，低电压检测 (LVD)，双时钟省电工作模式和定时器 Timer0/Timer1/Timer2，实时计时器 Timer3，13+2 通道 12 位 A/D 转换器，8 通道触摸键，6 组 16 位脉冲宽度调制器 (PWM)，LED 通信格式波形发生器，S/W 控制 1/2 偏置 LCD COM，LED 驱动器，比较器与 10 位 D/A 转换器和看门狗定时器 (WDT)。它的高可靠性和低功耗的特性，可广泛适用于消费电子产品。

系统框图

TM52系列M5473



基本功能

1. 标准 8051 指令集，快速的机器周期

- 指令执行比传统 8051 快六倍

2. MTP 程序存储器

- TM52M5473 内置 MTP 8K 字节
- 程序码保护功能
- 至少 1000 次的擦写次数
- 至少 10 年的数据保存时间

3. 总计 256 字节 IRAM

- 256 字节 IRAM 在 8051 内部数据存储器区

4. 3 种系统时钟类型选择

- 快时钟使用内部 RC (FRC, 16 MHz) (trim 7-bit)
- 慢时钟使用外部 32768 Hz 晶体 (SXT)
- 慢时钟使用内部 RC (SRC, 62 KHz)
- 系统时钟可以通过 1/2/4/16 选项除频

5. 8051 标准定时器 – Timer0/1

- 16 位 Timer0, 支持 T0/T0O 时钟输出供蜂鸣器应用
- 16 位 Timer1, 支持 T1/T1O 时钟输出供蜂鸣器应用
- 16 位 Timer2, 支持 T2/T2O 时钟输出供蜂鸣器应用

6. 16 位 Timer3 时钟

- 时钟源为 SXT 或 SRC62K 或 FRC/512 (31.25KHz)
- 带高 8 位重载功能
- 具有清除和保持功能

7. 8 通道触摸键 (CTK)

- 内部参考按键
- 参考源电压: V_{CC} 或 V_{LDO} 2.3V

8. 6 个的 16 位的 PWM 有预分频器/共享周期调整

- PWM 频率最高 $FRC \times 2$ (32MHz), FRC (16MHz), $FRC/256$ (62.5KHz), F_{SYSCLK}
- PWM0 (N/P) 独立预分频器死区互补输出
- PWM0A, PWM0B 共享 PWM0 周期, 独立占空比可设
- PWM1 (N/P) 独立预分频器死区互补输出
- PWM1A, PWM1B 共享 PWM1 周期, 独立占空比可设

9. LCD 驱动器

- 软件控制 SC00~07, SC10~17, SC20~21, SC30~37 (最多 26 引脚)
- 同时开启上拉电阻与下拉电阻 1/2 LCD 偏压

10. LED 驱动

- LED 保持选项
- 支持 COM 死区防闪烁
- 8 级亮度选择

【矩阵 (MX) 模式】

- 4Cx12S ~ 8Cx8S 可选, 最多 16 引脚, 最大 48~64 点

【点阵 (DMX) 模式】

- 4Cx4S, 5Cx5S, 6Cx6S, 6Cx7S, 7Cx7S, 7Cx8S, 8Cx8S, 最多 9 个引脚, 最多 64 个点

11. 12 位 ADC, 具有 13 个通道的外部引脚输入和 2 通道内部参考电压

- 通道可选内部基准电压源 (V_{BG}): $1.18V \pm 1\% @ V_{CC}=5V \sim 3V, 25^{\circ}C$
- 通道可选内部参考电压: $V_{CC}/4$
- ADC 内部基准电压可选择 V_{CC} 或 V_{REF} (1.18V/2.0V/2.5V/3.0V)

12. 比较器

- 4 组正负端输入选择
- 带有 10 位 DAC 输出, 用于比较器负端输入
- DAC 内部基准电压可选择 V_{CC} 或 V_{REF} (1.18V/2.0V/2.5V/3.0V)

13. 级联通信接口

- 1 组 1 字节级联缓存器 WG

14. 13 来源, 4 中断优先级

- Timer0/Timer1/Timer2/Timer3 中断
- 端口 0 / 端口 1 / 端口 2 / 端口 3 引脚电平变化中断
- LVD 中断
- ADC 中断
- PWM0/1 中断
- WG 中断
- CMP 中断
- CTK 中断

15. 引脚中断能将 暂停/停止模式下的 CPU 唤醒

- 端口 0 / 端口 1 / 端口 2 / 端口 3 每个引脚可以定义为唤醒和中断引脚 (通过引脚电平变化)

16. 最大 26 可编程 I/O 引脚

- CMOS 推挽输出
- 伪开漏或开漏输出
- 施密特触发输入
- 引脚上拉与下拉可以使能/禁止

17. 独立的 RC 振荡看门狗定时器

- 528ms/264ms/132ms/66ms 可选择的看门狗超时选项

18. 5 种复位

- 上电复位
- 可选的外部引脚复位
- 可选的看门狗复位
- 软件命令复位
- 可选的低电压复位

19. 16 级低电压或高电压复位 (LVR)

- 1.58V / 1.70V / 1.83V / 1.95V / 2.07V / 2.20V / 2.32V / 2.44V / 2.56V / 2.69V / 2.81V / 2.93V / 3.06V / 3.18V / 3.30V / 3.42V (阶=0.123V)

20. 15 级低电压检测 (LVD)

- 1.70V / 1.83V / 1.95V / 2.07V / 2.20V / 2.32V / 2.44V / 2.56V / 2.69V / 2.81V / 2.93V / 3.06V / 3.18V / 3.30V / 3.42V (阶=0.123V)

21. 5 种电源工作模式

- 快钟模式/慢钟模式/空闲模式/暂停模式/停止模式

22. 工作电压和电流

- VCC = 1.8V ~ 5.5V
- 工作模式 8MHz , $I_{CC} = 3.9\text{mA}@5\text{V}$
- 工作模式 16MHz , $I_{CC} = 6\text{mA}@5\text{V}$
- 停止模式 $I_{CC} = 0.6\mu\text{A}@5\text{V}$ (*POR1.64V 永远开启)
- 暂停模式 $I_{CC} = 7.3\mu\text{A}@5\text{V}$
- 空闲模式 $I_{CC} = 11\mu\text{A}@5\text{V}$
- 工作温度范围 $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$

23. 烧录接口

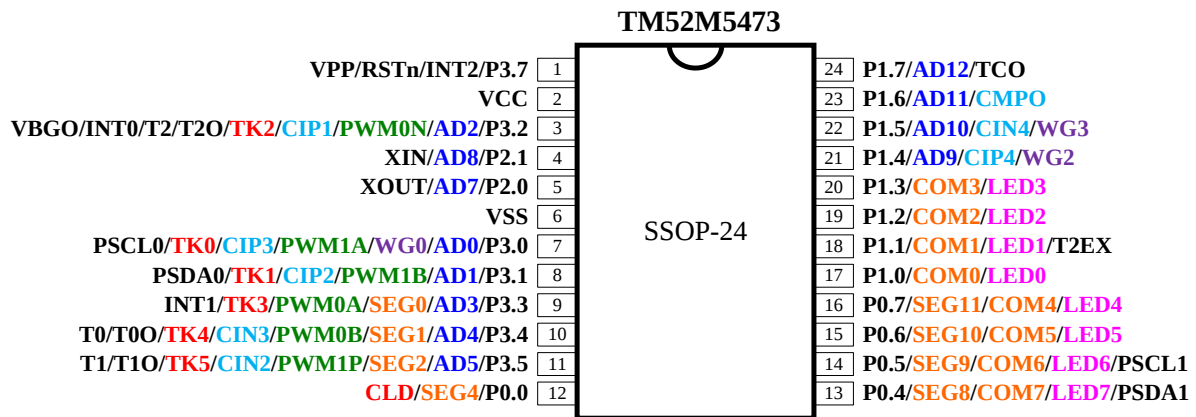
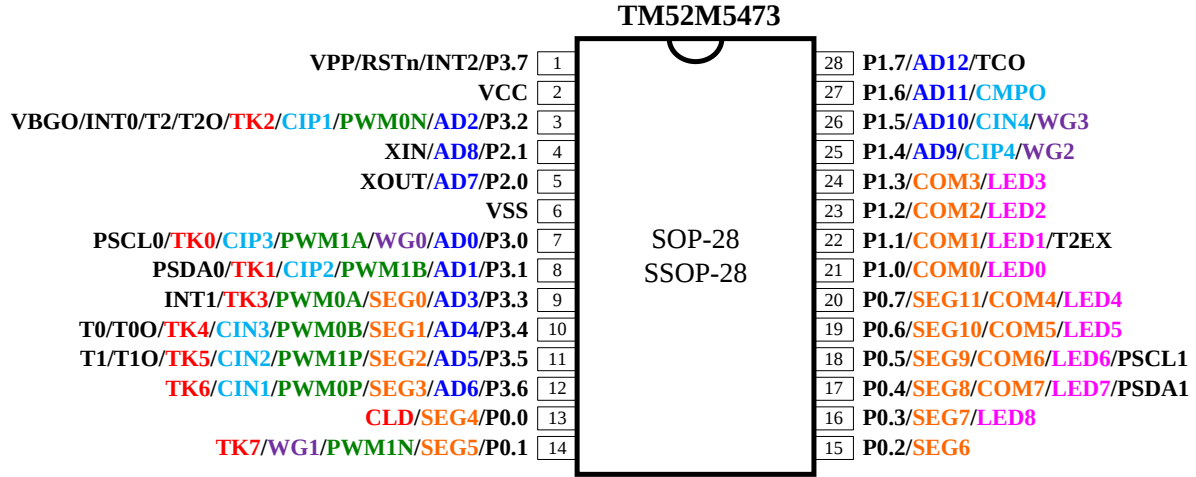
- 使用 VPP 与 P3.0/P3.1, P0.4/P0.5 引脚进行烧录

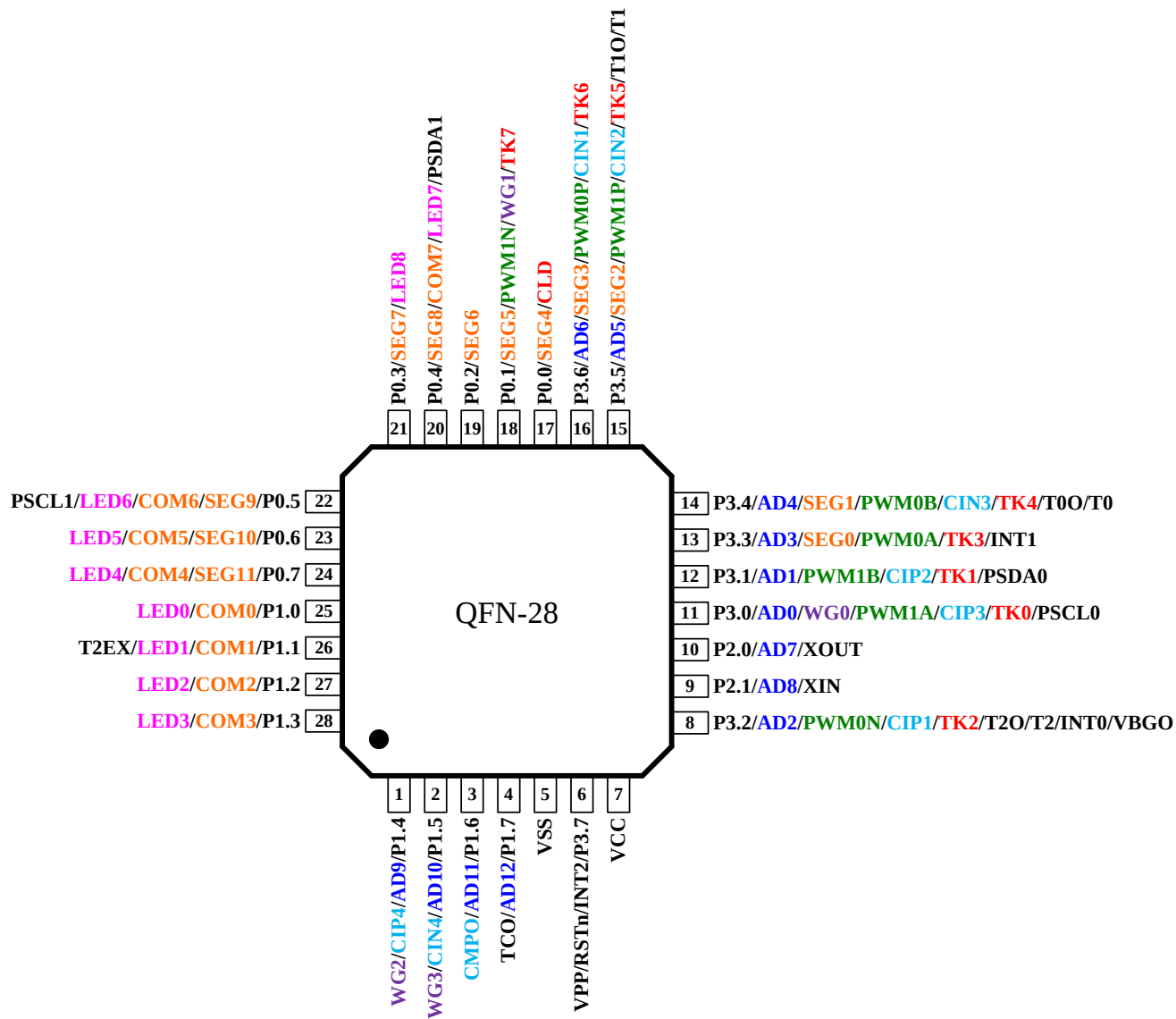
24. 封装类型

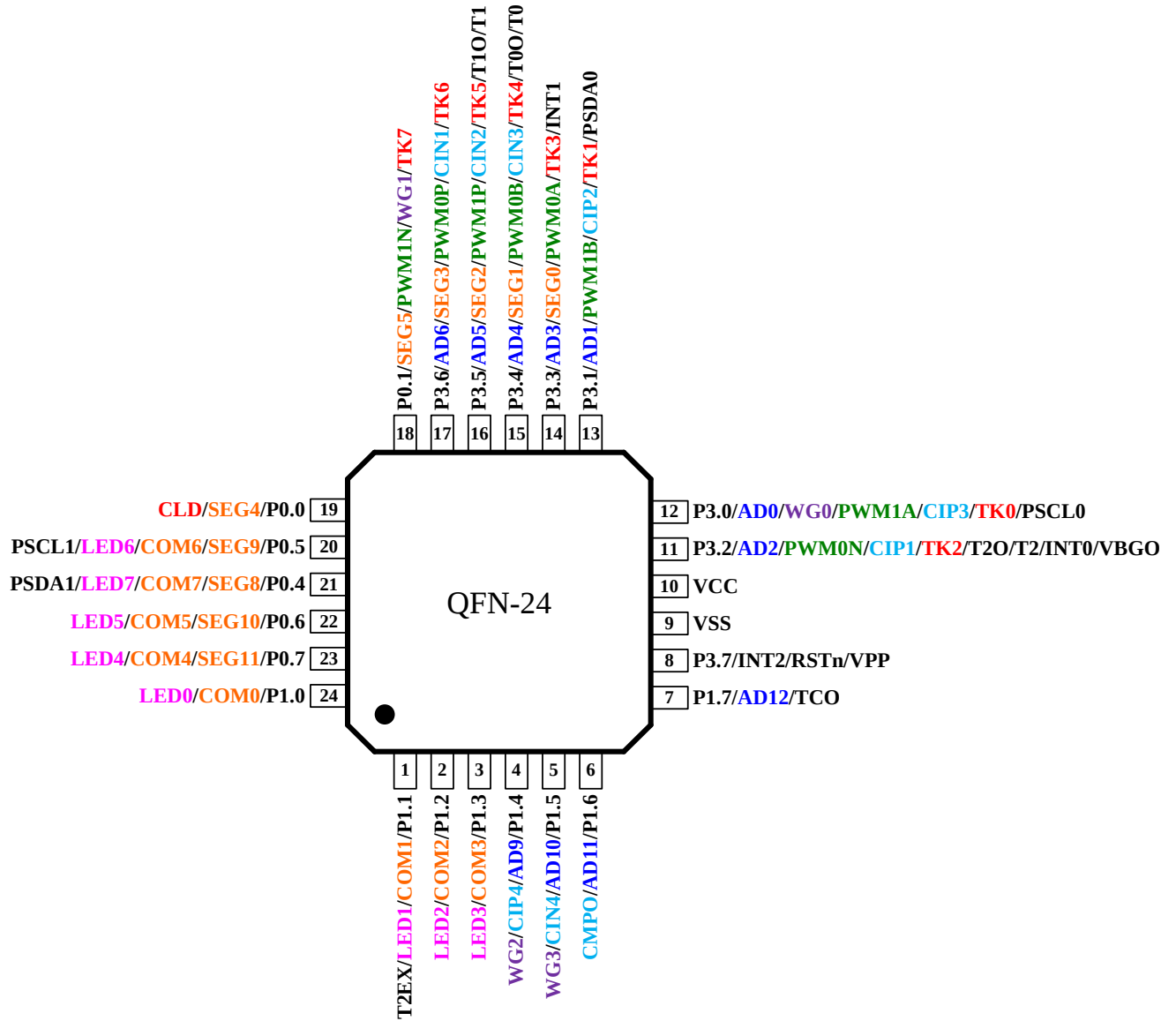
- 28-pin SOP (300mil)
- 28-pin SSOP (150mil)
- 28-pin QFN (4x4x0.75-0.4 mm)
- 24-pin SSOP (150mil)
- 24-pin QFN (4x4x0.75-0.5 mm)
- 20-pin QFN (3x3x0.75-0.4 mm)

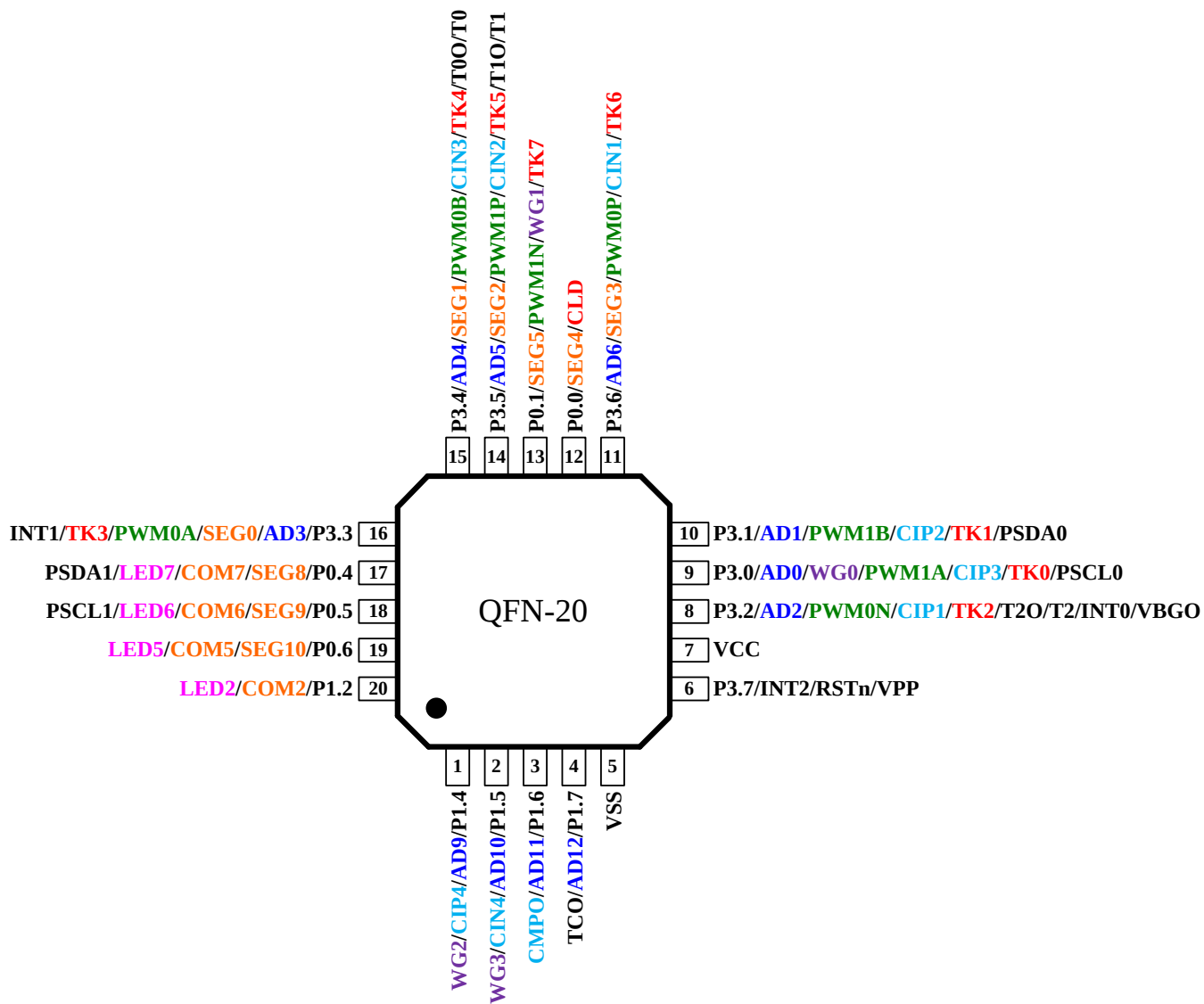
IC 引脚图

低耗电应用，所有数字I/O (包含未出脚或未使用) 避免设置高阻态。









引脚描述

引脚名称	输入/输出	引脚描述
P3.0~P3.7 P2.0~P2.1 P1.0~P1.7 P0.0~P0.7	I/O	位编程输入/输出端口，可施密特触发输入，CMOS 推挽输出或开漏输出。上拉电阻、下拉电阻是由软件分配。 这些引脚的电平变化可以唤醒 CPU 的空闲/暂停/停止模式。 Port 3 可设置开漏输出，P3.2 可设置开源输出
T0, T1, T2	I	Timer0, Timer1, Timer2 事件计数引脚输入
T0O	O	Timer0 溢出除以 64 输出
T1O	O	Timer1 溢出除以 2 输出
T2O	O	Timer2 溢出除以 2 输出
TCO	O	系统时钟除以 2 输出
PWM0N, PWM0P	O	16 位 PWM 死区互补输出
PWM0A, PWM0B	O	16 位 PWM 输出与 PWM0 共享周期
PWM1N, PWM1P	O	16 位 PWM 死区互补输出
PWM1A, PWM1B	O	16 位 PWM 输出与 PWM1 共享周期
AD0~12	O	ADC 连接引脚
SC00~07 SC10~17 SC20~21 SC30~37	O	上拉电阻、下拉电阻 如同时开启为 LCD COM 1/2 偏压输出
CLD	I	CLD 电容输入
TK0~7	I	电容式触控输入
CIN1~4	I	比较器负端输入
CIP1~4	I	比较器正端输入
CMPO	O	比较器输出
LED0~8	O	LED 点阵模式输出
COM0~7	O	LED 矩阵模式 COM 输出
SEG0~11	O	LED 矩阵模式 SEG 输出
RSTn	I	外部低有效复位输入，固定上拉电阻
WG0~3	O	级联输出
XI,XO	I	晶振接口
VBGO	O	带隙基准电压输出
VPP	I	高压刻录引脚
VCC, VSS	P	电源输入引脚和地

引脚汇总

引脚编号		引脚名称	类型	初始状态	输入				输出			交替功能								其它
SOP/SSOP-28	SSOP-24				上拉电阻	下拉电阻	唤醒	外部中断	推挽	伪开漏	开漏	LCD	LED 矩阵模式	LED 点阵模式	ADC	触摸按键	比较器	PWM	级联输出	定时器
1	1	VPP/RSTn/INT2/P3.7	I/O	Hi-Z	●	●	●	●	●		●	●								Reset
2	2	VCC	P																	
3	3	VBGO/INT0/T2/T2O/TK2/CIP1/PWM0N/AD2/P3.2	I/O	Hi-Z	●	●	●	●	●	●	●	●			●	●	●	●	●	T2O
4	4	XIN/AD8/P2.1	I/O	Hi-Z	●	●	●	●	●		●	●			●					Crystal
5	5	XOUT/AD7/P2.0	I/O	Hi-Z	●	●	●	●	●		●	●			●					Crystal
6	6	VSS	P																	
7	7	PSCL0/TK0/CIP3/PWM1A/WG0/AD0/P3.0	I/O	Hi-Z	●	●	●	●	●	●	●	●			●	●	●	●	●	
8	8	PSDA0/TK1/CIP2/PWM1B/AD1/P3.1	I/O	Hi-Z	●	●	●	●	●	●	●	●			●	●	●	●		
9	9	INT1/TK3/PWM0A/SEG0/AD3/P3.3	I/O	Hi-Z	●	●	●	●	●		●	●	●		●	●	●	●		
10	10	T0/T0O/TK4/CIN3/PWM0B/SEG1/AD4/P3.4	I/O	Hi-Z	●	●	●	●	●		●	●	●		●	●	●	●	●	T0O
11	11	T1/T1O/TK5/CIN2/PWM1P/SEG2/AD5/P3.5	I/O	Hi-Z	●	●	●	●	●		●	●	●		●	●	●	●	●	T1O
12	-	TK6/CIN1/PWM0P/SEG3/AD6/P3.6	I/O	Hi-Z	●	●	●	●	●		●	●	●		●	●	●	●		
13	12	CLD/SEG4/P0.0	I/O	Hi-Z	●	●	●	●	●		●	●	●			●				
14	-	TK7/WG1/PWM1N/SEG5/P0.1	I/O	Hi-Z	●	●	●	●	●		●	●	●			●		●	●	
15	-	SEG6/P0.2	I/O	Hi-Z	●	●	●	●	●		●	●	●							
16	-	LED8/SEG7/P0.3	I/O	Hi-Z	●	●	●	●	●		●	●	●	●						
17	13	PSDA1/LED7/COM7/SEG8/P0.4	I/O	Hi-Z	●	●	●	●	●		●	●	●	●						
18	14	PSCL1/LED6/COM6/SEG9/P0.5	I/O	Hi-Z	●	●	●	●	●		●	●	●	●						
19	15	LED5/COM5/SEG10/P0.6	I/O	Hi-Z	●	●	●	●	●		●	●	●	●						
20	16	LED4/COM4/SEG11/P0.7	I/O	Hi-Z	●	●	●	●	●		●	●	●	●						
21	17	LED0/COM0/P1.0	I/O	Hi-Z	●	●	●	●	●		●	●	●	●						
22	18	T2EX/LED1/COM1/P1.1	I/O	Hi-Z	●	●	●	●	●		●	●	●	●					●	
23	19	LED2/COM2/P1.2	I/O	Hi-Z	●	●	●	●	●		●	●	●	●						
24	20	LED3/COM3/P1.3	I/O	Hi-Z	●	●	●	●	●		●	●	●	●						
25	21	WG2/CIP4/AD9/P1.4	I/O	Hi-Z	●	●	●	●	●		●	●			●		●		●	
26	22	WG3/CIN4/AD10/P1.5	I/O	Hi-Z	●	●	●	●	●		●	●			●		●		●	
27	23	CMPO/AD11/P1.6	I/O	Hi-Z	●	●	●	●	●		●	●			●		●			
28	24	TCO/AD12/P1.7	I/O	Hi-Z	●	●	●	●	●		●	●			●					TCO

功能描述

1. CPU 核心

采用8051的架构，C语言作为开发平台。TM52装置拥有一个快速8051内核的高度集成微控制器，可以使开发人员实现比传统8051芯片更高的性能。TM52系列微控制器提供标准8051指令集兼容的完整的二进制代码，以确保一个简单的移植路径，以加快系统产品的开发速度。CPU核心包括了ALU，程序状态字 (PSW)，累加器 (ACC)，B寄存器，堆栈指针 (SP)，数据指针，编程计数器，指令译码器，以及核心的特殊功能寄存器 (SFR)。

1.1 累加器 (ACC)

该寄存器提供了一个运算数供给大多数的ALU操作。累加器通常被称为A或ACC和有时被称为寄存器A。在本文档中，累加器被表示为“A”或“ACC”，包括指令表。累加器，正如其名称所示，被用作通用寄存器累积了大量的指令的中间结果。累加器是完成算术运算和逻辑运算的最重要、最频繁的寄存器。它保存大多数算术和逻辑运算的中间结果，以协助数据运送。

SFR E0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E0h.7~0 ACC: 累加器

1.2 B 寄存器 (B)

“B”寄存器和ACC是非常相似的，可容纳1个字节的值。该寄存器提供了乘法或除法指令的第二个运算数。否则，它可被用作一个暂存寄存器。B寄存器只有用于两个8051的指令，MUL和DIV。当A乘或除以另一个数，结果数存储在B。对于MUL和DIV指令，有必要将这两个运算数放在A和B。

ex: DIV AB

当执行该指令，A里面的数会除以B的数，得到的答复是存储在A。

SFR F0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F0h.7~0 B: B 寄存器

1.3 堆栈指针 (SP)

SP寄存器包含堆栈指针。执行LCALL，ACALL和PUSH指令时，堆栈指针先加1，再将程序计数器加载到堆栈中。执行RET，RETI和POP指令时，堆栈数据退回程序计数器后，堆栈指针再减1。

SFR 81h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SP	SP							
R/W	R/W							
Reset	0	0	0	0	0	1	1	1

81h.7~0 **SP**:堆栈指针

1.4 数据指针 (DPTRs)

TM52装置有两个数据指针，它们共享相同的SFR地址。每个DPTR的大小是16位，有两个数据指针寄存器:高字节 (DPH) 和低字节 (DPL)。该DPTR用于16位地址的外部存储器存取，偏移字节代码读取和偏移程序跳转。设置DPSEL控制位允许程序代码在两个物理数据指针之间进行切换。

SFR 82h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPL	DPL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

82h.7~0 **DPL**:数据指针低字节

SFR 83h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPH	DPH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

83h.7~0 **DPH**:数据指针高字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	CLRPWM1	WGEN	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	1	1	0	0

F8h.0 **DPSEL**:活动数据指针选择

1.5 程序状态字 (PSW)

该寄存器包含CPU和ALU操作导致的状态信息。会影响PSW的指令如下所示。

指令	标志		
	C	OV	AC
ADD	X	X	X
ADDC	X	X	X
SUBB	X	X	X
MUL	0	X	
DIV	0	X	
DA	X		
RRC	X		
RLC	X		
SETB C	1		

指令	标志		
	C	OV	AC
CLR C	0		
CPL C	X		
ANL C, bit	X		
ANL C, /bit	X		
ORL C, bit	X		
ORL C, /bit	X		
MOV C, bit	X		
CJNE	X		

“0”表示标志被清零，“1”表示标志被设置和“X”表示标志的状态取决于操作的结果。

SFR D0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PSW	CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

D0h.7 **CY**:ALU 进位标志

D0h.6 **AC**:ALU 辅助进位标志

D0h.5 **F0**:通用的使用者定义标志

D0h.4~3 **RS1, RS0**: (RS1, RS0) 的内容所启动之工作寄存器存储区为:

00: 存储区 0 (00h~07h)

01: 存储区 1 (08h~0Fh)

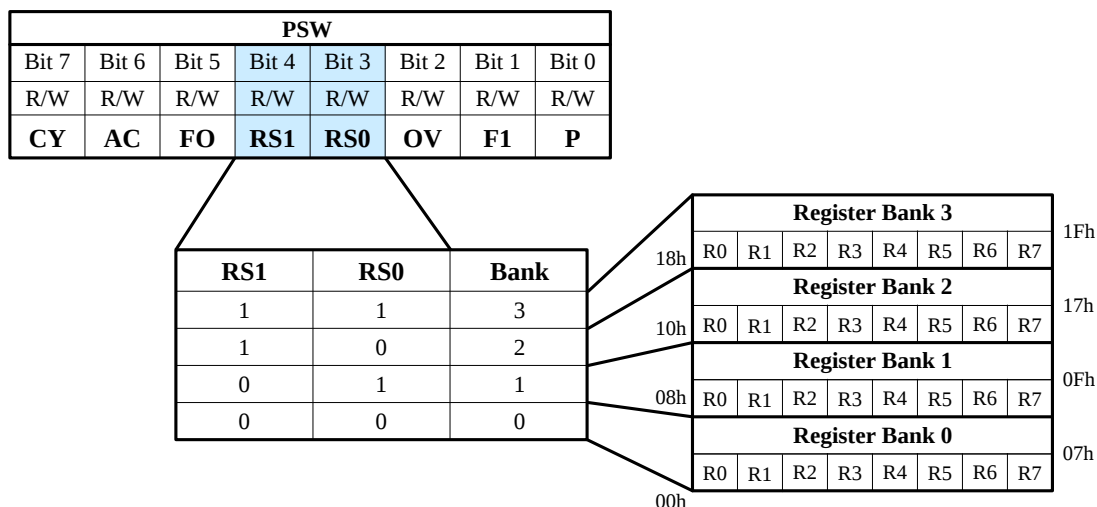
10: 存储区 2 (10h~17h)

11: 存储区 3 (18h~1Fh)

D0h.2 **OV**:ALU 溢出标志

D0h.1 **F1**:通用的使用者定义标志

D0h.0 **P**:奇偶标志。由硬件于每个指令周期设置/清零来表示在累加器“1”位之奇/偶数。



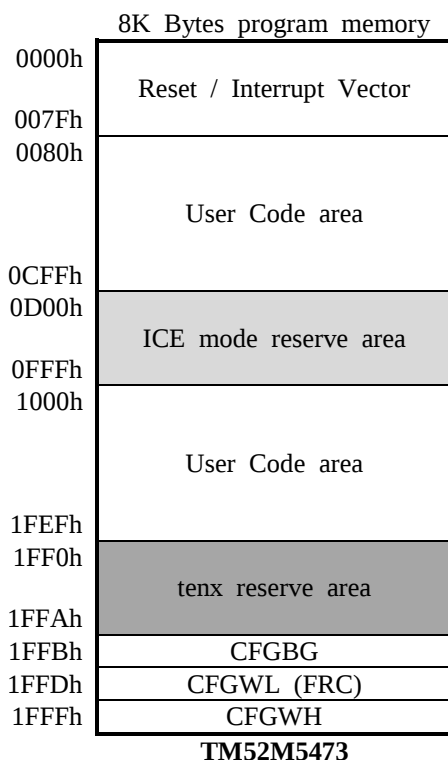
2. 存储器

2.1 程序存储器

TM52M5473有8K字节的MTP程序存储器，可支持在线编程（ICP）。MTP程序存储器的连续地址空间（0000h~1FFFh）被划分到多个扇区的设备操作。

2.1.1 程序存储器的功能分区

程序存储器的最后16个字节（1FF0h~1FFFh）被定义为芯片配置字（CFGW），在上电复位（POR）时，它会被装载到装置控制寄存器。0000h~007Fh被标准8051定义为复位/中断向量。



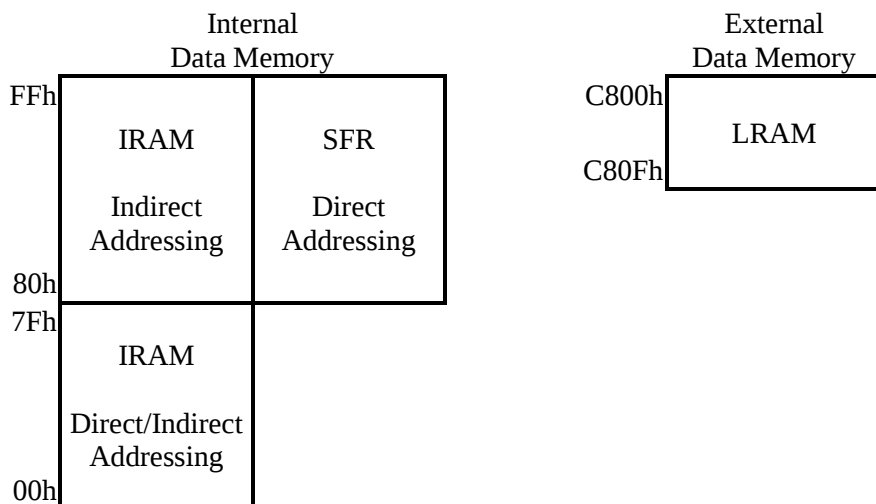
2.1.2 MTP ICP 模式

MTP存储器可以通过tenx专用的烧录器（TWR99/TWR100），这需要至少五根线（VCC，VSS，P3.0，P3.1和P3.7引脚）连接到该芯片以进行编程。如果用户想在目标电路板上的MTP进行编程（在电路编程，ICP），这些引脚必须保留足够的自由来连接到烧录器，最好不要连接电路；如果要连接电路的话，请参考相关AP资料。

连接线数目	连接管脚
5 线	VCC, VSS, VPP, P3.0, P3.1

2.2 数据存储器

作为标准8051，该芯片同时具有内部和外部数据存储空间。内部数据存储空间由256字节IRAM和SFR，这可通过丰富的指令集进行存取。外部数据存储器空间由16字节的LRAM，只能通过MOVX指令存取。



2.2.1 IRAM

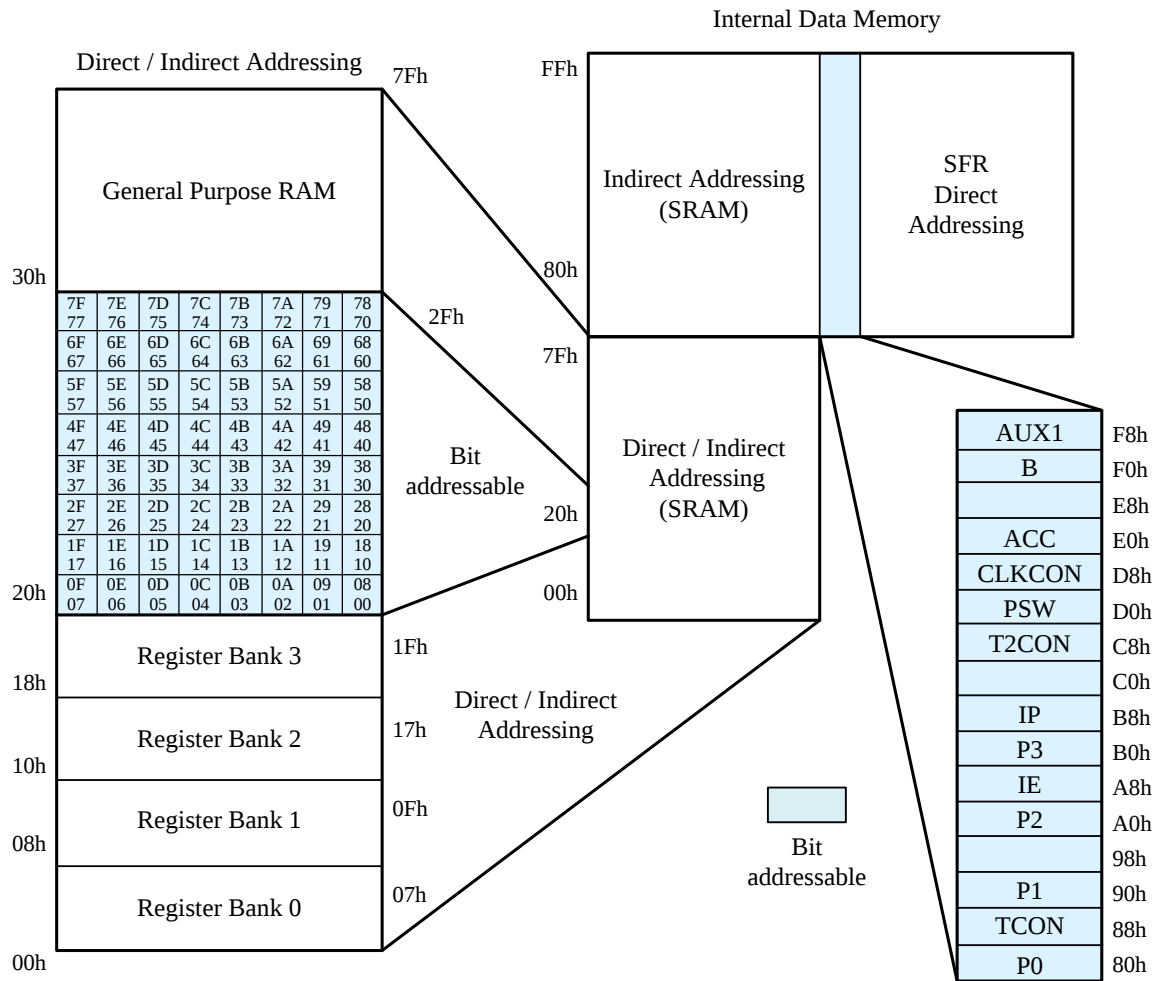
IRAM位于8051内部数据存储空间。整个256字节IRAM都可以使用间接寻址存取，只有较低的128字节可以使用直接寻址存取。有四个直接寻址寄存器组（由PSW开关），占据IRAM空间从00h到1Fh。地址20h到2Fh的16字节IRAM空间可以使用位寻址。IRAM可以作为一般寄存器和程序堆栈。

2.2.2 LRAM

LRAM位于8051外部数据存储器空间（地址从C800h到C80Fh）。16字节LRAM只能通过“MOVX”指令存取。

2.2.3 SFRs

所有的外围功能模块，如I/O，芯片的定时器/计数器操作都是通过特殊功能寄存器（SFR）存取设置。这些寄存器占用高128字节位置直接数据存储空间上的80h到FFh范围。有14可位寻址的SFR（这意味着单个字节内部的8个各别的位是可寻址的），如ACC，B寄存器，PSW，TCON，SCON和其他。其它SFR只能按字节寻址。SFR提供了内部资源和该芯片的外围设备进行数据交换和控制。在TM52系列微控制器提供了与标准8051指令集完全兼容的二进制代码。除了标准8051特殊功能寄存器外，该芯片还实现了用于配置和存取额外子系统的特殊功能寄存器，例如ADC/LED/LCD等等该芯片特有功能。



	8/0	9/1	A/2	B/3	C/4	D/5	E/6	F/7
F8h	AUX1							
F0h	B	CRCDL	CRCDH	CRCIN		CFGBG	CFGWL	AUX2
E8h		PWM1DH	PWM1DL	PWM1ADH	PWM1ADL	PWM1BDH	PWM1BDL	AUX3
E0h	ACC			LVRCON	LVDCON	EFTCON	EXA	EXB
D8h	CLKCON	PWM0PRDH	PWM0PRDL	PWM1PRDH	PWM1PRDL			RDCON
D0h	PSW	PWM0DH	PWM0DL	PWM0ADH	PWM0ADL	PWM0BDH	PWM0BDL	TM3RLD
C8h	T2CON		RCP2L	RCP2H	TL2	TH2	EXA2	EXA3
C0h					DRVCON	DRVCON2	DRVCON3	DRVCON4
B8h	IP	IPH	IP1	IP1H	DACDH	DACDL	CMPCON	CMPPNS
B0h	P3	LEDCON	LEDCON2	DACON	TKDH	TKDL	WGCON	WGBUF
A8h	IE	INTE1	ADCDL	ADCDH	PWMCON3	TKCON	ADCHSEL	PWMCON2
A0h	P2	PWMCON	P3MOD10	P3MOD32	P3MOD54	P3MOD76		TKCHS
98h			P1MOD10	P1MOD32	P1MOD54	P1MOD76	P2MOD10	
90h	P1	P0MOD10	P0MOD32	P0MOD54	OPTION	INTFLG	P0MOD76	SWCMD
88h	TCON	TMOD	TL0	TL1	TH0	TH1		
80h	P0	SP	DPL	DPH	INTE2	INTFLG2		PCON

3. 低电压复位和低电压检测

该芯片提供低电压复位 (LVR) 和低电压检测 (LVD) 功能。通过LVRCON可以选择16级LVR，通过SFR LVDCON可以选择16级LVD。SFR PWRSV和LVRPD位也会影响LVR功能，如下表所示。

操作模式	SFR			低电压复位 (LVR)	功能	Note
	LVRPD	PWRSV	LVRSEL			
快钟模式 慢钟模式	0	X	0000	ON	LV Reset 1.58V	
	0	X	0001	ON	LV Reset 1.70V	
	0	X	0010	ON	LV Reset 1.83V	
	0	X	0011	ON	LV Reset 1.95V	
	0	X	0100	ON	LV Reset 2.07V	
	0	X	0101	ON	LV Reset 2.20V	
	0	X	0110	ON	LV Reset 2.32V	
	0	X	0111	ON	LV Reset 2.44V	
	0	X	1000	ON	LV Reset 2.56V	
	0	X	1001	ON	LV Reset 2.69V	
	0	X	1010	ON	LV Reset 2.81V	
	0	X	1011	ON	LV Reset 2.93V	
	0	X	1100	ON	LV Reset 3.06V	
	0	X	1101	ON	LV Reset 3.18V	
	0	X	1110	ON	LV Reset 3.30V	
	0	X	1111	ON	LV Reset 3.42V	
空闲模式 停止模式 暂停模式	0	0	0000	ON	LV Reset 1.58V	电流消耗约 60uA
	0	0	0001	ON	LV Reset 1.70V	
	0	0	0010	ON	LV Reset 1.83V	
	0	0	0011	ON	LV Reset 1.95V	
	0	0	0100	ON	LV Reset 2.07V	
	0	0	0101	ON	LV Reset 2.20V	
	0	0	0110	ON	LV Reset 2.32V	
	0	0	0111	ON	LV Reset 2.44V	
	0	0	1000	ON	LV Reset 2.56V	
	0	0	1001	ON	LV Reset 2.69V	
	0	0	1010	ON	LV Reset 2.81V	
	0	0	1011	ON	LV Reset 2.93V	
	0	0	1100	ON	LV Reset 3.06V	
	0	0	1101	ON	LV Reset 3.18V	
	0	0	1110	ON	LV Reset 3.30V	
	0	0	1111	ON	LV Reset 3.42V	
空闲模式	0	1	XXXX	ON	Disable LVR Enable POR 1.64V	电流消耗约 11uA
停止模式 暂停模式	0	1	XXXX	OFF	Disable	*最小电流消耗约 0.6uA
空闲模式	1	X	XXXX	ON	Disable LVR Enable POR 1.64V	电流消耗约 18uA
停止模式 暂停模式	1	X	XXXX	OFF	Disable	*最小电流消耗约 0.6uA

注：暂停模式会比停止模式多了SRC启用的耗电约2.1~ 6.7uA。

注: POR永远开启, 会有约0.6uA的耗电流

SFR E3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVRCON	–	–	–	LVRPD	LVRSEL			
R/W	–	–	–	R/W	R/W			
Reset	–	–	–	0	0	0	0	0

E3h.4 **LVRPD**:低电压复位功能选择

0:使能 LVR

1:LVR 未使能

E3h.3~0 **LVRSEL**:低电压复位选择 (step=0.123V)

0000:设置 LVR 为 1.58V

1000:设置 LVR 为 2.56V

0001:设置 LVR 为 1.70V

1001:设置 LVR 为 2.69V

0010:设置 LVR 为 1.83V

1010:设置 LVR 为 2.81V

0011:设置 LVR 为 1.95V

1011:设置 LVR 为 2.93V

0100:设置 LVR 为 2.07V

1100:设置 LVR 为 3.06V

0101:设置 LVR 为 2.20V

1101:设置 LVR 为 3.18V

0110:设置 LVR 为 2.32V

1110:设置 LVR 为 3.30V

0111:设置 LVR 为 2.44V

1111:设置 LVR 为 3.42V

SFR E4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDCON	LVDM	LVDO	LVDHYS	LVDPD	LVDSSEL			
R/W	R/W	R	R/W	R/W	R/W			
Reset	0	0	0	0	0	0	0	0

E4h.7 **LVDM**:低电压检测功能模式

0: $V_{CC} < V_{LVD}$ (LVDIF = 1, 当 LVDO = 1 时)

1: $V_{CC} > V_{LVD}$ (LVDIF = 1, 当 LVDO = 0 时)

E4h.6 **LVDO**:低电压检测实时输出

E4h.5 **LVDHYS**:LVD 迟滞使能

0:关闭 LVD 迟滞

1:使能 LVD 迟滞

E4h.4 **LVDPD**:低电压检测功能选择 (在空闲/暂停/停止模式下自动关闭)

0:启用

1:禁用

E4h.3~0 **LVDSSEL**:低电压检测选择 (step=0.123V)

0000:设置 LVD 为 1.58V

1000:设置 LVD 为 2.56V

0001:设置 LVD 为 1.70V

1001:设置 LVD 为 2.69V

0010:设置 LVD 为 1.83V

1010:设置 LVD 为 2.81V

0011:设置 LVD 为 1.95V

1011:设置 LVD 为 2.93V

0100:设置 LVD 为 2.07V

1100:设置 LVD 为 3.06V

0101:设置 LVD 为 2.20V

1101:设置 LVD 为 3.18V

0110:设置 LVD 为 2.32V

1110:设置 LVD 为 3.30V

0111:设置 LVD 为 2.44V

1111:设置 LVD 为 3.42V

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAV	VBGOUT	DIV32	–	–	MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	–	–	R/W
Reset	0	0	0	0	0	–	–	0

F7h.5 **PWRSAV**:设置 1 可降低空闲/暂停/停止模式下芯片的功耗

4. 复位

该芯片有五种类型的复位 (Reset) 方法。上电复位 (POR)，外部引脚复位 (XRST)，软件复位 (SWRST)，看门狗定时器复位 (WDTR) 和低电压复位 (LVR)，复位后 SFR 返回到默认值。

4.1 上电复位 (POR)

上电复位后，设备停留在复位状态，进行40mS的芯片预热。上电复位需要VCC引脚的电压先放电至接近VSS电平，然后再上升超过1.8V。

4.2 外部引脚复位 (XRST)

外部引脚复位为低电平有效。RSTn引脚需要保持至少两个SRC时钟周期长到芯片可采样。外部引脚复位可以由CFGW使能/禁止。

4.3 软件复位 (SWRST)

软件复位是通过将数据56h写入SWCMD (SFR 97h) 来产生。

4.4 看门狗定时器复位 (WDTR)

WDT溢出复位透过WDTE (SFR F7h.7~6) 来控制。WDT使用SRC作为计数时基，在快钟/慢钟模式运行，在空闲/暂停/停止时钟模式下可选运行或停止。看门狗定时器溢出速度可透过WDTPSC (SFR 94h.5~4) 定义。WDT由CLRWDT (F8h.7) 或复位清零。

4.5 低电压复位 (LVR)

低电压复位 (LVR) 通过LVRCON (E3h.3~0) 可以选择16阶不同电压门槛值。当 PWRSAV (F7h.5)=1 时，LVR 会在芯片进入空闲/暂停/停止模式时自动关闭。可以由LVRPD (E3h.4) 使能/禁止。

注: 请参考AP-TM52XXXXX_02S 有关LVR 应用说明。

MTP 1FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	—	—	—	—	—	—

1FFFh.6 **XRSTE**: 外部引脚复位控制
0: 关闭外部引脚复位
1: 使能外部引脚复位

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	—	TM3CKS	WDTPSC		ADCKS		SXTGAIN	
R/W	—	R/W	R/W		R/W		R/W	
Reset	—	0	0	0	0	0	1	1

94h.5~4 **WDTPSC**: 看门狗定时器预调量器时间选择
00: 528ms WDT 溢出率
01: 264ms WDT 溢出率
10: 132ms WDT 溢出率
11: 66 ms WDT 溢出率

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	SWRST							
R/W	W							
Reset	—							

97h.7~0 **SWRST**: 写入 56h 生成 S/W 复位

SFR E3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVRCON	—	—	—	LVRPD	LVRSEL			
R/W	—	—	—	R/W	R/W			
Reset	—	—	—	0	0	0	0	0

E3h.4 **LVRPD**: 低电压复位功能选择
0: 使能 LVR
1: LVR 未使能

E3h.3~0 **LVRSEL**: 低电压复位选择 (step=0.123V)
0000: 设置 LVR 为 1.58V
0001: 设置 LVR 为 1.70V
0010: 设置 LVR 为 1.83V
0011: 设置 LVR 为 1.95V
0100: 设置 LVR 为 2.07V
0101: 设置 LVR 为 2.20V
0110: 设置 LVR 为 2.32V
0111: 设置 LVR 为 2.44V
1000: 设置 LVR 为 2.56V
1001: 设置 LVR 为 2.69V
1010: 设置 LVR 为 2.81V
1011: 设置 LVR 为 2.93V
1100: 设置 LVR 为 3.06V
1101: 设置 LVR 为 3.18V
1110: 设置 LVR 为 3.30V
1111: 设置 LVR 为 3.42V

SFR E4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDCON	LVDM	LVDO	LVDHYS	LVDPD	LVDSSEL			
R/W	R/W	R	R/W	R/W	R/W			
Reset	0	0	0	0	0	0	0	0

- E4h.7 **LVDM**: 低电压检测功能模式
0: $V_{CC} < V_{LVD}$ (LVDIF = 1, 当 LVDO = 1 时)
1: $V_{CC} > V_{LVD}$ (LVDIF = 1, 当 LVDO = 0 时)
- E4h.6 **LVDO**: 低电压检测实时输出
- E4h.5 **LVDHYS**: LVD 迟滞使能
0: 关闭 LVD 迟滞
1: 使能 LVD 迟滞
- E4h.4 **LVDPD**: 低电压检测功能选择 (在空闲/暂停/停止模式下自动关闭)
0: 启用
1: 禁用
- E4h.3~0 **LVDSSEL**: 低电压检测选择 (step=0.123V)
0000: 设置 LVD 为 1.58V
0001: 设置 LVD 为 1.70V
0010: 设置 LVD 为 1.83V
0011: 设置 LVD 为 1.95V
0100: 设置 LVD 为 2.07V
0101: 设置 LVD 为 2.20V
0110: 设置 LVD 为 2.32V
0111: 设置 LVD 为 2.44V
1000: 设置 LVD 为 2.56V
1001: 设置 LVD 为 2.69V
1010: 设置 LVD 为 2.81V
1011: 设置 LVD 为 2.93V
1100: 设置 LVD 为 3.06V
1101: 设置 LVD 为 3.18V
1110: 设置 LVD 为 3.30V
1111: 设置 LVD 为 3.42V

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSAP	VBGOUT	DIV32	—	—	MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	—	—	R/W
Reset	0	0	0	0	0	—	—	0

- F7h.7~6 **WDTE**: 复位控制
0x: 看门狗定时器复位功能关闭
10: 看门狗定时器复位在快/慢模式下使能, 在空闲/暂停/停止模式下使能
11: 看门狗定时器复位总是使能
- F7h.5 **PWRSAP**: 设置 1 可降低空闲/暂停/停止模式下芯片的功耗

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	CLRPWM1	WGEN	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	1	1	0	0

- F8h.7 **CLRWDT**: 设置为清除 WDT, H/W 在下一个时钟周期自动清除

5. 时钟电路和工作模式

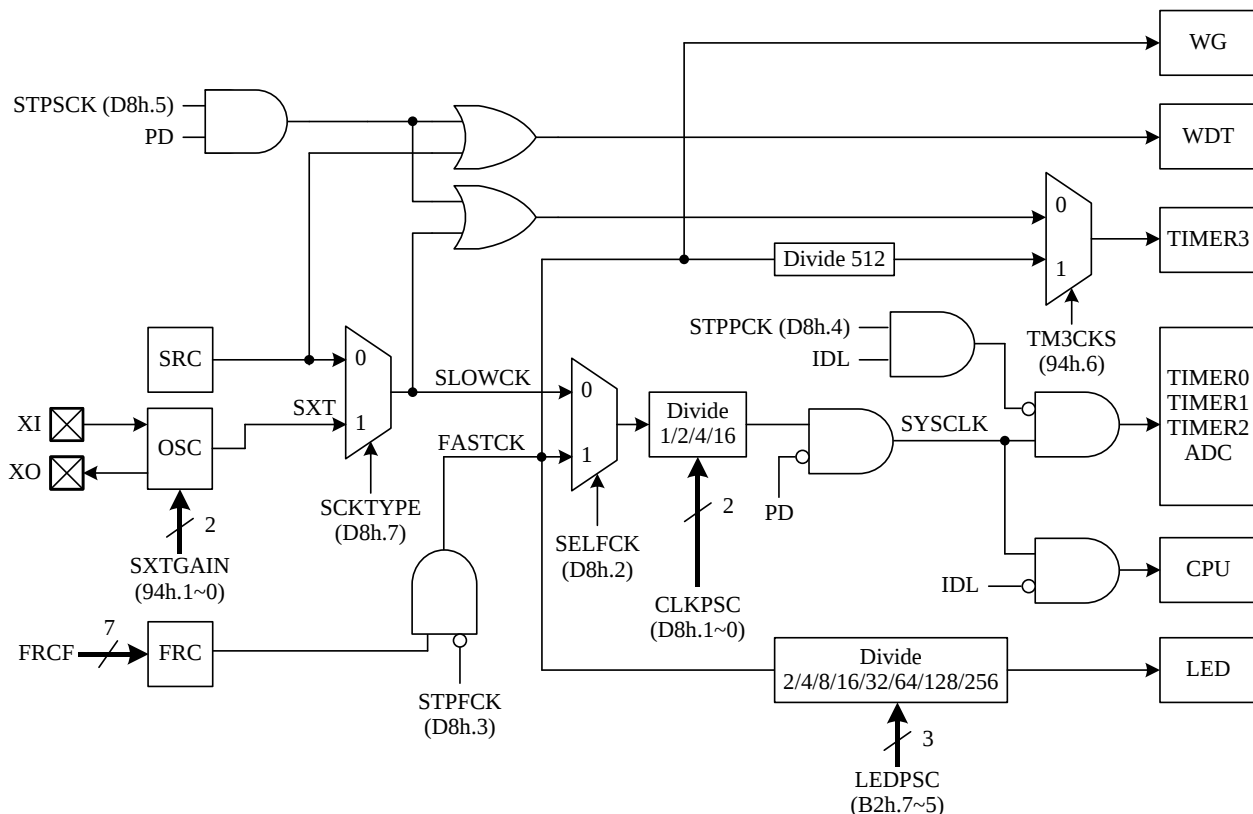
5.1 时钟电路

该芯片设计有双时钟系统。在运行时，用户可以直接切换从快钟到慢钟或由慢到快。它可以选择除以1, 2, 4或16的时钟分频器。快时钟为FRC (快速内部RC, 16 MHz)。慢时钟可以选用SXT (慢速晶振, 32768Hz) 或SRC (慢速内部RC, 62 KHz)。快钟模式和慢钟模式被定义为快/慢时钟的CPU运行速度。

复位后，该设备在慢钟模式62 KHz的SRC运行。S/W应该正确选择安全的芯片运行时钟速率。较高的 V_{CC} 允许芯片在更高的系统时钟频率运行。在典型的情况下，16MHz的系统时钟频率需要 $V_{CC} > 2.0V$ 。

该芯片有一个外部振荡器连接到XI/XO引脚。它依赖于外部电路提供时钟信号、频率的稳定，例如一个独立的振荡器，石英晶体或陶瓷谐振器。在慢钟模式下，慢速振荡器只能使用32768 Hz的时钟频率。透过设定振荡器的增益 (SXTGAIN)，可以缩短晶体振荡的热启动时间，同时也可以减少振荡电流的消耗 (最高增益为3，最低增益为0)。

CLKCON SFR控制系统时钟的正常运行。H/W自动阻断S/W异常设置该寄存器。S/W只能在快钟模式下改变慢时钟类型，在慢钟模式下改变快时钟类型。千万不要同时写STPFCK = 1 和 SELFCK = 1。建议在写这个SFR时一次只写一个位。



注:因CLKPSC有延迟，改变CLKPSC之后，需等待16个时钟周期之后，再把慢时钟切换至快时钟，请参考AP-TM52XXXXX_01S和AP-TM52XXXXX_02S有关系统时钟应用说明。

SYSCLK	CLKCON (D8h)		
	bit7 SCKTYPE	bit3 STPFCK	bit2 SELFCK
Fast FRC	0/1	0	1
Slow SXT	1	0/1	0
Slow SRC	0	0/1	0
Slow type change	0 $\leftarrow$ $\rightarrow$ 1	0	1
Stop FRC	0/1	0 $\rightarrow$ 1	0
Switch to FRC	0/1	0	0 $\rightarrow$ 1
Switch to SRC/SXT	0/1	0	1 $\rightarrow$ 0

MTP 1FFDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	-	FRCF						

1FFDh.6~0 **FRCF**:FRC频率调整

在芯片制造中，FRC 被调整为 16 MHz。FRCF 记录调整数据。

SFR F6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	-	FRCF						
R/W	-	R/W						
Reset	-	-	-	-	-	-	-	-

F6h.6~0 **FRCF**:FRC频率调整

00h= 频率最低

7Fh= 频率最高。

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	-	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	-	R/W	R/W	R/W	R/W	R/W	
Reset	0	-	1	0	0	0	1	1

D8h.7 **SCKTYPE**:慢时钟类型。该位只能在快钟模式 (SELFCK=1) 时改变。

0:SRC, P2.1, P2.0 为 I/O 引脚

1:SXT, P2.1, P2.0 为晶振引脚

D8h.5 **STPSCK**:设为 1, 停止慢钟在停止模式。

D8h.4 **STPPCK**:设为 1, 停止 Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。

D8h.3 **STPFCK**:设为 1, 停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

D8h.2 **SELFCK**:系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0:慢时钟

1:快时钟

D8h.1~0 **CLKPSC**:系统时钟分频器, 生效延迟最大为 16 个时钟周期

00:系统时钟是快/慢时钟除以 16

01:系统时钟是快/慢时钟除以 4

10:系统时钟是快/慢时钟除以 2

11:系统时钟是快/慢时钟除以 1

5.2 操作模式

这个设备有四种操作模式。**快钟模式**被定义为在快时钟速度运行的CPU。**慢钟模式**被定义为慢时钟速度运行的CPU。当系统时钟速度较低，功耗较低。

空闲模式通过设置PCON中的IDL位进入。快或慢时钟都可设置为在空闲模式下的系统时钟源，但慢时钟的省电越好。在空闲模式下，CPU进入睡眠，而片上外围设备保持活跃。在CLKCON SFR中的“STPPCK”位可以设置为进一步降低空闲模式下的电流。如果STPPCK = 1，Timer0/1/2，ADC在空闲模式时停止。较慢的系统时钟频率也有助于节省电流。它可以通过设置CLKPSC SFR降低系统时钟频率来实现。空闲模式是通过复位或使能的中断来唤醒。

停止模式是通过设置PCON中的PD位及CLKCON中的STPSCK位进入。这种模式在标准的8051是所谓的“省电”模式。在停止模式下，除了WDT时钟可能开启，其他所有时钟停止。停止模式可以通过复位或引脚唤醒来结束。

暂停模式是通过设置PCON中的PD位及清除CLKCON中的STPSCK位进入。在暂停模式下，所有时钟都停止，但如果启用了Timer3和WDT，则它们可能处于开启状态。暂停模式可以通过复位，引脚唤醒或Timer3中断来终止。在这种模式下，Timer3时钟源只能选择慢时钟，不能选择FRC/512。

注:如果INTn 引脚是低电平且该唤醒功能启用，则芯片无法进入暂停/停止模式。(INTn=0 and EXn=1, n=0~2)

注:固件必须关闭Bandgap以获得最小电流消耗 (VBGOUT=0)

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	-	-	-	GF1	GF0	PD	IDL
R/W	R/W	-	-	-	R/W	R/W	R/W	R/W
Reset	0	-	-	-	0	0	0	0

87h.1 **PD:**停止位，如果 1 进入暂停/停止模式。

87h.0 **IDL:**空闲位，如果 1 进入空闲模式。

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	-	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	-	R/W	R/W	R/W	R/W	R/W	
Reset	0	-	1	0	0	0	1	1

D8h.7 **SCKTYPE:**慢时钟类型。该位只能在快钟模式 (SELFCK=1) 时改变。

0:SRC, P2.1, P2.0 为 I/O 引脚

1:SXT, P2.1, P2.0 为晶振引脚

D8h.5 **STPSCK:**设为 1，停止慢钟在停止模式。

D8h.4 **STPPCK:**设为 1，停止 Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。

D8h.3 **STPFCK:**设为 1，停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

D8h.2 **SELFCK:**系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0:慢时钟 1:快时钟

D8h.1~0 **CLKPSC:**系统时钟分频器，生效延迟最大为 16 个时钟周期

00:系统时钟是快/慢时钟除以 16

01:系统时钟是快/慢时钟除以 4

10:系统时钟是快/慢时钟除以 2

11:系统时钟是快/慢时钟除以 1

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	-	-	MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	-	-	R/W
Reset	0	0	0	0	0	-	-	0

F7h.4 **VBGOUT**: 带隙基准电压输出至 P3.2

0: 关闭

1: 启用

6. 中断和唤醒

该芯片有13源4级中断优先级结构。只有引脚中断可以从暂停/停止模式下唤醒CPU。每个中断源都有自己的使能控制位。不管它的中断使能控制位是0还是1，中断事件将设置其个别的中断标志。中断向量和标志列表如下：

向量	标志	描述
0003	IE0	INT0 外部引脚中断 (可以唤醒暂停/停止模式)
000B	TF0	Timer0 中断
0013	IE1	INT1 外部引脚中断 (可以唤醒暂停/停止模式)
001B	TF1	Timer1 中断
0023	—	保留
002B	TF2+EXF2	Timer2 中断
0033	—	保留为 ICE 模式使用
003B	TF3	Timer3 中断
0043	PCIF	Port0~Port3 外部引脚电平变化中断 (可以唤醒暂停/停止模式)
004B	IE2	INT2 外部引脚中断 (可以唤醒暂停/停止模式)
0053	ADIF/TKIF	ADC/TK 中断
005B	WGIF	WG 中断
0063	LVDIF	LVD 中断
006B	CMPIF	CMP 中断
0073	PWM0IF PWM1IF	PWM0~1 中断

中断向量和标志

6.1 中断使能和优先级控制

IE和INTE1的SFR决定中断是否由CPU提供服务。IP，IPH，IP1和IP1H SFRs决定中断优先级。中断会被服务，需要相同或更高优先级的中断尚未被服务。如果相同或更高优先级的中断被服务时，新的中断将等待被服务，直到它之前的服务完成。如果较低优先级中断正被服务时，将被停止，开始新的中断服务。当新的中断结束后，被停止的较低优先级的中断才会被完成。

6.2 子程序中断建议

当进入中断程序时，除了传统上已知的应该是PUSH、POP的SFR A或PSW外，一些用于索引的SFR也应该添加到PUSH POP的行列中。为了避免在中断前后读写这些sfr可能导致不一致。此外，PWMDH、PWMDL、PWMPRDH或PWMPRDL为16位操作及DACDH、DACDL为10位操作，程序在高字节和低字节写入和读取时，应该避免发生中断。假如在读写这些双字节的SFR其间发生中断。而中断内又对这些SFR做读写。则容易造成读写的错误。对于16位PWM周期和占空比读写任务或设定10位DAC电压时，建议只在主程序中更新数据，或者只在中断中更新数据，以避免可能出现的错误。

SFR 84h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE2	—	PWM1IE	PWM0IE	—	—	—	—	—
R/W	—	R/W	R/W	—	—	—	—	—
Reset	—	0	0	—	—	—	—	—

- 84h.6 **PWM1IE**:PWM1, PWM1A, PWM1B 中断使能
0:禁用
1:使能 (注意:PWMIE 必须同时为 1 才能产生 PWM 中断)
- 84h.5 **PWM0IE**:PWM0, PWM0A, PWM0B 中断使能
0:禁用
1:使能 (注意:PWMIE 必须同时为 1 才能产生 PWM 中断)

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	—	ET2	—	ET1	EX1	ET0	EX0
R/W	R/W	—	R/W	—	R/W	R/W	R/W	R/W
Reset	0	—	0	—	0	0	0	0

- A8h.7 **EA**:总中断使能控制
0:禁用所有中断
1:每个中断通过其各个中断控制位使能或禁止
- A8h.5 **ET2**:Timer2 中断使能控制
0:禁用 Timer2 中断
1:允许 Timer2 中断
- A8h.3 **ET1**:Timer1 中断使能控制
0:禁用 Timer1 中断
1:允许 Timer1 中断
- A8h.2 **EX1**:INT1 引脚中断和暂停/停止模式唤醒使能控制
0:禁用 INT1 引脚中断和暂停/停止模式唤醒
1:允许 INT1 引脚中断和暂停/停止模式唤醒, 不管 EA 为 0 或 1, 都可从暂停/停止模式下唤醒 CPU
- A8h.1 **ET0**:Timer0 中断使能控制
0:禁用 Timer0 中断
1:允许 Timer0 中断
- A8h.0 **EX0**:INT0 引脚中断和暂停/停止模式唤醒使能控制
0:禁用 INT0 引脚中断和暂停/停止模式唤醒
1:允许 INT0 引脚中断和暂停/停止模式唤醒, 不管 EA 为 0 或 1, 都可从暂停/停止模式下唤醒 CPU

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	LVDIE	WGIE	ADTKIE	EX2	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- A9h.7 **PWMIE**:PWM0~PWM1 全局中断使能控制
0:禁用 PWM0~PWM1 中断
1:允许 PWM0~PWM1 中断
- A9h.6 **CMPIE**:CMP 中断使能控制
0:关闭 CMP 中断
1:使能 CMP 中断
- A9h.5 **LVDIE**:LVD 中断使能控制
0:关闭 LVD 中断
1:使能 LVD 中断
- A9h.4 **WGIE**:WG 中断使能控制
0:关闭 WG 中断
1:使能 WG 中断
- A9h.3 **ADTKIE**:ADC/TK 中断使能控制
0:关闭 ADC/TK 中断
1:使能 ADC/TK 中断
- A9h.2 **EX2**:外部 INT2 引脚中断使能和暂停/停止模式唤醒使能
0:关闭 INT2 引脚中断和暂停/停止模式唤醒
1:使能 INT2 引脚中断和暂停/停止模式唤醒，无论 EA 为 0 还是 1，都可以将 CPU 从暂停/停止模式唤醒。
- A9h.1 **PCIE**:Port0~Port3 引脚改变中断使能。此位不影响暂停/停止模式唤醒能力
0:关闭 Port0~Port3 引脚变换中断
1:使能 Port0~Port3 引脚变换中断
- A9h.0 **TM3IE**:Timer3 中断使能控制
0:关闭 Timer3 中断
1:使能 Timer3 中断

SFR B9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPH	—	—	PT2H	—	PT1H	PX1H	PT0H	PX0H
R/W	—	—	R/W	—	R/W	R/W	R/W	R/W
Reset	—	—	0	—	0	0	0	0

SFR B8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP	—	—	PT2	—	PT1	PX1	PT0	PX0
R/W	—	—	R/W	—	R/W	R/W	R/W	R/W
Reset	—	—	0	—	0	0	0	0

B9h.5, B8h.5 **PT2H, PT2**:Timer2 中断优先级控制。(PT2H, PT2)=

00:0 级 (最低优先级)

01:1 级

10:2 级

11:3 级 (最高优先级)

B9h.3, B8h.3 **PT1H, PT1**:Timer1 中断优先级控制。定义如上。

B9h.2, B8h.2 **PX1H, PX1**:INT1 引脚中断优先级控制。定义如上。

B9h.1, B8h.1 **PT0H, PT0**:Timer0 中断优先级控制。定义如上。

B9h.0, B8h.0 **PX0H, PX0**:INT0 引脚中断优先级控制。定义如上。

SFR BBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1H	PPWMH	PCMPH	PLVDH	PWGH	PADTKIH	PX2H	PPCH	PT3H
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

SFR BAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1	PPWM	PCMP	PLVD	PWG	PADTKI	PX2	PPC	PT3
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

BBh.7, BAh.7 **PPWMH, PPWM**:PWM0~PWM1 中断优先级控制。(PPWMH, PPWM)=

00:0 级 (最低优先级)

01:1 级

10:2 级

11:3 级 (最高优先级)

BBh.6, BAh.6 **PCMPH, PCMP**:CMP 中断优先级控制。定义如上所述。

BBh.5, BAh.5 **PLVDH, PLVD**:LVD 中断优先级控制。定义如上所述。

BBh.4, BAh.4 **PWGH, PWG**:WG 中断优先级控制。定义如上所述。

BBh.3, BAh.3 **PADTKIH, PADTKI**:ADC/TK 中断优先级控制。定义如上所述。

BBh.2, BAh.2 **PX2H, PX2**:INT2 引脚中断优先级控制。定义如上所述。

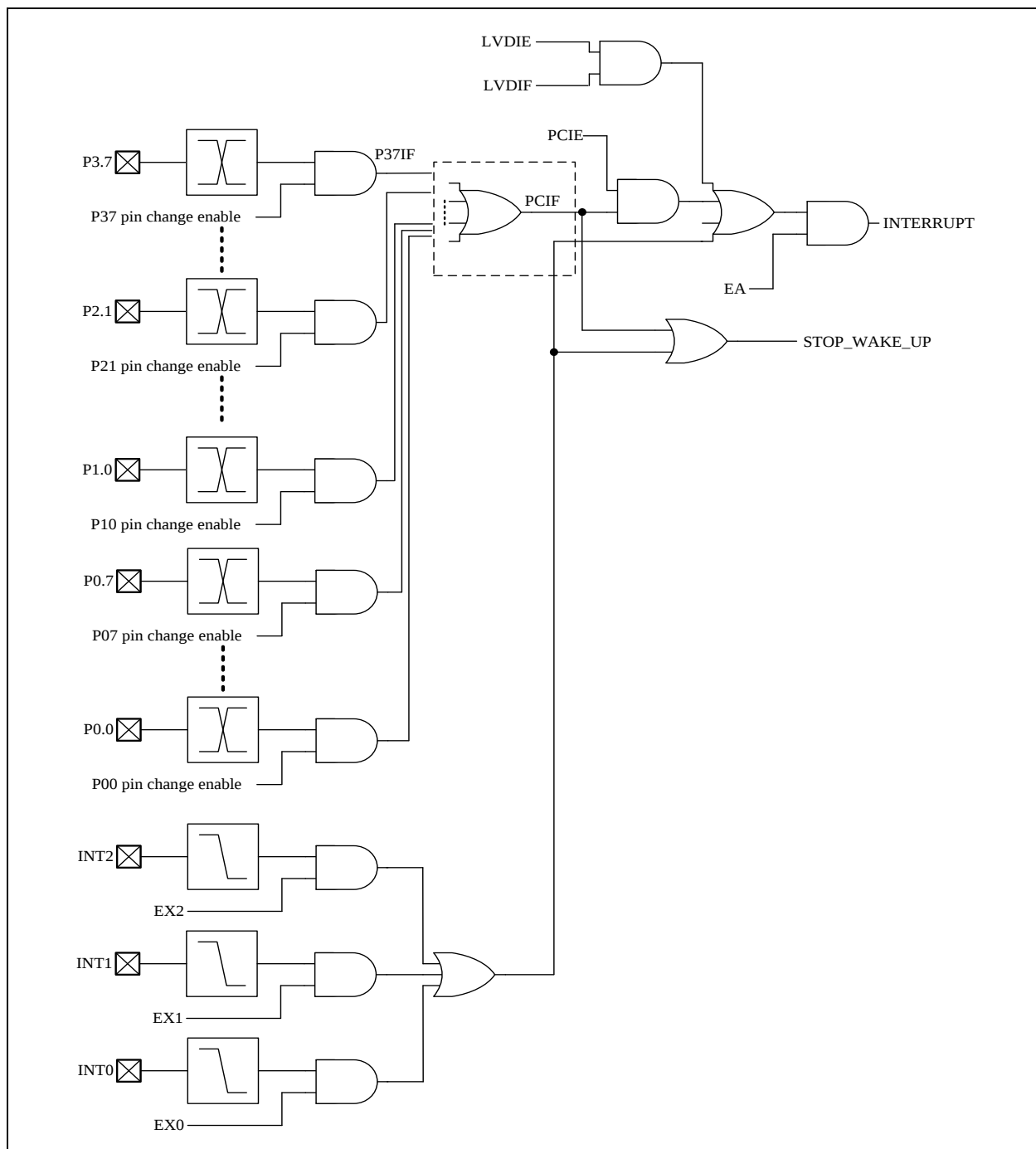
BBh.1, BAh.1 **PPCH, PPC**:端口 0~端口 3 引脚改变中断优先级控制。定义如上所述。

BBh.0, BAh.0 **PT3H, PT3**:Timer3 中断优先级控制。定义如上所述。

6.3 引脚中断和 LVD 中断

引脚中断包括INT0 (P3.2)、INT1 (P3.3)、INT2 (P3.7) 和Port0~Port3引脚电平变化中断。这些引脚具有暂停/停止模式唤醒能力。INT0和INT1是下降沿或低电平触发的8051标准。INT2为下降沿触发，而Port0~Port3引脚变化中断由I/O状态变化触发。具体操作请参见第7章。引脚模式和引脚更改启用设置。LVD中断可以用来检测V_{CC}电压水平并产生中断。

注:Port0~Port3的引脚变化唤醒/中断只允许使用在暂停/停止模式，不允许在快钟/慢钟/空闲模式下使用。



引脚中断和唤醒

注:如果INT_n 引脚为低电平并且使能了唤醒功能，则芯片无法进入暂停/停止模式。(INT_n=0 和EX_n=1, n=0~2)

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.3 **IE1**:外部中断 1(INT1 引脚) 边沿标志
 设置于 H/W 检测到 INT1 引脚下降沿时, 不管 EX1 为 0 或 1。
 程序执行中断服务时, 它会被自动清除。
- 88h.2 **IT1**:外部中断 1 控制位
 0:低电平有效 (电平触发) 的 INT1 引脚
 1:下降沿有效 (边沿触发) 的 INT1 引脚
- 88h.1 **IE0**:外部中断 0(INT0 引脚) 边沿标志
 设置于 H/W 检测到 INT0 引脚下降沿时, 不管 EX0 为 0 或 1。
 程序执行中断服务时, 它会被自动清除。
- 88h.0 **IT0**:外部中断 0 控制位
 0:低电平有效 (电平触发) 的 INT0 引脚
 1:下降沿有效 (边沿触发) 的 INT0 引脚

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	CMPIF	TKIF	ADIF	WGIF	IE2	PCIF	TF3
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 95h.7 **LVDIF**:低电压检测中断标志
 由 H/W 设置。S/W 将 7Fh 写入 INTFLG 以清除此标志。
- 95h.2 **IE2**:外部中断 2(INT2 引脚) 边沿标志
 设置于 H/W 检测到 INT2 引脚下降沿时, 不管 EX2 为 0 或 1。
 程序执行中断服务时, 它会被自动清除。
 S/W 也可以写 FBh 到 INTFLG 以清除该标志。(注)
- 95h.1 **PCIF**:Port0~Port3 引脚改变中断标志
 当检测到 Port0~Port3 引脚状态变化并设置其中断使能位时,
 程序执行中断服务, 它会被自动清除。
 S/W 也可以写 FDh 到 INTFLG 以清除该标志。(注)

注:S/W可以写0清除INTFLG中的标志, 但写1没有任何效果。

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	—	ET2	—	ET1	EX1	ET0	EX0
R/W	R/W	—	R/W	—	R/W	R/W	R/W	R/W
Reset	0	—	0	—	0	0	0	0

- A8h.7 **EA**:总中断使能控制
 0:禁用所有中断
 1:每个中断通过其各个中断控制位使能或禁止
- A8h.2 **EX1**:INT1 引脚中断和暂停/停止模式唤醒使能控制
 0:禁用 INT1 引脚中断和暂停/停止模式唤醒
 1:允许 INT1 引脚中断和暂停/停止模式唤醒, 不管 EA 为 0 或 1, 都可从暂停/停止模式下唤醒 CPU
- A8h.1 **ET0**:Timer0 中断使能控制
 0:禁用 Timer0 中断
 1:允许 Timer0 中断
- A8h.0 **EX0**:INT0 引脚中断和暂停/停止模式唤醒使能控制
 0:禁用 INT0 引脚中断和暂停/停止模式唤醒
 1:允许 INT0 引脚中断和暂停/停止模式唤醒, 不管 EA 为 0 或 1, 都可从暂停/停止模式下唤醒 CPU

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	LVDIE	WGIE	ADTKIE	EX2	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

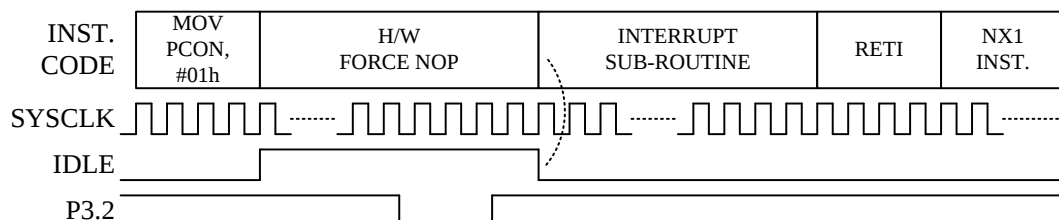
- A9h.5 **LVDIE**:LVD 中断使能控制
0:关闭 LVD 中断
1:使能 LVD 中断
- A9h.2 **EX2**:外部 INT2 引脚中断使能和暂停/停止模式唤醒使能
0:关闭 INT2 引脚中断和暂停/停止模式唤醒
1:使能 INT2 引脚中断和暂停/停止模式唤醒，无论 EA 为 0 还是 1，都可以将 CPU 从暂停/停止模式唤醒。
- A9h.1 **PCIE**:Port0~Port3 引脚改变中断使能。此位不影响暂停/停止模式唤醒能力
0:关闭 Port0~Port3 引脚变换中断
1:使能 Port0~Port3 引脚变换中断

SFR E4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDCON	LVDM	LVDO	LVDHYS	LVDPD	LVDSEL			
R/W	R/W	R	R/W	R/W	R/W			
Reset	0	0	0	0	0	0	0	0

- E4h.7 **LVDM**:低电压检测功能模式
0: $V_{CC} < V_{LVD}$ (LVDIF = 1, 当 LVDO = 1 时)
1: $V_{CC} > V_{LVD}$ (LVDIF = 1, 当 LVDO = 0 时)
- E4h.6 **LVDO**:低电压检测实时输出
- E4h.5 **LVDHYS**:LVD 迟滞使能
0:关闭 LVD 迟滞
1:使能 LVD 迟滞
- E4h.4 **LVDPD**:低电压检测功能选择 (在空闲/暂停/停止模式下自动关闭)
0:启用
1:禁用
- E4h.3~0 **LVDSEL**:低电压检测选择 (step=0.123V)
- | | |
|---------------------|---------------------|
| 0000:设置 LVD 为 1.58V | 1000:设置 LVD 为 2.56V |
| 0001:设置 LVD 为 1.70V | 1001:设置 LVD 为 2.69V |
| 0010:设置 LVD 为 1.83V | 1010:设置 LVD 为 2.81V |
| 0011:设置 LVD 为 1.95V | 1011:设置 LVD 为 2.93V |
| 0100:设置 LVD 为 2.07V | 1100:设置 LVD 为 3.06V |
| 0101:设置 LVD 为 2.20V | 1101:设置 LVD 为 3.18V |
| 0110:设置 LVD 为 2.32V | 1110:设置 LVD 为 3.30V |
| 0111:设置 LVD 为 2.44V | 1111:设置 LVD 为 3.42V |

6.4 空闲模式唤醒和中断

空闲模式下被启用的中断唤醒，这意味着各个中断使能位 (如:EX0) 和EA位必须都设置为1以建立空闲模式唤醒功能。所有被允许的中断 (引脚, 定时器, ADC, PWM和触摸按键), 可以将CPU从空闲模式唤醒。当空闲被唤醒, 立即进入中断服务程序。当中断服务程序返回后, “IDL (PCON.0) 设置后的第一个指令” 将被执行。



EA=EX0=1, P3.2 (INT0) 空闲模式唤醒和中断

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	-	-	-	GF1	GF0	PD	IDL
R/W	R/W	-	-	-	R/W	R/W	R/W	R/W
Reset	0	-	-	-	0	0	0	0

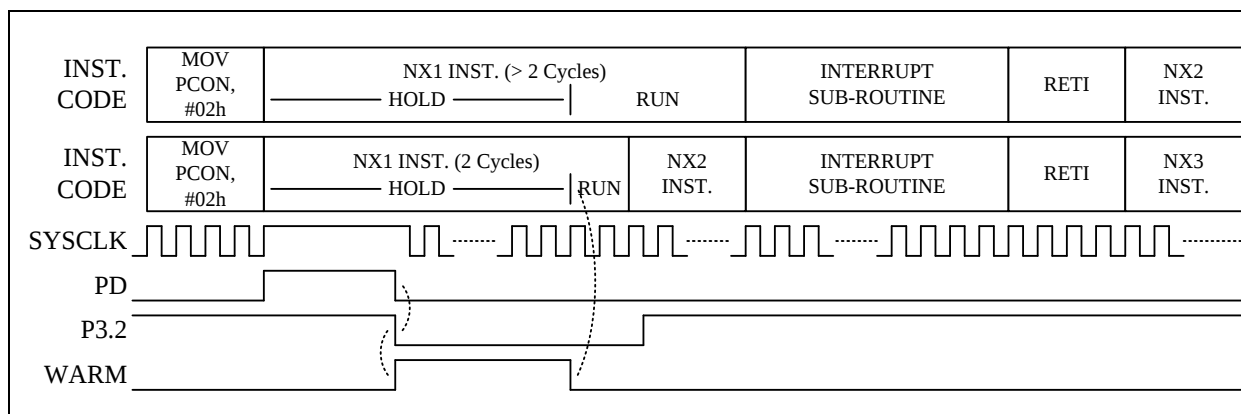
87h.1 **PD**: 停止位, 如果 1 进入暂停/停止模式。

87h.0 **IDL**: 空闲位, 如果 1 进入空闲模式。

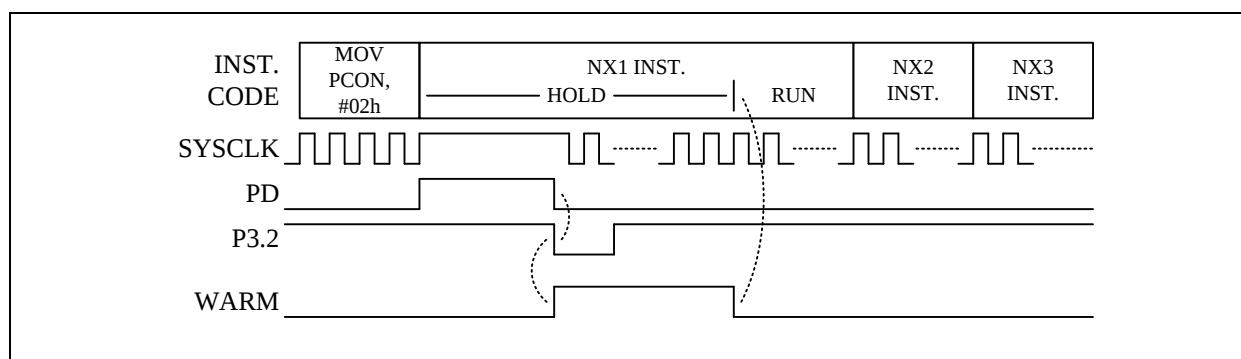
6.5 暂停/停止模式唤醒和中断

暂停/停止模式唤醒很简单, 只要把各个引脚的中断使能位 (如:EX0) 设置, 该引脚唤醒功能启用。设置EX0/EX1/EX2可以允许INT0/INT1/INT2引脚上的暂停/停止模式唤醒功能。设置PINMOD可以启用Port0~Port3的暂停/停止模式唤醒功能。一旦暂停/停止被唤醒, “PD (PCON.1) 设置后的第一条指令” 立即在中断服务之前被执行。中断进入需要EA=1和该引脚触发状态停留足够长, 以被系统时钟采样到。此功能可让CPU暂停/停止模式唤醒后, 进入或不进入中断子程序。

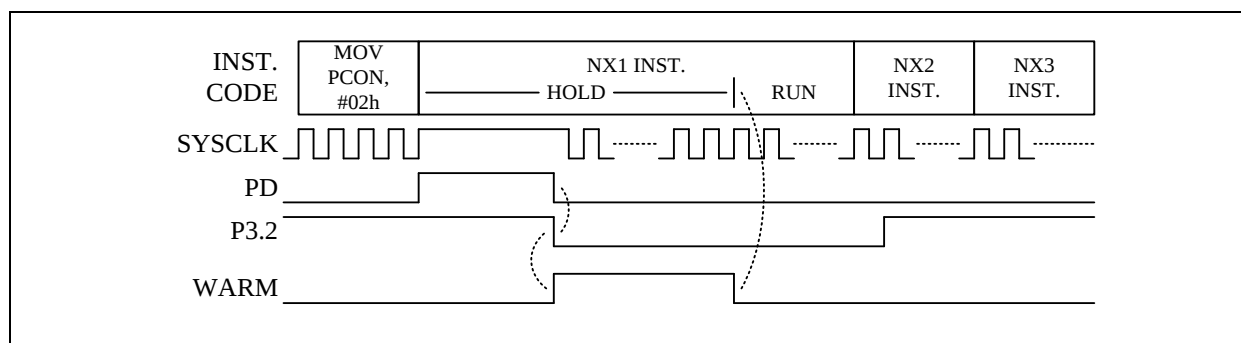
注:如果INTn 引脚是低电平且该唤醒功能启用, 则芯片无法进入暂停/停止模式。 (INTn=0 and EXn=1, n=0~2)



EA=EX0=1, P3.2 (INT0) 预热后被采样, 暂停/停止模式唤醒和中断



EA=EX0=1, 脉冲太窄, 暂停/停止模式唤醒, 但没有中断



EX0= 1, EA=0, P3.2 (INT0) 暂停/停止模式唤醒, 但没有中断

7. I/O 端口

该芯片总共有26个多功能I/O引脚。所有的I/O引脚遵循标准8051“读-修改-写”功能。读取SFR的，而不是引脚状态的指令，会读取一个端口或端口位的值，可能改变它，然后将它改写到SFR。(例如:ANL P1, A; INC P2; CPL P3.0)。

7.1 端口0~端口3

IO引脚可以按以下不同方式定义。

PxMODn x=0~3, n=0~7					引脚状态	中断	唤醒
模式 0	0	0	0	0	开漏输出，上拉	支持*	支持*
模式 1	0	0	0	1	开漏输出 (默认)	支持*	支持*
模式 2	0	0	1	0	CMOS 推挽输出	-	-
模式 3	0	0	1	1	ADC/CMP 通道	-	-
模式 4	0	1	0	0	开漏输出，下拉	支持	支持
模式 5	0	1	0	1	开漏输出	支持	支持
模式 6	0	1	1	0	CMOS 推挽输出	-	-
模式 7	0	1	1	1	LED 输出	-	-
模式 8	1	0	0	0	开漏输出，上拉 (针对暂停/停止模式引脚电平变化)	支持	支持
模式 9	1	0	0	1	开漏输出 (针对暂停/停止模式引脚电平变化)	支持	支持
模式 10	1	0	1	0	CMOS 推挽输出	-	-
模式 11	1	0	1	1	PWMO 输出	-	-
模式 12	1	1	0	0	开漏输出，下拉 (针对暂停/停止模式引脚电平变化)	支持	支持
模式 13	1	1	0	1	开漏输出 (针对暂停/停止模式引脚电平变化)	支持	支持
模式 14	1	1	1	0	TCO/T0O/T1O/T2O/WG/CMPO 输出	-	-
模式 15	1	1	1	1	LCD 1/2 V _{CC} 偏压输出	-	-

表7.1 端口0~端口3引脚菜单

*针对 INT0/INT1/INT2

引脚模式	端口0~端口3引脚功能	Px.n SFR 数据	引脚状态	电阻上拉	电阻下拉	数位输入
模式0 模式8	带上拉的开漏输出	0	驱动低	N	N	N
		1	上拉	Y	N	Y
模式4 模式12	带下拉的开漏输出	0	驱动低	N	N	N
		1	下拉	N	Y	Y
模式1 模式5 模式9 模式13	开漏输出	0	驱动低	N	N	N
		1	高阻抗	N	N	Y
模式2 模式6 模式10	CMOS 推挽输出	0	驱动低	N	N	N
		1	驱动高	N	N	N
模式3	ADC/CMP 通道	X (无关)	-	N	N	N
模式7	LED 输出	X (无关)	-	N	N	N
模式11	PWMO 输出	X (无关)	-	N	N	N
模式14	TCO/T0O/T1O/T2O/WG/CMPO 输出	X (无关)	-	N	N	N
模式15	LCD 1/2 V _{CC} 偏压输出	X (无关)	-	Y	Y	N

端口0~端口3引脚功能表

如果一个端口0~端口3引脚用于施密特触发输入，S/W必须设置I/O引脚到模式0，模式1，模式4，模式5，模式8，模式9，模式12或模式13(开漏，带上拉的开漏或带下拉的开漏)，并设置相应的端口数据SFR为1来禁止该引脚的输出驱动电路。

除了I/O端口功能外，每个端口1~端口3引脚还具有一个或多个替代功能，例如LED，ADC和LCD。通过将单独的引脚模式控制SFR设置为模式3，模式7，模式11，模式14或模式15，可以激活大多数功能。端口1和端口3引脚具有标准的8051辅助定义，例如INT0/INT1/INT2或T0/T1/T2。这些引脚功能需要将引脚模式SFR设置为模式0，模式1，模式5，模式8，模式12或模式13(开漏或带上拉的开漏)，并将P1.n/P3.n SFR保持为1。

引脚名称	唤醒中断	CKO	ADC	TK	LED (矩阵)	LED (点阵)	LCD	PWM	CMP	WG	其他
P0.7	Y				C4/S11	LED4	Y				
P0.6	Y				C5/S10	LED5	Y				
P0.5	Y				C6/S9	LED6	Y				PSCL
P0.4	Y				C7/S8	LED7	Y				PSDA
P0.3	Y				SEG7	LED8	Y				
P0.2	Y				SEG6		Y				
P0.1	Y			TK7	SEG5		Y	PWM1N		WG1	
P0.0	Y			CLD	SEG4		Y				

端口0多重功能菜单

引脚名称	唤醒中断	CKO	ADC	TK	LED (矩阵)	LED (点阵)	LCD	PWM	CMP	WG	其他
P1.7	Y	TCO	AD12				Y				
P1.6	Y		AD11				Y		CMPO		
P1.5	Y		AD10				Y		CIN4	WG3	
P1.4	Y		AD9				Y		CIP4	WG2	
P1.3	Y				COM3	LED3	Y				
P1.2	Y				COM2	LED2	Y				
P1.1	Y				COM1	LED1	Y				T2EX
P1.0	Y				COM0	LED0	Y				

端口1多重功能菜单

引脚名称	唤醒中断	CKO	ADC	TK	LED (矩阵)	LED (点阵)	LCD	PWM	CMP	WG	其他
P2.1	Y		AD8				Y				XI
P2.0	Y		AD7				Y				XO

端口2多重功能菜单

引脚名称	唤醒中断	CKO	ADC	TK	LED (矩阵)	LED (点阵)	LCD	PWM	CMP	WG	其他
P3.7	Y						Y				RSTn VPP INT2
P3.6	Y		AD6	TK6	SEG3		Y	PWM0P	CIN1		
P3.5	Y	T1O	AD5	TK5	SEG2		Y	PWM1P	CIN2		T1
P3.4	Y	T0O	AD4	TK4	SEG1		Y	PWM0B	CIN3		T0
P3.3	Y		AD3	TK3	SEG0		Y	PWM0A			INT1
P3.2	Y	T2O	AD2	TK2			Y	PWM0N	CIP1		INT0 VBGO T2
P3.1	Y		AD1	TK1			Y	PWM1B	CIP2		PSDA
P3.0	Y		AD0	TK0			Y	PWM1A	CIP3	WG0	PSCL

端口3多重功能菜单

下面列出了端口0~端口3引脚的替代功能所需的 SFR 设置。

替代功能	PINMOD _{xx}	Px.n SFR 数据	引脚状态	设其他需要的 SFR 置
INT0, INT1, INT2	0000	1	带上拉的输入	
	0001	1	输入	
T0, T1, T2, T2EX	x000	1	带上拉的输入	
	xx01	1	输入	
XI, XO	0000	1	晶振	CLKCON
VBGO	0011	X	带隙基准电压输出	VBGOUT
AD0~AD12	0011	X	ADC 通道	ADCHS
CIN1~CIN4 CIP1~CIP4	0011	X	CMP 通道	CMPPNS
COM0~COM7	0111	X	LED 矩阵模式 COM 输出	LEDCON LEDCON2
SEG0~SEG11			LED 矩阵模式 SEG 输出	
LED0~LED8			LED 点阵模式输出	
LCD	1111	X	LCD 1/2 V _{CC} 偏压输出	
PWM0N/0P/0A/0B PWM1N/1P/1A/1B	1011	X	PWM 输出 (CMOS 推挽)	
T0O, T1O, T2O, TCO	1110	X	时钟输出 (CMOS 推挽)	
CMPO	1110	X	CMP 输出 (CMOS 推挽)	
WG0~WG3	1110	X	WG 输出 (CMOS 推挽)	

对于上表中，“CMOS推挽”引脚意味着它可以吸收和驱动至少4 mA的电流。我们不建议使用这种引脚作为输入功能。

一个“开漏”引脚意味着它可以吸收至少4 mA电流，但只能驱动小电流 (<20μA)。它可以用作输入或输出功能，并且通常需要一个外部上拉电阻。P3.0~P3.2可以透过设置SFR PSEUDOEN选择是否开启伪开漏的选项。

该芯片支持I/O高灌电流功能。这是一个选项，通过设置 SFR HSNK0EN, HSNK1EN和HSNK2EN来启用。为了有效控制，我们将高灌电流功能引脚分为三组 (第0组:P0.3~P0.7, P1.0~P1.3; 第1组:P0.1, P3.0~P3.6; 第2组:P0.0, P0.2, P1.4~P1.7, P2.0~P2.1)。

该芯片支持I/O驱动电流三阶可选功能。通过设置 SFR DRVCON, DRVCON2, DRVCON3和DRVCON4来切换。LED SEG0~SEG11可独立控制，其余脚位则是分组控制，其中P3.2只有正常驱动电流及加强驱动电流两阶可选。而P3.7做为VPP高压脚位是固定驱动电流，无法选择不同阶的驱动电流。

该芯片也能透过设置SFR VIS来选择不同的V_{IH}/V_{IL}设定，当VIS=0时，V_{IH}/V_{IL} = 0.7V_{CC}/0.3V_{CC}。当VIS=1时，V_{IH}/V_{IL} = 0.4V_{CC}/0.2V_{CC}。

另外P3.2还有一个特殊的蜂鸣器模式，通过设置SFR BUZMOD来切换。当BUZMOD=0时，P3.2的引脚模式是透过SFR P3MOD2来决定。而当BUZMOD=1时，P3.2则切换成蜂鸣器模式。在此模式下，P3MOD2需设置在模式2、模式6或模式10 (CMOS推挽输出)。当P3.2=1时，引脚状态同一般CMOS推挽输出为驱动高，当P3.2=0，引脚状态则不是驱动低而是高阻抗。P3.2的蜂鸣器模式搭配其他PWM输出，可以实现伪和弦的效果。

SFR 80h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

80h.7~0 **P0**: 端口0数据

SFR 90h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

90h.7~0 **P1**: 端口1数据

SFR A0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

A0h.7~0 **P2**: 端口2数据

SFR B0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

B0h.7~0 **P3**: 端口3数据

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0MOD10	P0MOD1				P0MOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

91h.7~4 **P0MOD1**: P0.1引脚控制

0000~1111: 见表7.1

91h.3~0 **P0MOD0**: P0.0引脚控制

0000~1111: 见表7.1

SFR 92h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0MOD32	P0MOD3				P0MOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

92h.7~4 **P0MOD3**: P0.3引脚控制

0000~1111: 见表7.1

92h.3~0 **P0MOD2**: P0.2引脚控制

0000~1111: 见表7.1

SFR 93h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0MOD54	P0MOD5				P0MOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

93h.7~4 **P0MOD5**: P0.5引脚控制

0000~1111: 见表7.1

93h.3~0 **P0MOD4**: P0.4引脚控制

0000~1111: 见表7.1

SFR 96h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0MOD76	P0MOD7				P0MOD6			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

96h.7~4 **P0MOD7**:P0.7引脚控制

0000~1111: 见表7.1

96h.3~0 **P0MOD6**:P0.6引脚控制

0000~1111: 见表7.1

SFR 9Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD10	P1MOD1				P1MOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Ah.7~4 **P1MOD1**:P1.1引脚控制

0000~1111: 见表7.1

9Ah.3~0 **P1MOD0**:P1.0引脚控制

0000~1111: 见表7.1

SFR 9Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD32	P1MOD3				P1MOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Bh.7~4 **P1MOD3**:P1.3引脚控制

0000~1111: 见表7.1

9Bh.3~0 **P1MOD2**:P1.2引脚控制

0000~1111: 见表7.1

SFR 9Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD54	P1MOD5				P1MOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Ch.7~4 **P1MOD5**:P1.5引脚控制

0000~1111: 见表7.1

9Ch.3~0 **P1MOD4**:P1.4引脚控制

0000~1111: 见表7.1

SFR 9Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MOD76	P1MOD7				P1MOD6			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Dh.7~4 **P1MOD7**:P1.7引脚控制

0000~1111: 见表7.1

9Dh.3~0 **P1MOD6**:P1.6引脚控制

0000~1111: 见表7.1

SFR 9Eh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2MOD10	P2MOD1				P2MOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

9Eh.7~4 **P2MOD1**:P2.1引脚控制

0000~1111: 见表7.1

9Eh.3~0 **P2MOD0**:P2.0引脚控制

0000~1111: 见表7.1

SFR A2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD10	P3MOD1				P3MOD0			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A2h.7~4 **P3MOD1**:P3.1引脚控制

0000~1111: 见表7.1

A2h.3~0 **P3MOD0**:P3.0引脚控制

0000~1111: 见表7.1

SFR A3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD32	P3MOD3				P3MOD2			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A3h.7~4 **P3MOD3**:P3.3引脚控制

0000~1111: 见表7.1

A3h.3~0 **P3MOD2**:P3.2引脚控制

0000~1111: 见表7.1

SFR A4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD54	P3MOD5				P3MOD4			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A4h.7~4 **P3MOD5**:P3.5引脚控制

0000~1111: 见表7.1

A4h.3~0 **P3MOD4**:P3.4引脚控制

0000~1111: 见表7.1

SFR A5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MOD76	P3MOD7				P3MOD6			
R/W	R/W				R/W			
Reset	0	0	0	1	0	0	0	1

A5h.7~4 **P3MOD7**:P3.7引脚控制

0000~1111: 见表7.1

A5h.3~0 **P3MOD6**:P3.6引脚控制

0000~1111: 见表7.1

SFR C4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DRVCON	DRVS3		DRVS2		DRVS1		DRVS0	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

C4h.7~6 **DRVS3**:LED SEG3 (P3.6) 驱动电流选择

00: 正常驱动电流 (约 14mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)

01: 强驱动电流 (约 30mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)

1x: 弱驱动电流 (约 12mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)

C4h.5~4 **DRVS2**:LED SEG2 (P3.5) 驱动电流选择

00: 正常驱动电流 (约 14mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)

01: 强驱动电流 (约 30mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)

1x: 弱驱动电流 (约 12mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)

C4h.3~2 **DRVS1**:LED SEG1 (P3.4) 驱动电流选择

00: 正常驱动电流 (约 14mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)

01: 强驱动电流 (约 30mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)

1x: 弱驱动电流 (约 12mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)

- C4h.1~0 **DRVS0**:LED SEG0 (P3.3) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

SFR C5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DRVCON2	DRVS7		DRVS6		DRVS5		DRVS4	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

- C5h.7~6 **DRVS7**:LED SEG7 (P0.3) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

- C5h.5~4 **DRVS6**:LED SEG6 (P0.2) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

- C5h.3~2 **DRVS5**:LED SEG5 (P0.1) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

- C5h.1~0 **DRVS4**:LED SEG4 (P0.0) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

SFR C6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DRVCON3	DRVS7		DRVS6		DRVS5		DRVS4	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

- C6h.7~6 **DRVS11**:LED SEG11 (P0.7) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

- C6h.5~4 **DRVS10**:LED SEG10 (P0.6) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

- C6h.3~2 **DRVS9**:LED SEG9 (P0.5) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

- C6h.1~0 **DRVS8**:LED SEG8 (P0.4) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

SFR C7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DRVCON4	—	DRVP32	DRVG2		DRVG1		DRVG0	
R/W	—	R/W	R/W		R/W		R/W	
Reset	—	0	0	0	0	0	0	0

- C7h.6 **DRVP32**: P3.2驱动电流选择
0: 正常驱动电流 (约 14mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)
1: 加强驱动电流 (约 67mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)
- C7h.5~4 **DRVG2**: 第2组 (P2.0~P2.1 & P3.0~P3.1) 驱动电流选择
00: 正常驱动电流 (约 14mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)
01: 强驱动电流 (约 30mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)
1x: 弱驱动电流 (约 12mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)
- C7h.3~2 **DRVG1**: 第1组 (P1.4~P1.7) 驱动电流选择
00: 正常驱动电流 (约 14mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)
01: 强驱动电流 (约 30mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)
1x: 弱驱动电流 (约 12mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)
- C7h.1~0 **DRVG0**: 第0组 (P1.0~P1.3) 驱动电流选择
00: 正常驱动电流 (约 14mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)
01: 强驱动电流 (约 30mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)
1x: 弱驱动电流 (约 12mA@V_{OH}=0.9V_{CC}, V_{CC}=5V)

SFR EFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX3	—	HSNK2EN	HSNK1EN	HSNK0EN	WARMTIME	BUZMOD	VIS	PSEUDOEN
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	—	0	0	0	0	0	0	0

- EFh.6 **HSNK2EN**: 引脚高灌电流使能 (第2组: P0.0, P0.2, P1.4~P1.7, P2.0~P2.1)
0: 第2组高灌电流引脚禁用
1: 第2组高灌电流引脚使能
- EFh.5 **HSNK1EN**: 引脚高灌电流使能 (第1组: P0.1, P3.0~P3.6)
0: 第1组高灌电流引脚禁用
1: 第1组高灌电流引脚使能
- EFh.4 **HSNK0EN**: 引脚高灌电流使能 (第0组: P0.3~P0.7, P1.0~P1.3)
0: 第0组高灌电流引脚禁用
1: 第0组高灌电流引脚使能
- EFh.2 **BUZMOD**: P3.2蜂鸣器模式使能
0: P3.2 的引脚模式由 P3MOD2 设置
1: 设置 P3.2 的引脚模式为蜂鸣器模式
- EFh.1 **VIS**: 引脚 V_{IH}/V_{IL} 选择
0: V_{IH}/V_{IL} = 0.7V_{CC}/0.3V_{CC}
1: V_{IH}/V_{IL} = 0.4V_{CC}/0.2V_{CC}
- EFh.0 **PSEUDOEN**: P3.0~P3.2伪开漏使能
0: 禁用
1: 启用

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	—	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	
Reset	0	—	1	0	0	0	1	1

- D8h.7 **SCKTYPE**: 慢时钟类型。该位只能在快钟模式 (SELFCK=1) 时改变。
0: SRC, P2.1, P2.0为 I/O 引脚
1: SXT, P2.1, P2.0为晶振引脚

SFR AEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCHSEL	ADCHS					ADCVREFS	ADCVBGS	
R/W	R/W					R/W	R/W	
Reset	1	0	0	0	0	0	0	0

AEh.7~3 **ADCHS**:ADC 通道选择

00000: AD0 (P3.0)
00001: AD1 (P3.1)
00010: AD2 (P3.2)
00011: AD3 (P3.3)
00100: AD4 (P3.4)
00101: AD5 (P3.5)
00110: AD6 (P3.6)
00111: AD7 (P2.0)
01000: AD8 (P2.1)
01001: AD9 (P1.4)
01010: AD10 (P1.5)
01011: AD11 (P1.6)
01100: AD12 (P1.7)
其他: 保留
11011: V_{SS}
11100: V_{BG}
11101: DAC
11110: 保留
11111: $V_{CC}/4$

SFR BFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMPPNS	SCMPN	SCIN			—	SCIP		
R/W	R/W	R/W			—	R/W		
Reset	1	1	1	1	—	1	1	1

BFh.7 **SCMPN**:比较器 CMPN 源选择

0: 比较器 CMPN 源为外部输入 (CIN_x)
1: 比较器 CMPN 源为 DAC 输出

BFh.6~4 **SCIN**:比较器 CMPN 外部输入选择

000: 比较器 CMPN 外部输入为 $CIN1$ (P3.6)
001: 比较器 CMPN 外部输入为 $CIN2$ (P3.5)
010: 比较器 CMPN 外部输入为 $CIN3$ (P3.4)
011: 比较器 CMPN 外部输入为 $CIN4$ (P1.5)
100: 比较器 CMPN 输入为 V_{SS}
其他: 无连接

BFh.2~0 **SCIP**:比较器 CMPP 外部输入选择

000: 比较器 CMPP 外部输入为 $CIP1$ (P3.2)
001: 比较器 CMPP 外部输入为 $CIP2$ (P3.1)
010: 比较器 CMPP 外部输入为 $CIP3$ (P3.0)
011: 比较器 CMPP 外部输入为 $CIP4$ (P1.4)
100: 比较器 CMPP 输入为 V_{SS}
其他: 无连接

SFR B1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCON	LEDEN	LEDDUTY			–	LEDBRIT		
R/W	R/W	R/W			–	R/W		
Reset	0	0	0	0	–	1	1	1

B1h.7 **LEDEN**:LED 使能

0:LED 关闭

1:LED 启用, 需将 LED 相关引脚设为模式 7 (见表 7.1)

SFR B2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCON2	LEDPSC			–	LEDHOLD	–	LEDMODE	
R/W	R/W			–	R/W	–	R/W	
Reset	1	0	1	–	0	–	0	0

B2h.1~0 **LEDMODE**:模式选择

00:矩阵 (MX) 扫描模式

01:保留

10:点阵 (DMX) 扫描模式

11:保留

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSVAV	VBGOUT	DIV32	–	–	MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	–	–	R/W
Reset	0	0	0	0	0	–	–	0

F7h.4 **VBGOUT**:带隙基准电压输出至 P3.2

0:关闭

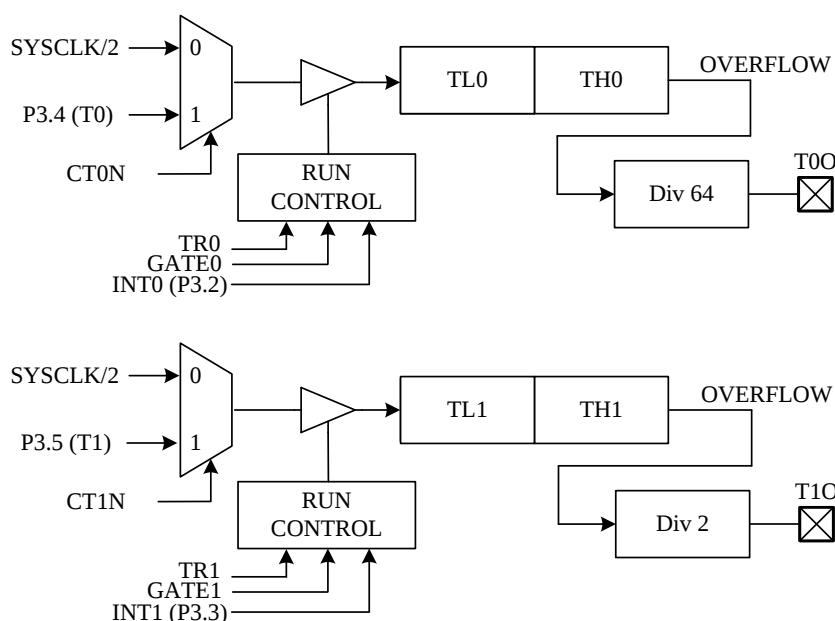
1:启用

8. 定时器

Timer0, Timer1和Timer2设置为标准的8051兼容的定时器/计数器。相较于传统的12T 8051, 该芯片的Timer0/1/2使用2个系统时钟周期的时间基本单元。也就是说, 在定时器模式下, 这些定时器以每一个“2个系统时钟”率增加;在计数器模式下, T0/T1/T2引脚输入脉冲必须大于2个系统时钟以便该设备可以辨识。除了标准8051定时器功能, T0O引脚输出“Timer0溢出除以64”的信号, T1O引脚输出“Timer1溢出除以2”的信号, 而T2O引脚输出“Timer2溢出除以2”的信号。当时基是SXT, Timer3被设置为一个实时时钟计数。

8.1 Timer0/1

TCON和TMOD用于设置操作模式, 并控制Timer0/1的运行和中断产生, 定时器/计数器的值存储在两个成对的8位寄存器 (TL0, TH0和TL1, TH1)。



Timer0 and Timer1结构

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.7 **TF1**:Timer1 溢出标志
当定时器/计数器 1 溢出时由 H/W 设置。
当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.6 **TR1**:Timer1 运行控制
0:Timer1 停止
1:Timer1 运行
- 88h.5 **TF0**:Timer0 溢出标志
当定时器/计数器 0 溢出时由 H/W 设置。
当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.4 **TR0**:Timer0 运行控制
0:Timer0 停止
1:Timer0 运行

SFR 89h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
R/W	R/W	R/W	R/W		R/W	R/W	R/W	
Reset	0	0	0	0	0	0	0	0

- 89h.7 **GATE1**:Timer1 门控位
0:当 TR1 位设置时 Timer1 使能
1:只有当 INT1 引脚为高, TR1 位设置时 Timer1 使能
- 89h.6 **CT1N**:Timer1 计数器/定时器选择位
0:定时器模式, Timer1 的数据以 2 个系统时钟周期率增加
1:计数器模式, Timer1 的数据在 T1 引脚的下降沿时增加
- 89h.5~4 **TMOD1**:Timer1 模式选择
00:8 位定时器/计数器 (TH1) 和 5 位预分频器 (TL1)
01:16 位定时器/计数器
10:8 位自动重载定时器/计数器 (TL1), 溢出时从 TH1 重新装载。
11:Timer1 停止
- 89h.3 **GATE0**:Timer0 门控位
0:当 TR0 位设置时 Timer0 使能
1:只有当 INT0 引脚为高, TR0 位设置时 Timer0 使能
- 89h.2 **CT0N**:Timer0 计数器/定时器选择位
0:定时器模式, Timer0 的数据以 2 个系统时钟周期率增加
1:计数器模式, Timer0 的数据在 T0 引脚的下降沿时增加
- 89h.1~0 **TMOD0**:Timer0 模式选择
00:8 位定时器/计数器 (TH0) 和 5 位预分频器 (TL0)
01:16 位定时器/计数器
10:8 位自动重载定时器/计数器 (TL0), 溢出时从 TH0 重新装载。
11:TL0 是一个 8 位定时器/计数器。TH0 是一个 8 位定时器/计数器, 使用 Timer1 的 TR1 和 TF1 位

SFR 8Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL0	TL0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ah.7~0 **TL0**:Timer0 数据的低字节

SFR 8Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL1	TL1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Bh.7~0 **TL1**:Timer1 数据的低字节

SFR 8Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH0	TH0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ch.7~0 **TH0**:Timer0 数据的高字节

SFR 8Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH1	TH1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

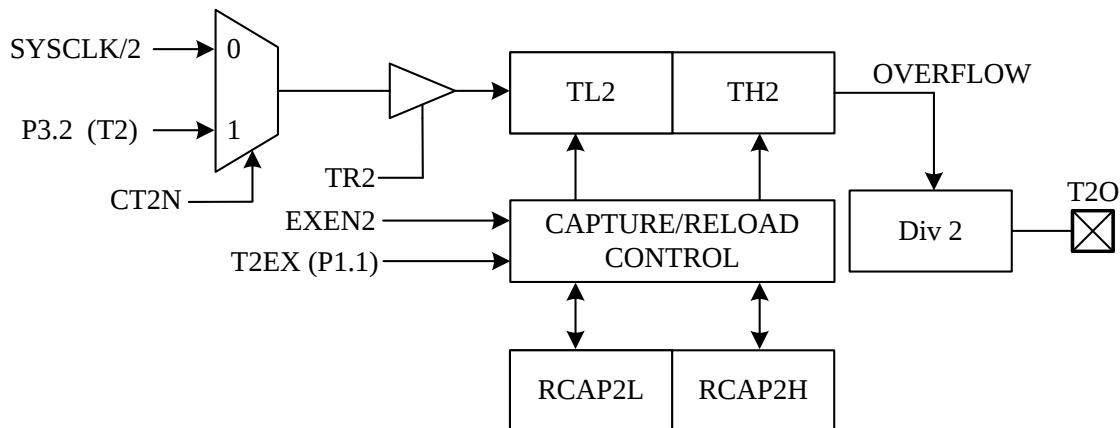
8Dh.7~0 **TH1**:Timer1 数据的高字节

注:另请参阅第 6 章的有关 Timer0/1 中断使能和优先级的更多信息。

注:同时参阅第 7 章关于 T0O/T1O 引脚输出设置的详细信息。

8.2 Timer2

Timer2通过TCON2寄存器存储在TL2和TH2的定时器/计数器2低和高字节和存储在RCAP2L和RCAP2H的Timer2重载/捕获寄存器的高和低字节来控制。



Timer2 结构

SFR C8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

C8h.7 **TF2**:Timer2 溢出标志

当定时器/计数器 2 溢出时由 H/W 设置，除非 RCLK=1 或 TCLK=1。此位必须由 S/W 清零。

C8h.6 **EXF2**:T2EX 中断引脚下降沿标志

如果 EXEN2=1，当捕获或重载是由 T2EX 引脚的下降沿跳变引起时被设置。该位必须由 S/W 清零。

C8h.5 **RCLK**:UART 接收时钟控制位

本芯片无 UART 功能，建议固定此控制位为 0。

C8h.4 **TCLK**:UART 发送时钟控制位

本芯片无 UART 功能，建议固定此控制位为 0。

C8h.3 **EXEN2**:T2EX 引脚使能

0:T2EX 引脚禁用

1:T2EX 引脚使能，如果 RCLK=TCLK=0，当检测出 T2EX 引脚的下降沿跳变，这引起捕获或重载

C8h.2 **TR2**:Timer2 运行控制

0:Timer2 停止

1:Timer2 运行

C8h.1 **CT2N**:Timer2 计数器/定时器选择位

0:定时器模式，Timer2 的数据以 2 个系统时钟周期率增加

1:计数器模式，Timer2 的数据在 T2 引脚的下降沿时增加

C8h.0 **CPRL2N**:Timer2 捕捉/重载控制位

0:重载模式，如果 EXEN2=1 当 Timer2 溢出或 T2EX 引脚上的下降沿跳变则自动重载

1:捕捉模式，如果 EXEN2=1 在 T2EX 引脚上的下降沿跳变则捕捉

如果 RCLK=1 或 TCLK=1 时，CPRL2N 被忽略，Timer2 溢出时定时器被强制自动重载

SFR CAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2L	RCP2L							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CAh.7~0 **RCP2L**:Timer2 重载/捕获数据的低字节

SFR CBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2H	RCP2H							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CBh.7~0 **RCP2H**:Timer2 重载/捕获数据的高字节

SFR CCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL2	TL2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CCh.7~0 **TL2**:Timer2 数据的低字节

SFR CDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH2	TH2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

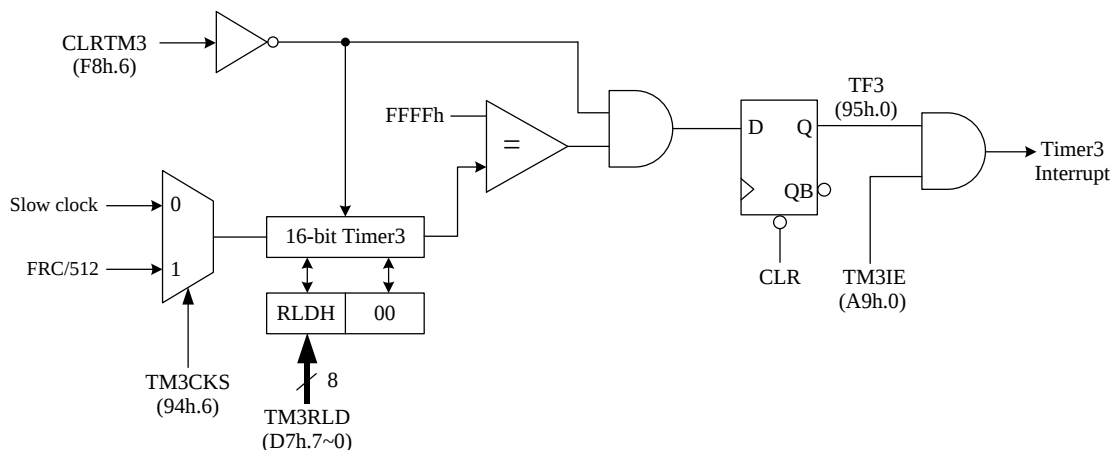
CDh.7~0 **TH2**:Timer2 数据的高字节

注:另请参阅第6章的有关Timer2中断使能和优先级的更多信息。

注:同时参阅第7章关于T2O引脚输出设置的详细信息。

8.3 Timer3

Timer3作为一个16位时基计数器，周期性地产生中断。此外，Timer3周期性地增加自身，并在它滚动并生成中断标志 (TF3) 时，自动从SFR TM3RLD重新加载一个新的“偏移值”至Timer3的高8位，计数范围從[TM3RLD, 00h]~FFFFh。如果设置了CLRTM3位，Timer3可以停止计数。Timer3时钟源为慢时钟 (SRC或SXT) 或FRC/512。当时钟源为SXT时，这是实时时钟 (RTC) 功能的理想选择。



Timer3 结构

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	—	TM3CKS	WDTPSC		ADCKS		SXTGAIN	
R/W	—	R/W	R/W		R/W		R/W	
Reset	—	0	0	0	0	0	1	1

94h.6 **TM3CKS**: Timer3 时钟源选择
0: 慢时钟 (SXT/SRC)
1: FRC/512 (31.25 KHz)

SFR D7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TM3RLD	TM3RLD							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D7h.7~0 **TM3RLD**: 16 位 Timer3 高 8 位重载数据
计数范围:[TM3RLD, 00h]~FFFFh

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	CMPIF	TKIF	ADIF	WGIF	IE2	PCIF	TF3
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

95h.0 **TF3**: Timer3 中断标志

当 Timer3 计数为 FFFFh 时，由 H/W 设置。当程序执行中断服务程序时自动清除。S/W 可以将 FEh 写入 INTFLG 以清除该位。

注:S/W 可以写 0 来清除 INTFLG 中的标志，但是写 1 不起作用。

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	CLRPWM1	WGEN	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	1	1	0	0

F8h.6 **CLRTM3**: 设置 1 为 clear 并保持 Timer3，需要 S/W 清除。

注:关于 Timer3 中断使能和优先级的更多信息参见第 6 章。

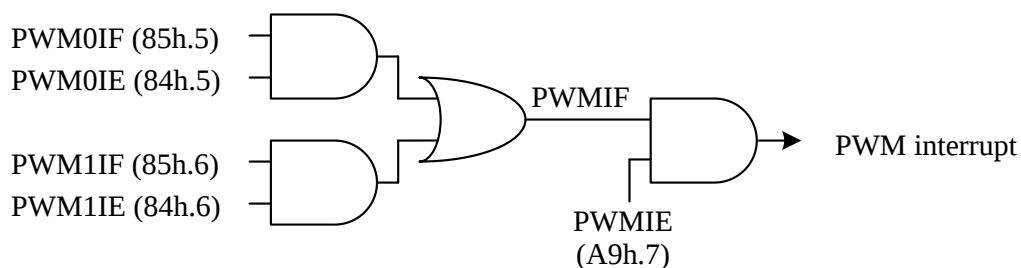
9. PWMs

该芯片具有6个16位PWM模块，PWM0、PWM0A、PWM0B和PWM1、PWM1A、PWM1B。其中PWM0、PWM0A、PWM0B为一组，具有独立的16位占空比控制寄存器，并共享一组16位周期寄存器。而PWM1、PWM1A、PWM1B为另一组，也具有独立的16位占空比控制寄存器，并共享一组16位周期寄存器。PWM可以根据PWM时钟产生65536占空比分辨率的变化频率波形。PWM时钟可以选择FRC双频 (FRCx2)，FRC，FRC/256 或F_{SYSCCLK}作为其时钟源。用户需留意在设定上，PWM的period必须要大于duty。

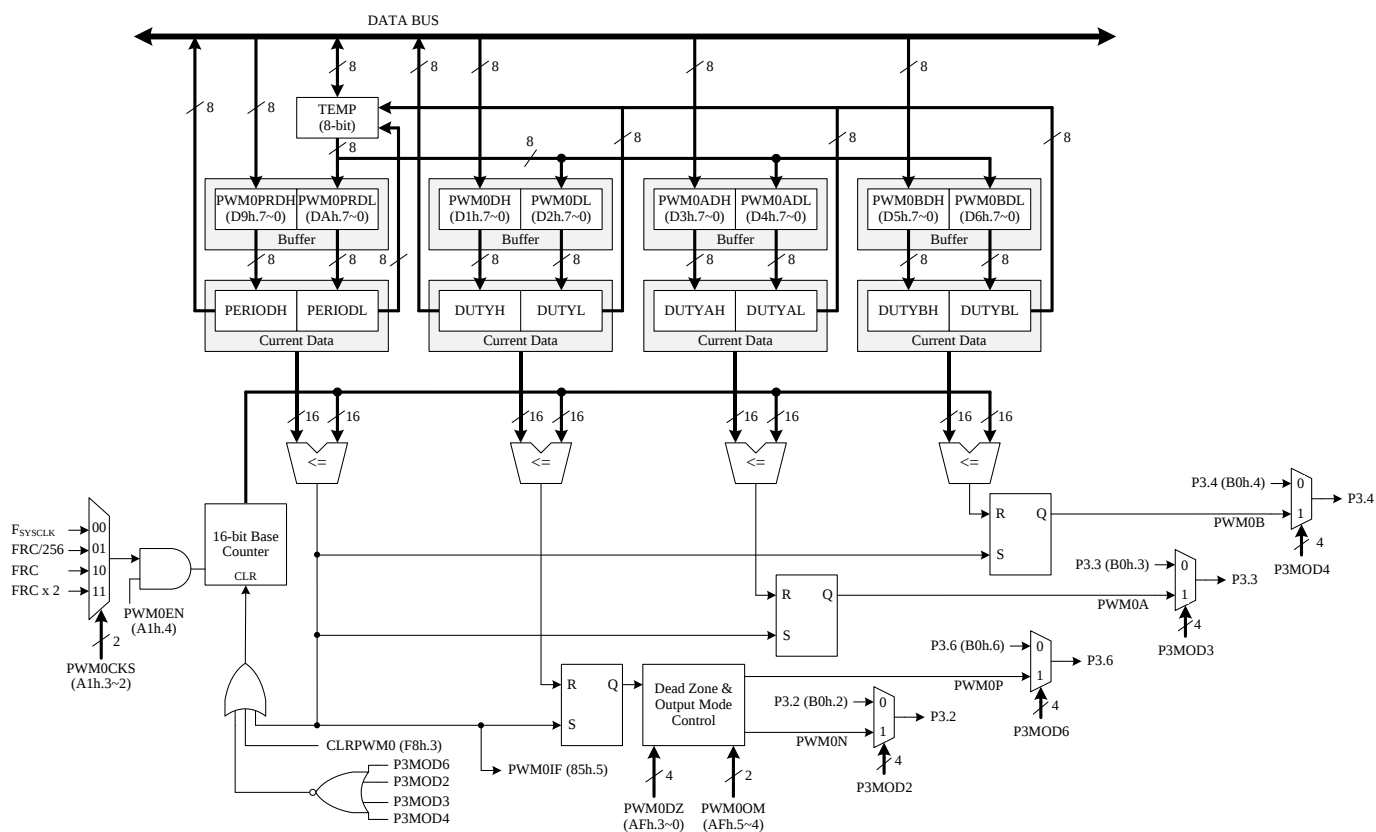
16位的PWM0PRD、PWM1PRD和16位的PWM0D、PWM0AD、PWM0BD、PWM1D、PWM1AD、PWM1BD寄存器都具有低字节结构和高字节结构。高字节可以直接访问，但由于低字节只能通过内部8位缓冲区访问，因此必须以特定的方式读取或写入这些寄存器对。需要注意的重要一点是，只有在对相应的高字节执行写或读操作时，才会进行与8位缓冲区及其相关的低字节之间的数据传输。简单地说，先写低字节，再写高字节；先读高字节，再读低字节。

如果清除了PWMEN，则将清除并停止PWM，否则PWM将继续运行。PWM 的结构如下所示。PWM 的占空比可以通过写入PWMDH 和PWMDL 来更改。当16 位基计数器与16 位PWM 占空比寄存器 {PWMDH, PWMDL} 匹配时，PWM 输出信号将重置到低电平。PWM周期可以通过将周期值写入PWMPRDH 和PWMPRDL 寄存器来设置。在写入PWMDH或PWMPRDH寄存器后，H/W将立即更新PWM周期。PWM0、PWM0A、PWM0B共享一个中断标志PWM0IF，PWM1、PWM1A、PWM1B共享一个中断标志PWM1IF，并在该期间结束时生成一个中断标志PWMIF。

只有PWM0和PWM1具有死区控制，可分为PWM0P/PWM0N和PWM1P/PWM1N输出，其余的PWM0A、PWM0B和PWM1A、PWM1B无非重叠控制。用户可以使用引脚模式设置为模式11 (PWM CMOS推挽输出) 将 PWM 输出到相应的I/O引脚，有关引脚设置的更多信息，请参阅第7章。

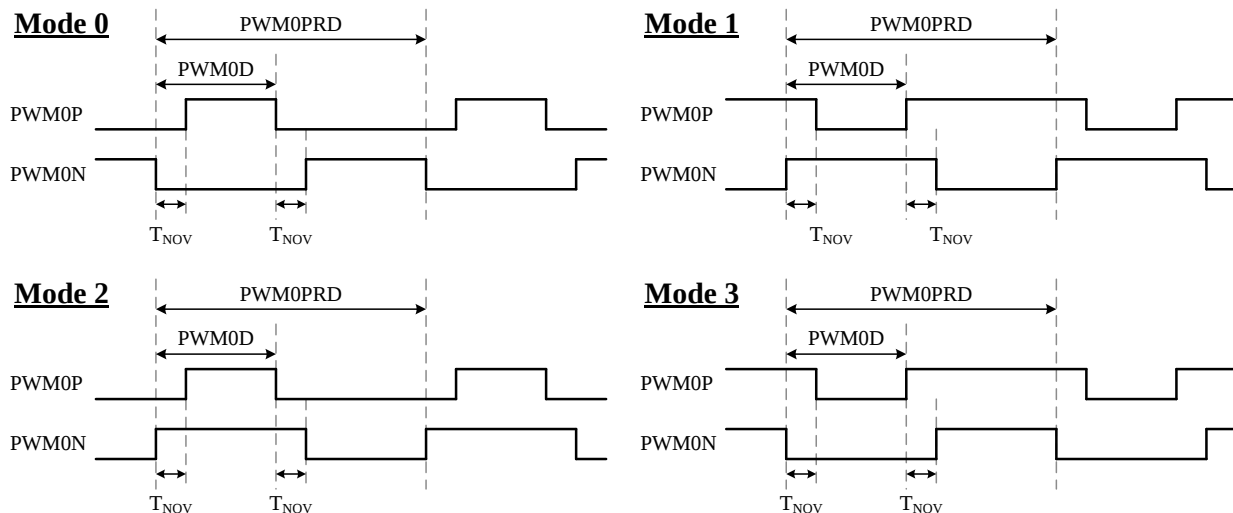


PWM 中断结构

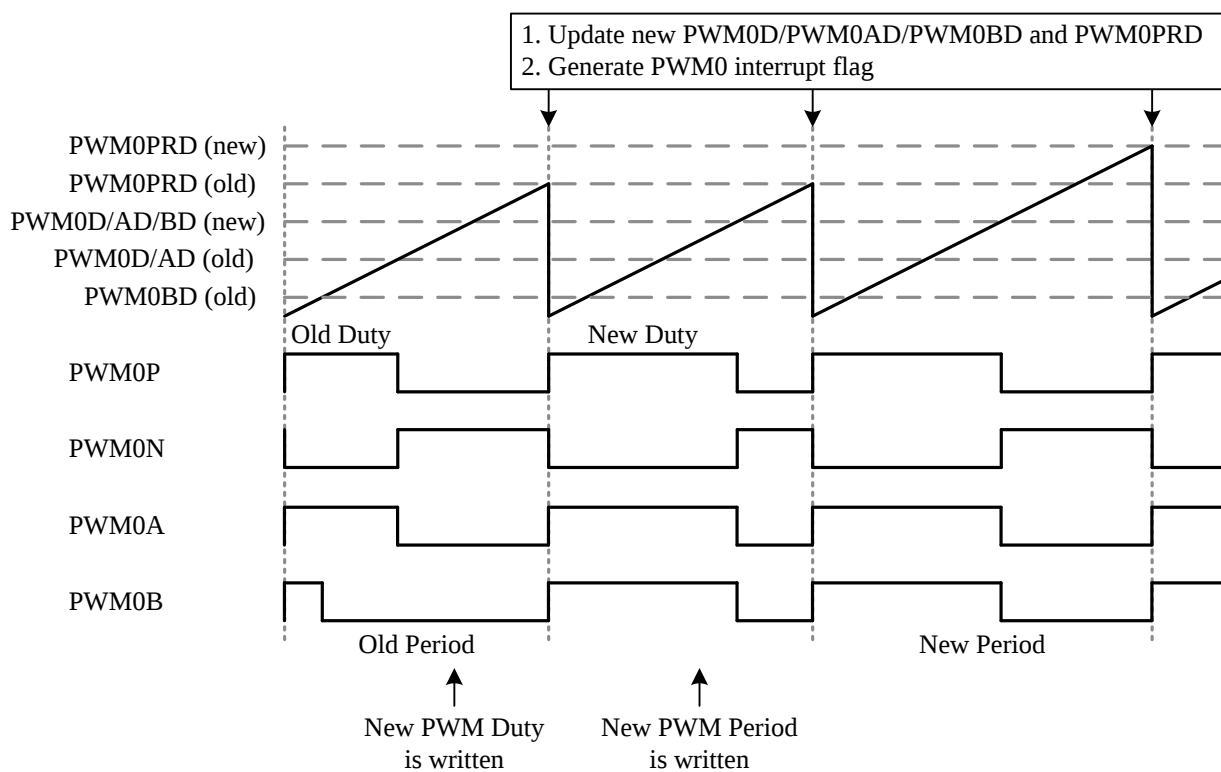


PWM0、PWM0A、PWM0B 结构图

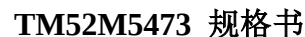
PWM0输出信号可以通过PWM0P和PWM0N四种不同的模式输出。这两个输出不重叠，时间间隔为 T_{NOV} 。不重叠的时间间隔也称为死区或不工作区。 T_{NOV} 通过设置PWM0DZ位来确定。PWM0DZ的0~15分别映射到0~ 15, 16个PWM0CLK周期。如果PWM0DZ=0, 则直接将PWM0输出传递给PWM0P和PWM0N, 使其波形具有相同的占空比。注意, 如果PWM0输出的高脉宽或低脉宽短于 T_{NOV} , 则这两个输出的实际波形将不同于预期波形。



PWM0的四種輸出模式



PWM0、PWM0A、PWM0B 输出波形 (PWM0OM=0, PWM0DZ=0)



The figure displays four timing diagrams for the PWM1 module, labeled Mode 0, Mode 1, Mode 2, and Mode 3. Each diagram shows the relationship between the PWM1P (positive) and PWM1N (negative) signals over time.

- Mode 0:** Shows a standard PWM signal. The period is labeled PWM1PRD, and the duty cycle is labeled PWM1D. The dead time between the falling edge of PWM1P and the rising edge of PWM1N is labeled T_{NOV} .
- Mode 1:** Shows a PWM signal with a different duty cycle. The period is PWM1PRD, and the duty cycle is PWM1D. The dead time is T_{NOV} .
- Mode 2:** Shows a PWM signal with a different duty cycle. The period is PWM1PRD, and the duty cycle is PWM1D. The dead time is T_{NOV} .
- Mode 3:** Shows a PWM signal with a different duty cycle. The period is PWM1PRD, and the duty cycle is PWM1D. The dead time is T_{NOV} .

PWM1的四種輸出模式

SFR 84h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE2	—	PWM1IE	PWM0IE	—	—	—	—	—
R/W	—	R/W	R/W	—	—	—	—	—
Reset	—	0	0	—	—	—	—	—

84h.6 **PWM1IE**:PWM1, PWM1A, PWM1B 中断使能

0:禁止

1:使能

84h.5 **PWM0IE**:PWM0, PWM0A, PWM0B 中断使能

0:禁止

1:使能

SFR 85h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG2	—	PWM1IF	PWM0IF	—	—	—	—	—
R/W	—	R/W	R/W	—	—	—	—	—
Reset	—	0	0	—	—	—	—	—

85h.6 **PWM1IF**:PWM1, PWM1A, PWM1B 中断标志

在 PWM1 周期结束时由 H/W 置 1, S/W 将 BFh 写入 INTFLG2 以清除该标志。

85h.5 **PWM0IF**:PWM0, PWM0A, PWM0B 中断标志

在 PWM0 周期结束时由 H/W 置 1, S/W 将 DFh 写入 INTFLG2 以清除该标志。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	LVDIE	WGIE	ADTKIE	EX2	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.7 **PWMIE**: PWM0~PWM1 全局中断使能控制

0:禁用 PWM0~PWM1 中断

1:允许 PWM0~PWM1 中断

SFR A1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON	PWM1CKS		PWM1EN	PWM0EN	PWM0CKS		—	—
R/W	R/W		R/W	R/W	R/W		—	—
Reset	0	0	0	0	0	0	—	—

A1h.7~6 **PWM1CKS**:PWM1, PWM1A, PWM1B 时钟源

00:F_{SYSCLK}

01:FRC/256

10:FRC

11:FRCx2 (V_{CC}>2.5V)

A1h.5 **PWM1EN**:PWM1, PWM1A, PWM1B 使能

0:PWM1, PWM1A, PWM1B 禁用

1:PWM1, PWM1A, PWM1B 使能

A1h.4 **PWM0EN**:PWM0, PWM0A, PWM0B 使能

0:PWM0, PWM0A, PWM0B 禁用

1:PWM0, PWM0A, PWM0B 使能

A1h.3~2 **PWM0CKS**:PWM0, PWM0A, PWM0B 时钟源

00:F_{SYSCLK}

01:FRC/256

10:FRC

11:FRCx2 (V_{CC}>2.5V)

SFR AFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON2	—	—	PWM0OM		PWM0DZ			
R/W	—	—	R/W		R/W			
Reset	—	—	0	0	0	0	0	0

AFh.5~4 **PWM0OM**: PWM0 输出模式选择

00: 模式 0
01: 模式 1
10: 模式 2
11: 模式 3

AFh.3~0 **PWM0DZ**: PWM0 死区

0000: $0 \times T_{PWMCLK}$
0001: $1 \times T_{PWMCLK}$
...
1111: $15 \times T_{PWMCLK}$

SFR ACh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON3	—	—	PWM1OM		PWM1DZ			
R/W	—	—	R/W		R/W			
Reset	—	—	0	0	0	0	0	0

ACh.5~4 **PWM1OM**: PWM1 输出模式选择

00: 模式 0
01: 模式 1
10: 模式 2
11: 模式 3

ACh.3~0 **PWM1DZ**: PWM1 死区

0000: $0 \times T_{PWMCLK}$
0001: $1 \times T_{PWMCLK}$
...
1111: $15 \times T_{PWMCLK}$

SFR D1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DH	PWM0DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D1h.7~0 **PWM0DH**: PWM0 占空比高字节

写入顺序: 先写 PWM0DL 再写 PWM0DH
读取顺序: 先读 PWM0DH 再读 PWM0DL

SFR D2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DL	PWM0DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D2h.7~0 **PWM0DL**: PWM0 占空比低字节

写入顺序: 先写 PWM0DL 再写 PWM0DH
读取顺序: 先读 PWM0DH 再读 PWM0DL

SFR D3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0ADH	PWM0ADH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D3h.7~0 **PWM0ADH**:PWM0A 占空比高字节
 写入顺序:先写 PWM0ADL 再写 PWM0ADH
 读取顺序:先读 PWM0ADH 再读 PWM0ADL

SFR D4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0ADL	PWM0ADL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D4h.7~0 **PWM0ADL**:PWM0A 占空比低字节
 写入顺序:先写 PWM0ADL 再写 PWM0ADH
 读取顺序:先读 PWM0ADH 再读 PWM0ADL

SFR D5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0BDH	PWM0BDH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D5h.7~0 **PWM0BDH**:PWM0B 占空比高字节
 写入顺序:先写 PWM0BDL 再写 PWM0BDH
 读取顺序:先读 PWM0BDH 再读 PWM0BDL

SFR D6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0BDL	PWM0BDL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D6h.7~0 **PWM0BDL**:PWM0B 占空比低字节
 写入顺序:先写 PWM0BDL 再写 PWM0BDH
 读取顺序:先读 PWM0BDH 再读 PWM0BDL

SFR D9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRDH	PWM0PRDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

D9h.7~0 **PWM0PRDH**:PWM0, PWM0A, PWM0B 周期高字节
 写入顺序:先写 PWM0PRDL 再写 PWM0PRDH
 读取顺序:先读 PWM0PRDH 再读 PWM0PRDL

SFR DAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRDL	PWM0PRDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DAh.7~0 **PWM0PRDL**:PWM0, PWM0A, PWM0B 周期低字节
 写入顺序:先写 PWM0PRDL 再写 PWM0PRDH
 读取顺序:先读 PWM0PRDH 再读 PWM0PRDL

SFR DBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRDH	PWM1PRDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DBh.7~0 **PWM1PRDH**:PWM1, PWM1A, PWM1B 周期高字节
 写入顺序:先写 PWM1PRDL 再写 PWM1PRDH
 读取顺序:先读 PWM1PRDH 再读 PWM1PRDL

SFR DCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRDL	PWM1PRDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

DCh.7~0 **PWM1PRDL**:PWM1, PWM1A, PWM1B 周期低字节
 写入顺序:先写 PWM1PRDL 再写 PWM1PRDH
 读取顺序:先读 PWM1PRDH 再读 PWM1PRDL

SFR E9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DH	PWM1DH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

E9h.7~0 **PWM1DH**:PWM1 占空比高字节
 写入顺序:先写 PWM1DL 再写 PWM1DH
 读取顺序:先读 PWM1DH 再读 PWM1DL

SFR EAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DL	PWM1DL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

EAh.7~0 **PWM1DL**:PWM1 占空比低字节
 写入顺序:先写 PWM1DL 再写 PWM1DH
 读取顺序:先读 PWM1DH 再读 PWM1DL

SFR EBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1ADH	PWM1ADH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

EBh.7~0 **PWM1ADH**:PWM1A 占空比高字节
 写入顺序:先写 PWM1ADL 再写 PWM1ADH
 读取顺序:先读 PWM1ADH 再读 PWM1ADL

SFR ECh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1ADL	PWM1ADL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

ECh.7~0 **PWM1ADL**:PWM1A 占空比低字节
 写入顺序:先写 PWM1ADL 再写 PWM1ADH
 读取顺序:先读 PWM1ADH 再读 PWM1ADL

SFR EDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1BDH	PWM1BDH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

EDh.7~0 **PWM1BDH**: PWM1B 占空比高字节
 写入顺序: 先写 PWM1BDL 再写 PWM1BDH
 读取顺序: 先读 PWM1BDH 再读 PWM1BDL

SFR EEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1BDL	PWM1BDL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

EEd.7~0 **PWM1BDL**: PWM1B 占空比低字节
 写入顺序: 先写 PWM1BDL 再写 PWM1BDH
 读取顺序: 先读 PWM1BDH 再读 PWM1BDL

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	CLRPWM1	WGEN	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	1	1	0	0

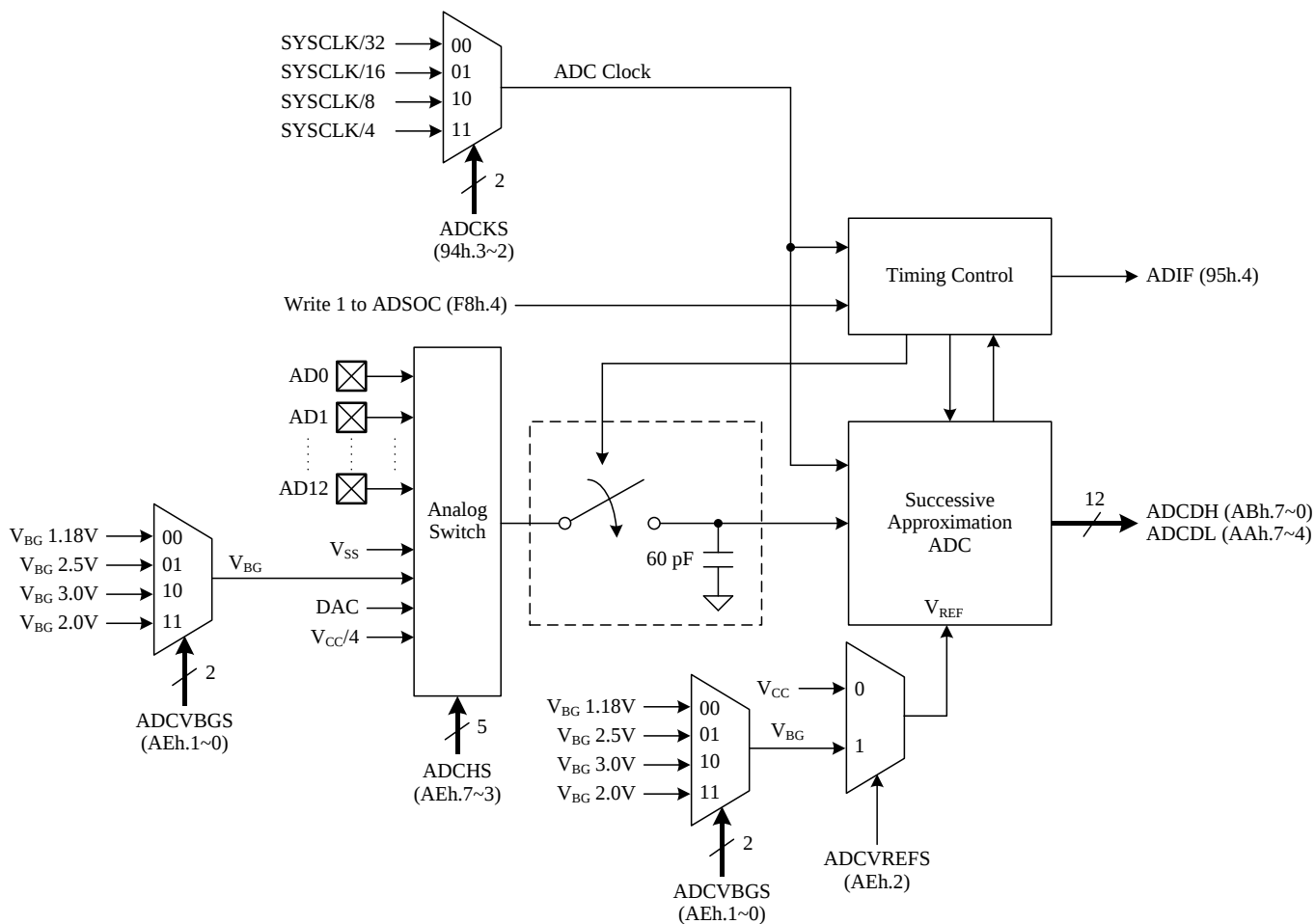
F8h.3 **CLRPWM0**: PWM0, PWM0A, PWM0B 清除
 0: PWM0, PWM0A, PWM0B 正在运行
 1: PWM0, PWM0A, PWM0B 被清零并保持
 F8h.2 **CLRPWM1**: PWM1, PWM1A, PWM1B 清除
 0: PWM1, PWM1A, PWM1B 正在运行
 1: PWM1, PWM1A, PWM1B 被清零并保持

10. ADC

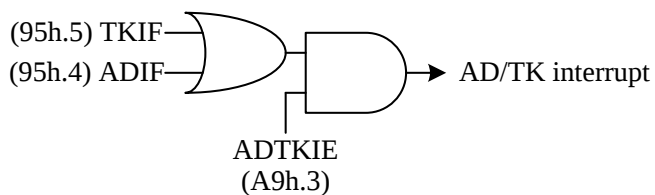
该芯片提供12位ADC，由13通道模拟输入多路复用器、控制寄存器、时钟发生器、12位逐次逼近寄存器和输出数据寄存器组成。通常，ADC时钟频率小于1MHz，用户可以参考电气特性章节了解详细信息。

要使用ADC，请先设置ADCKS位以选择合适的ADC时钟频率。然后，用户通过设置ADSOC位启动ADC转换，H/W将在转换结束时自动清除它。转换结束后，如果使能ADC中断，H/W将设置ADIF位并生成中断。ADIF位可以通过向该位写入0或设置ADSOC位来清除。模拟输入电平必须保持在 V_{SS} 至 V_{CC} 的范围内。

使用ADCVREFS选项，ADC内部基准电压源 (V_{REF}) 可以选择为 V_{CC} 或 V_{BG} 。



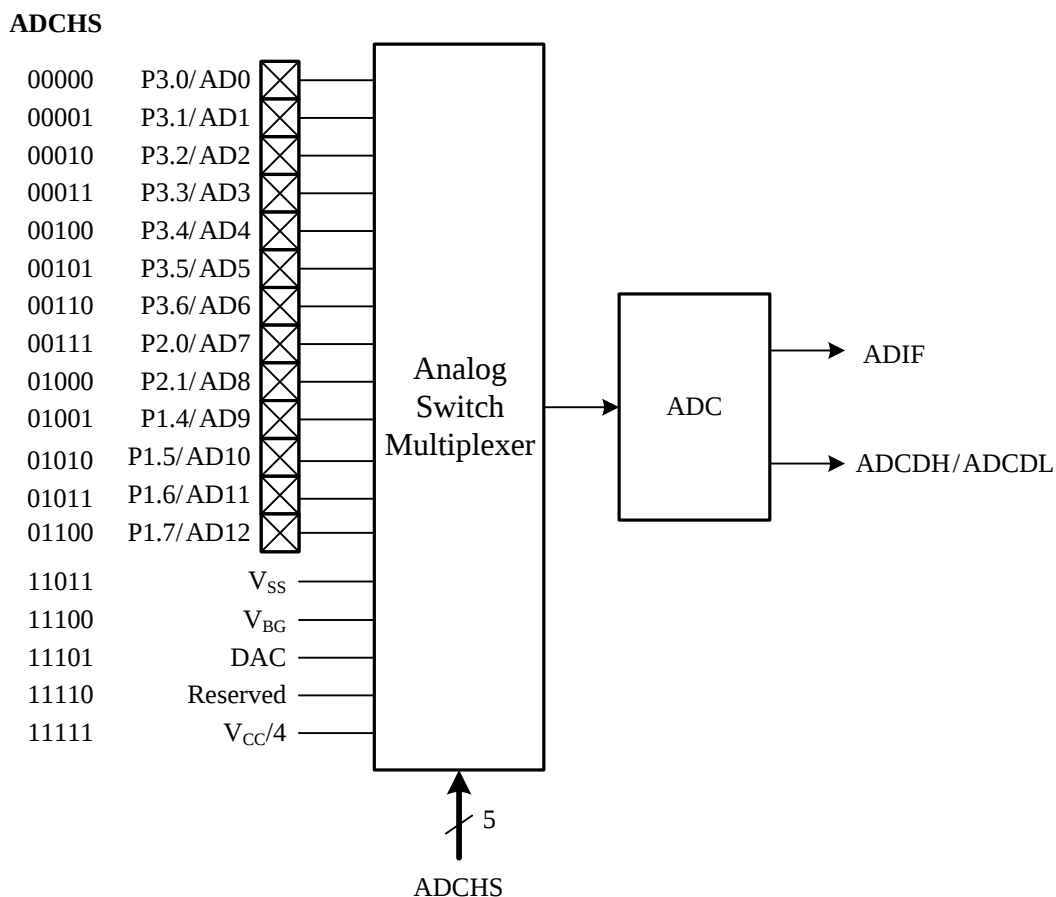
ADC 结构



ADC 中断结构

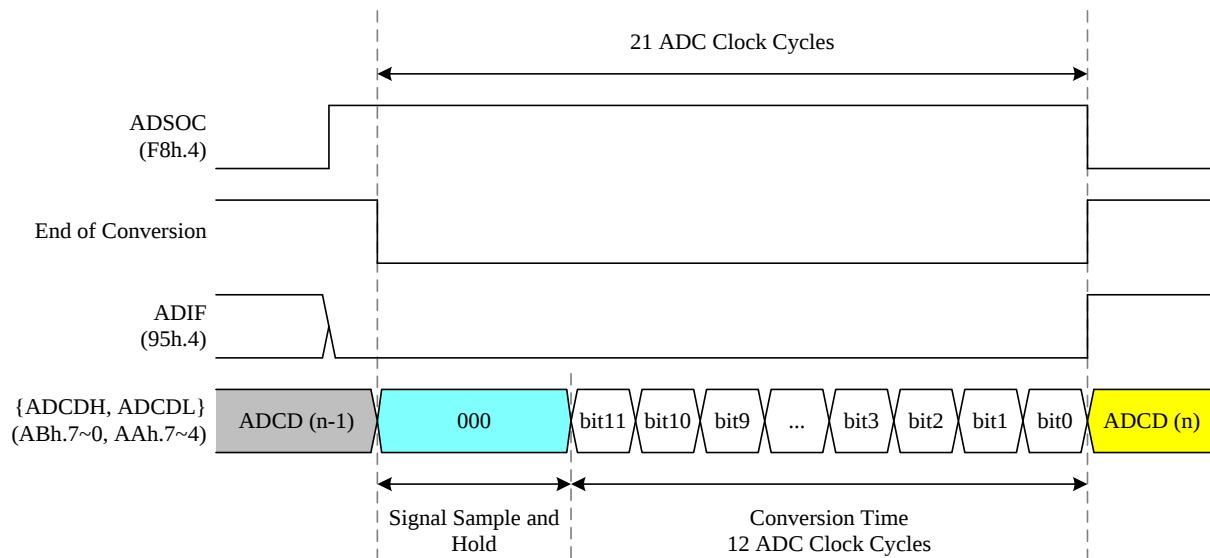
10.1 ADC 通道

ADC通道通过类比开关多路复用器连接到类比输入引脚。类比开关多路复用器由ADCHS寄存器控制。该芯片提供多达13个IO输入引脚，指定为AD0~AD12。此外，还有3个内部基准电压 (V_{SS} 、 V_{BG} 、 $V_{CC}/4$)。当ADCHS设置为11100b时，模拟输入将连接到 V_{BG} ，当ADCHS设置为11101b时，模拟输入将连接到DAC。



10.2 ADC 转换时间

转换时间是ADC转换电压所需要的时间。该ADC转换每个位需要一个ADC时钟周期，以及多个时钟周期进行输入电压采样和保持。一共需要21个ADC时钟周期以执行完全转化。当转换时间结束，ADIF中断标志由H/W设置，12位A/D转换结果被加载到ADCDH和ADCDL寄存器。



SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	—	TM3CKS	WDTPSC		ADCKS		SXTGAIN	
R/W	—	R/W	R/W		R/W		R/W	
Reset	—	0	0	0	0	0	1	1

94h.3~2 **ADCKS**:ADC 时钟频率选择

00: $F_{SYSCLK}/32$

01: $F_{SYSCLK}/16$

10: $F_{SYSCLK}/8$

11: $F_{SYSCLK}/4$

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	CMPIF	TKIF	ADIF	WGIF	IE2	PCIF	TF3
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

95h.4 **ADIF**:ADC 中断标志

于转换结束时由 H/W 设置。S/W 写入 EFh 到 INTFLG 或设置 ADSOC 位来清除该标志。

SFR AAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDL	ADCDL				—	—	—	—
R/W	R				—	—	—	—
Reset	—	—	—	—	—	—	—	—

AAh.7~4 **ADC**DL:ADC 数据位 3~0

SFR ABh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCDH	ADCDH							
R/W	R							
Reset	—	—	—	—	—	—	—	—

ABh.7~0 **ADCDH**:ADC 数据位 11~4

SFR AEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCHSEL	ADCHS					ADCVREFS	ADCVBGS	
R/W	R/W					R/W	R/W	
Reset	1	0	0	0	0	0	0	0

AEh.7~3 **ADCHS**:ADC 通道选择

00000: ADC0 (P3.0)
00001: ADC1 (P3.1)
00010: ADC2 (P3.2)
00011: ADC3 (P3.3)
00100: ADC4 (P3.4)
00101: ADC5 (P3.5)
00110: ADC6 (P3.6)
00111: ADC7 (P2.0)
01000: ADC8 (P2.1)
01001: ADC9 (P1.4)
01010: ADC10 (P1.5)
01011: ADC11 (P1.6)
01100: ADC12 (P1.7)
其他: 保留
11011: V_{SS}
11100: V_{BG}
11101: DAC
11110: 保留
11111: $V_{CC}/4$

AEh.2 **ADCVREFS**:ADC 参考电压选择

0: V_{CC}
1: V_{BG}

AEh.1~0 **ADCVBGS**: V_{BG} 电压选择 (用于 ADC)

00: 1.18V
01: 2.5V
10: 3.0V
11: 2.0V

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	CLRPWM1	WGEN	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	1	1	0	0

F8h.4 **ADSOC**:启动 ADC 转换

设置 ADSOC 位启动 ADC 转换, ADSOC 位将由 H/W 于转换结束时被清除。S/W 也可以写 0 清除该标志。

注:另请参阅第6章的有关ADC中断使能和优先级的更多信息。

注:同时参阅第7章有关ADC引脚输入设置的详细信息。

11. 触摸按键 (CTK)

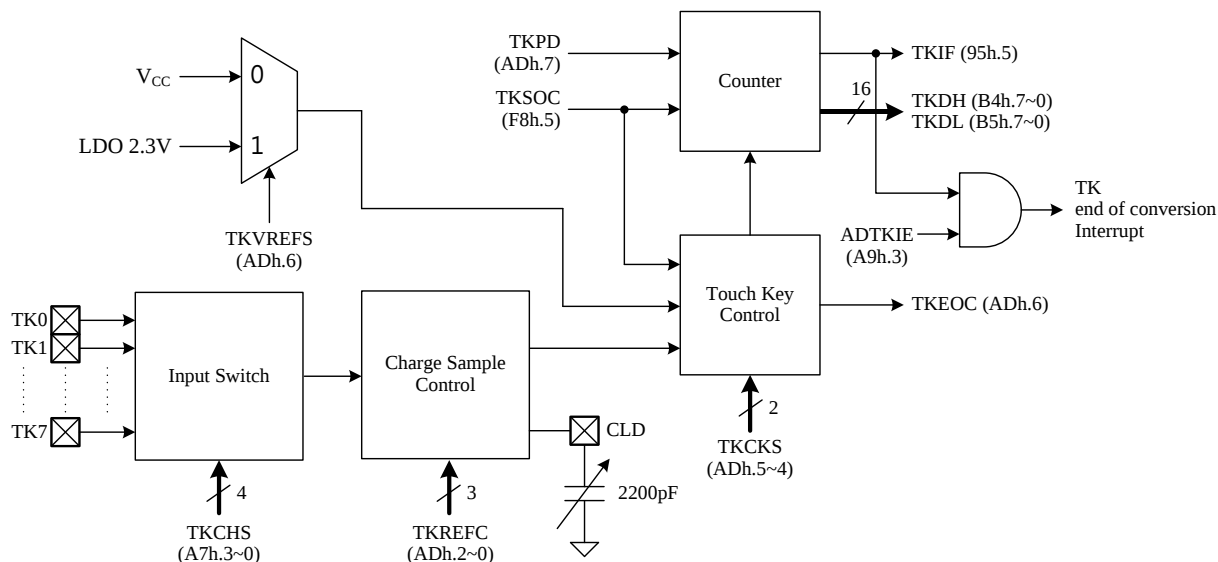
该芯片提供了一个实现手指触摸检测方便，简单而可靠的触摸按键模式，为外部电容结构触摸按键 (CTK)。在按键扫描操作时，只需要在CLD引脚上外接一个电容。该设备支持8个通道触摸按键检测。

要正确使用触摸按键，用户必须设置引脚模式如下表所示。TK引脚扫描与闲置时触摸按键设为模式2，可使引脚CMOS推挽输出高或输出低以减少各键的相互干扰。TK引脚扫描时，系统将会自动禁用上拉电阻无须特别设置。

触摸按键设置	CTK
引脚是触摸按键，闲置	上拉 (模式 0) 或 驱动高 (模式2、6、10)
引脚是触摸按键，扫描	

要启动扫描，用户需指派TKPD=0，然后设置TKSOC位以启动触摸按键转换，TKSOC位可以于转换结束时自动清除。然而，如果系统时钟的速度太慢，由于时钟采样率H/W可能无法清除TKSOC。TKEOC=0表示转换正在进行中。TKEOC=1表示转换结束，并将触摸按键的计数值存储到16位TK数据计数 (TKDH和TKDL)。TKEOC=1后，用户必须等待至少50μs再进行下一次转换。如果转换的数值超出周期范围。降低/提高TKREFC可以减少/增加TK数据计数以适应系统板的情况。

触摸按键单元内部有一个内置的参考电容来模拟键的行为。设置TKCHS=15，系统会强置切选为内置参考电容，并开始触摸按键转换可以得到这个参考电容的TKDATA。因为内部电容从未受水或手机影响，用于比较环境背景噪音非常有用。触摸按键时钟频率可以透过设置TKCKS来进行调整。使用TKVREFS选项，TK内部基准电压源 (V_{REF}) 可以选择为 V_{CC} 或 V_{LDO} 2.3V，使用内部低压差线性稳压源可以有效提升触摸按键的抗干扰特性。



外部电容结构触摸按键 (CTK)

◇ Example:

```
MOV      TKCON, #34h      ; TKPD=0, TKCKS=3,TKVREFS=0,TKREFC=4

MOV      TKCHS, #02h      ; select TK2
MOV      INTFLG, #11011111b; clear TKIF
ORL      INTE1, #08h
ORL      IE, #080h
SETB     TKSOC
```

当TKPD=0时，在TKCHS设定后，触摸按键模块即通过TKCHS之选择与I/O口连接。如果该I/O口是做为其他用途使用，功能必定被影响。因此平时触摸按键未使用时，建议设定TKCHS=15或TKPD=1，以断开触摸按键模块与I/O口之连接。

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	CMPIF	TKIF	ADIF	WGIF	IE2	PCIF	TF3
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

95h.5 **TKIF**:触摸按键中断标志

如果 SYSCLK 足够快，则在触摸按键转换结束时通过 H/W 设置。S/W 将 DFh 写入 INTFLG 或将 TKSOC 位置 1 以清除该标志。

SFR B4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKDH	TKDH							
R/W	R							
Reset	-	-	-	-	-	-	-	-

B4h.7~0 **TKDH**:触摸按键计数器数据位 15~8

SFR B5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKDL	TKDL							
R/W	R							
Reset	-	-	-	-	-	-	-	-

B5h.7~0 **TKDL**:触摸按键计数器数据位 7~0

SFR A7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKCHS	-	-	-	-	TKCHS			
R/W	-	-	-	-	R/W			
Reset	-	-	-	-	1	1	1	1

A7h.3~0 **TKCHS**:触摸按键通道选择

0000:TK0 (P3.0)
0001:TK1 (P3.1)
0010:TK2 (P3.2)
0011:TK3 (P3.3)
0100:TK4 (P3.4)
0101:TK5 (P3.5)
0110:TK6 (P3.6)
0111:TK7 (P0.1)
其他:保留
1111:TKREF 内部参考键

SFR ADh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKCON	TKPD	TKEOC	TKCKS		TKVREFS	TKREFC		
R/W	R/W	R	R/W		R/W	R/W		
Reset	1	0	0	0	0	1	0	0

ADh.7 **TKPD**: 触摸按键停止

0: 触摸按键启用

1: 触摸按键禁用

ADh.6 **TKEOC**: 触摸按键转换结束标志, TKEOC 在 TKSOC = 1 后可能有 3uS 延迟, 因此 F/W 必须等待足够的时间才能轮询此标志

0: 表示转换正在进行中

1: 表示转换已完成

ADh.5~4 **TKCKS**: 触摸按键时钟频率选择

00: 1.0MHz

01: 1.4MHz

10: 2.0MHz

11: 2.8MHz

ADh.3 **TKVREFS**: 触摸按键参考电压选择

0: V_{CC}

1: V_{LDO} 2.3V

ADh.2~0 **TKREFC**: 触摸按键转换时间选择

000: 转换时间最短

...

111: 转换时间最长

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	CLRPWM1	WGEN	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	1	1	0	0

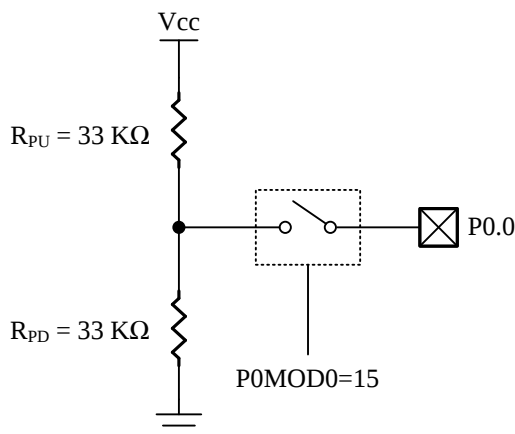
F8h.5 **TKSOC**: 触摸按键转换开始

设置 1 以开始触摸按键转换。如果 SYSCLK 足够快, 则在转换结束时, 该位将由 H/W 清零。S/W 也可以写 0 来清除此标志。

注: 有关触摸按键中断启用和优先级的更多信息, 另请参阅第 6 节

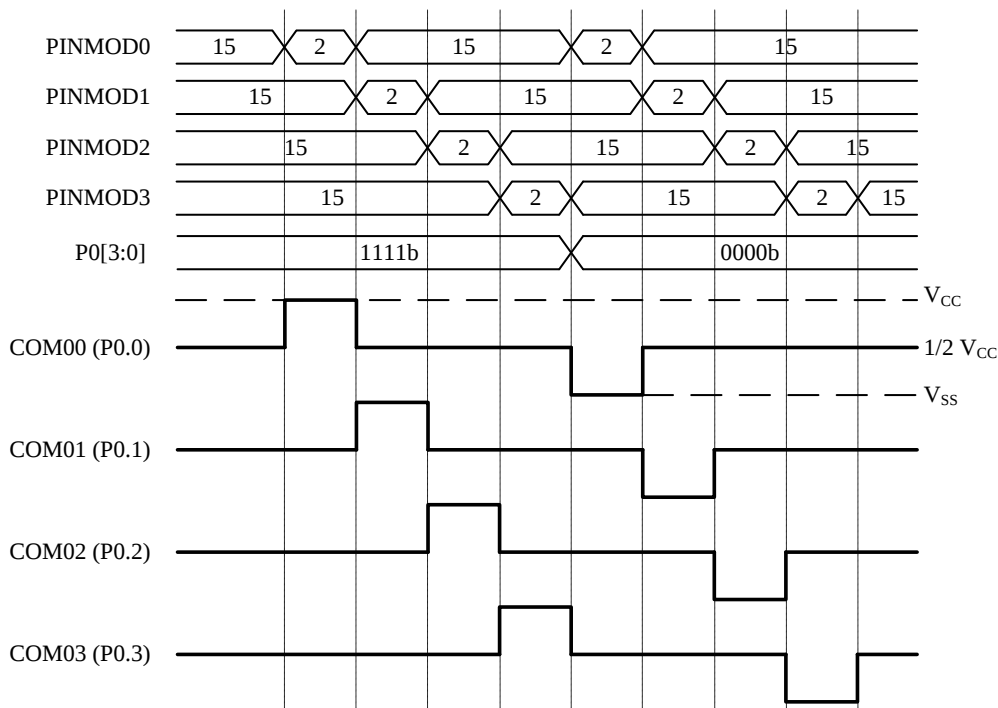
12. S/W 控制的 LCD 驱动器

该芯片支持由S/W控制的LCD驱动器。所有的I/O引脚都能够设置为公共引脚，用户可以灵活调整公共引脚 (COM) 和分段引脚 (SEG)，通过13个公共引脚和13个分段引脚驱动 (最大) 169点的LCD面板。P0.0~P0.7可设置为COM00~COM07。P1.0~P1.7可设置为COM10~COM17。P2.0~P2.1可设置为COM20~COM21。P3.0~P3.7可设置为COM30~COM37。而剩余的引脚用来当做分段引脚。该芯片的LCD驱动器仅能驱动1/2偏压，透过设置相应的引脚模式为模式15来达成 (参见第7节表7.1)。相关电路请参考下图。



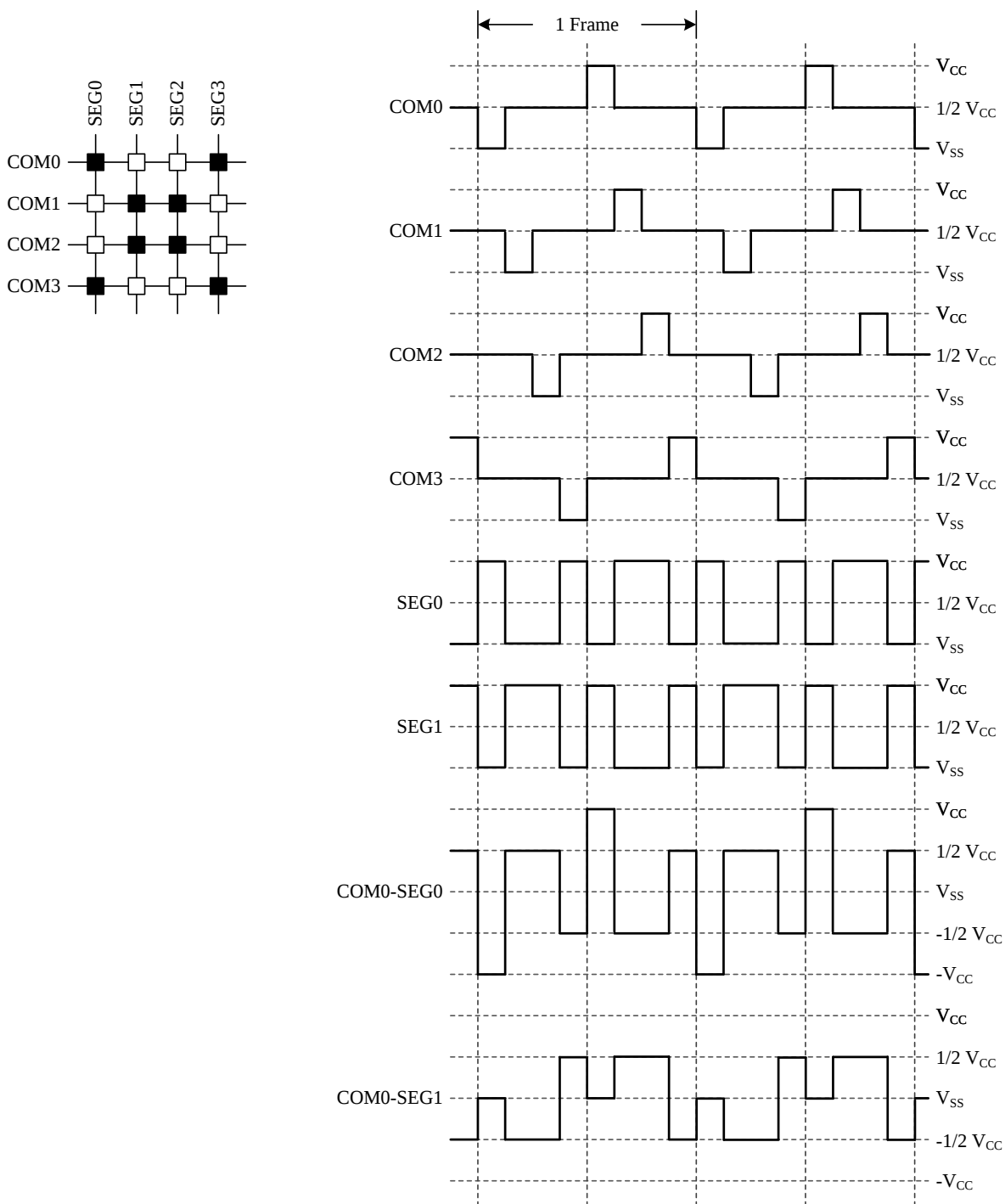
LCD COM00偏压电路

任何COM引脚上的重复波形输出的频率可以用来表示LCD的帧速率。下图显示了一个LCD帧。



S/W控制的LCD COM00~03扫描

1/4占空比，1/2偏压输出波形

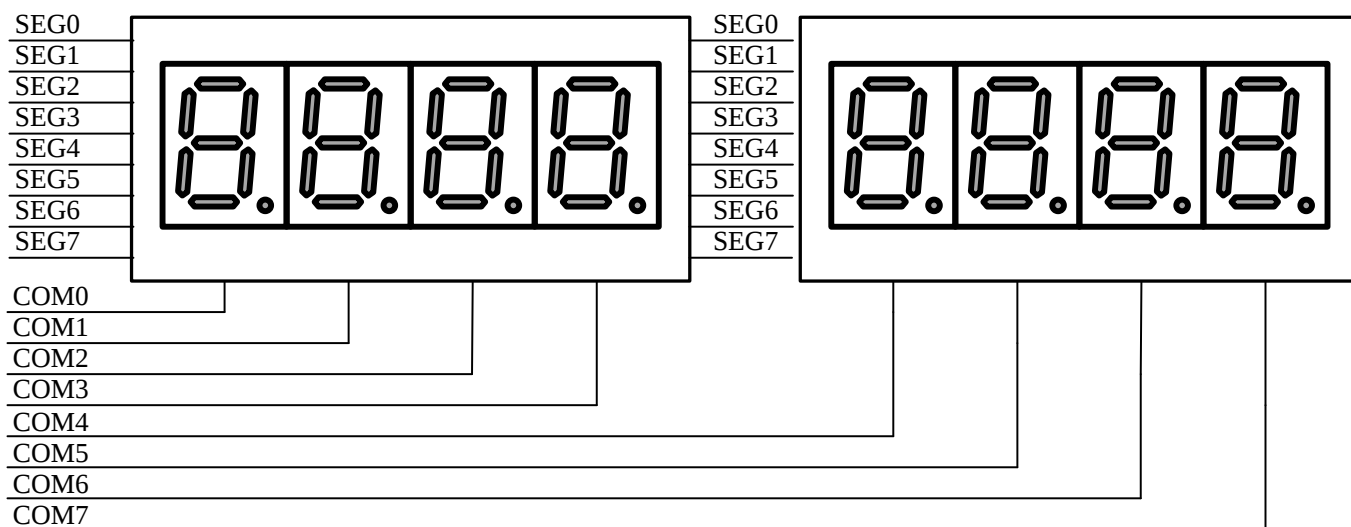


13. LED 控制器/驱动

该模块可配置两种驱动模式:LED矩阵 (MX) 模式和LED点阵 (DMX) 模式。通过寄存器配置, 它同时只支持一种操作模式。

13.1 LED 矩阵 (MX) 模式

该芯片支持矩阵模式的LED控制器和驱动器。如果LEDON=1且LEDMODE=0, LED矩阵模式将启用。它提供8个分段引脚和8个公共引脚来驱动64像素的LED模块或12个分段引脚和4个公共引脚来驱动48像素的LED模块。COM引脚具有高灌电流。LED的亮度可以通过LEDBRIT来设定。当设置为111b时, 为最高亮度。此外分段引脚还可通过设定DRVCON、DRVCON2、DRVCON3来选择不同强度的驱动电流。



XRAM中的显示配置对应于相应地址的照明状态。(1表示点亮, 0表示不点亮)。

Addr.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	COM
C800h	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	COM0
C801h	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	COM1
C802h	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	COM2
C803h	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	COM3
C804h	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	COM4
C805h	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	COM5
C806h	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	COM6
C807h	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0	COM7
C808h					SEG11	SEG10	SEG9	SEG8	COM0
C809h					SEG11	SEG10	SEG9	SEG8	COM1
C80Ah					SEG11	SEG10	SEG9	SEG8	COM2
C80Bh					SEG11	SEG10	SEG9	SEG8	COM3
C80Ch						SEG10	SEG9	SEG8	COM4
C80Dh							SEG9	SEG8	COM5
C80Eh								SEG8	COM6
C80Fh									COM7

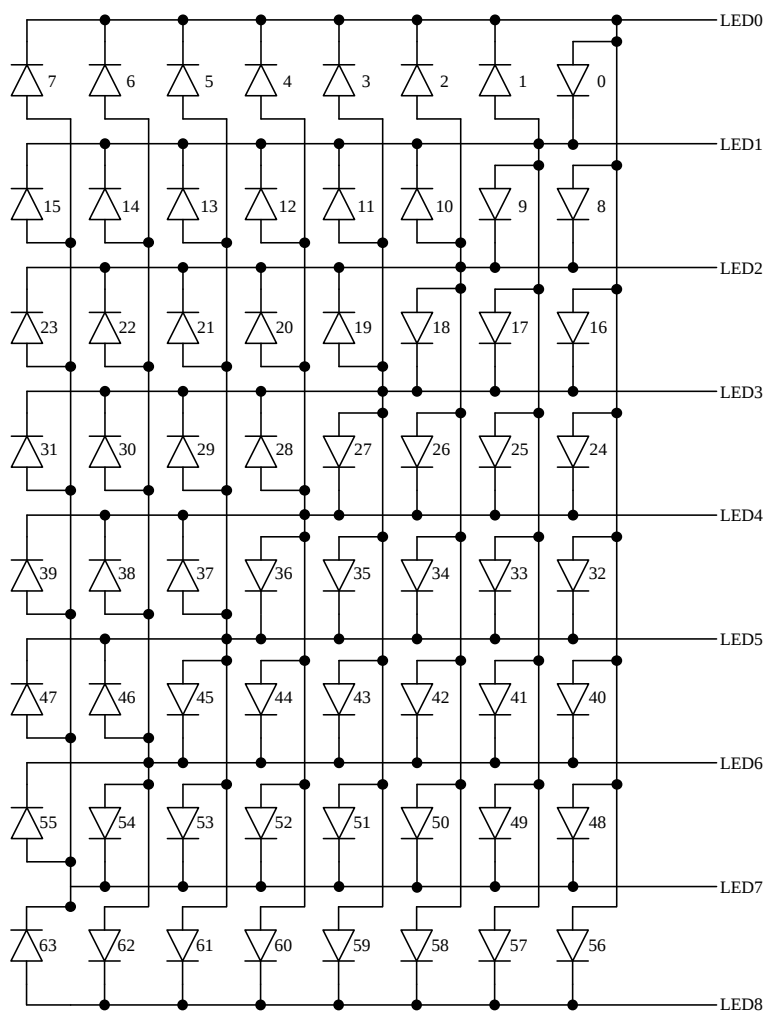
LED矩阵 (MX) 模式对应显示屏配置表

13.2 LED 点阵 (DMX) 模式

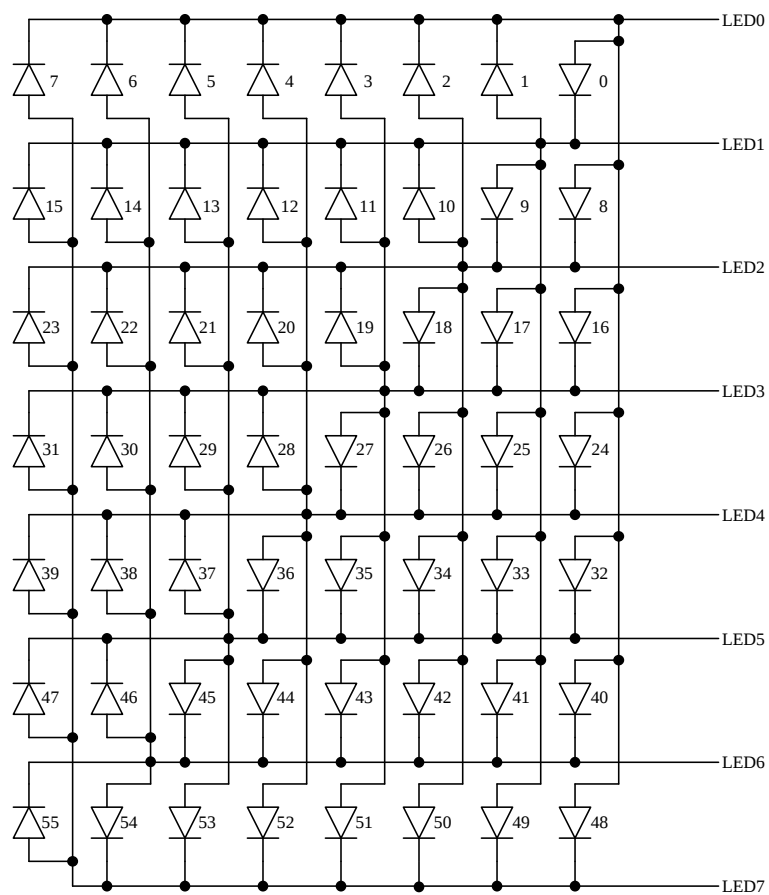
如果LEDON=1且LEDMODE=2，LED点阵模式将启用。LED点阵是通用的8*8点阵。对应LED0~LED8端口，最多可配置8x8=64个LED点来驱动，LED的对应位置在下图的8*8点阵中标记为地址，XRAM中的显示配置对对应地址的照明状态 (1表示点亮，0表示不点亮)。支持多达64盏LED驱动。使用LEDDUTY选择点阵4*4，5*5，6*6，6*7，7*7，7*8和8*8，对应的LED地址保持不变。LED的亮度可以通过LEDBRIT来设定。当设置为111b时，为最高亮度。此外LED引脚还可通过设定DRVCON2、DRVCON3、DRVCON4来选择不同强度的驱动电流。

Addr.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
C800h	7	6	5	4	3	2	1	0
C801h	15	14	13	12	11	10	9	8
C802h	23	22	21	20	19	18	17	16
C803h	31	30	29	28	27	26	25	24
C804h	39	38	37	36	35	34	33	32
C805h	47	46	45	44	43	42	41	40
C806h	55	54	53	52	51	50	49	48
C807h	63	62	61	60	59	58	57	56

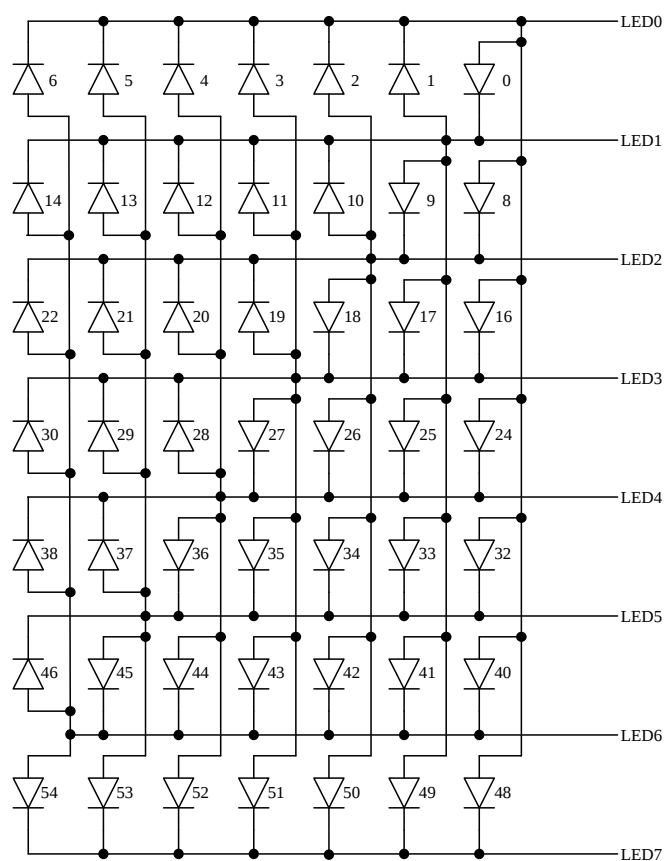
LED 点阵 (DMX) 模式对应显示屏配置表



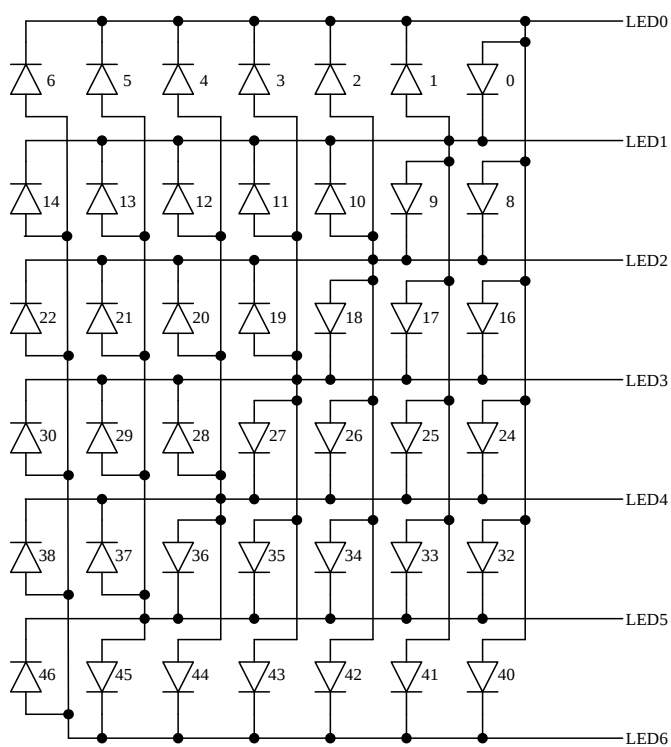
LED 8*8 点阵



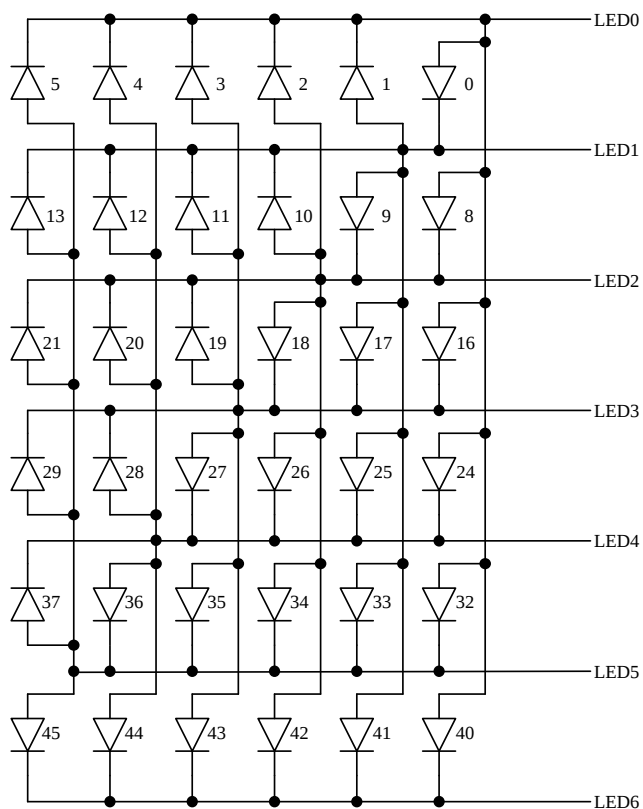
LED 7*8 点阵



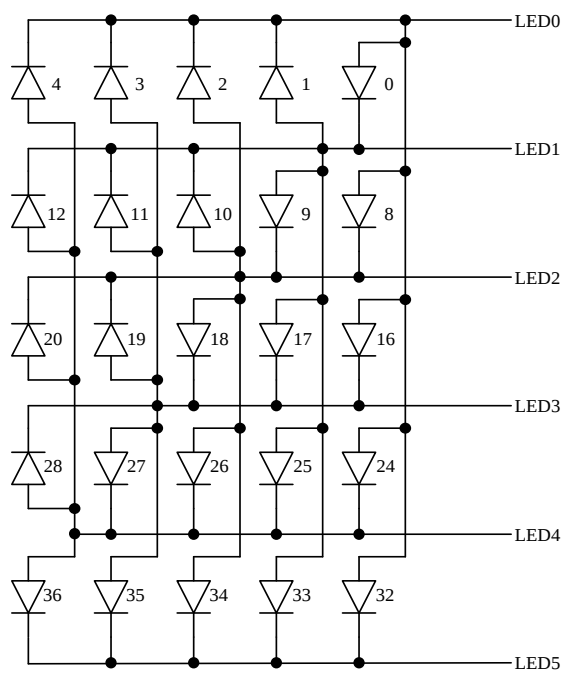
LED 7*7 点阵



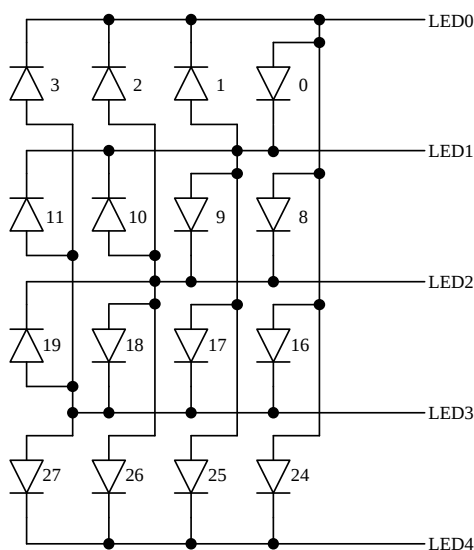
LED 6*7 点阵



LED 6*6 点阵



LED 5*5 点阵



LED 4*4 点阵

SFR B1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCON	LEDEN	LEDDUTY			—	LEDBRIT		
R/W	R/W	R/W			—	R/W		
Reset	0	0	0	0	—	1	1	1

B1h.7 **LEDEN**:LED 使能

0:LED 关闭

1:LED 启用, 需将 LED 相关引脚设为模式 7 (见表 7.1)

B1h.6~4 **LEDDUTY**:LED 工作选择

LED 矩阵模式 (LEDMODE=0)

000:1/2 Duty, COM 0~1

001:1/3 Duty, COM 0~2

010:1/4 Duty, COM 0~3

011:1/5 Duty, COM 0~4

100:1/6 Duty, COM 0~5

101:1/7 Duty, COM 0~6

110:1/8 Duty, COM 0~7

111:1/8 Duty, COM 0~7

LED 点阵模式 (LEDMODE=2)

000:4x4, LED 0~4

001:5x5, LED 0~5

010:6x6, LED 0~6

011:6x7, LED 0~6

100:7x7, LED 0~7

101:7x8, LED 0~7

110:8x8, LED 0~8

111:8x8, LED 0~8

B1h.2~0 **LEDBRIT**:LED 亮度控制

000:0 级 (最暗)

...

111:7 级 (最亮)

SFR B2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCON2	LEDPSC			—	LEDHOLD	—	LEDMODE	
R/W	R/W			—	R/W	—	R/W	
Reset	1	0	1	—	0	—	0	0

B2h.7~5 **LEDPSC**:LED 时钟预分频选择
000:LED 时钟是 FRC 除以 256
001:LED 时钟是 FRC 除以 128
010:LED 时钟是 FRC 除以 64
011:LED 时钟是 FRC 除以 32
100:LED 时钟是 FRC 除以 16
101:LED 时钟是 FRC 除以 8
110:LED 时钟是 FRC 除以 4
111:LED 时钟是 FRC 除以 2

B2h.3 **LEDHOLD**:LED 扫描或者保持
0:LED 扫描
1:LED 保持

B2h.1~0 **LEDMODE**:LED 模式选择
00:矩阵 (MX) 扫描模式
01:保留
10:点阵 (DMX) 扫描模式
11:保留

SFR C4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DRVCON	DRVS3		DRVS2		DRVS1		DRVS0	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

C4h.7~6 **DRVS3**:LED SEG3 (P3.6) 驱动电流选择
00:正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
01:强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
1x:弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

C4h.5~4 **DRVS2**:LED SEG2 (P3.5) 驱动电流选择
00:正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
01:强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
1x:弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

C4h.3~2 **DRVS1**:LED SEG1 (P3.4) 驱动电流选择
00:正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
01:强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
1x:弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

C4h.1~0 **DRVS0**:LED SEG0 (P3.3) 驱动电流选择
00:正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
01:强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
1x:弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

SFR C5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DRVCON2	DRVS7		DRVS6		DRVS5		DRVS4	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

- C5h.7~6 **DRVS7**:LED SEG7 (P0.3) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
- C5h.5~4 **DRVS6**:LED SEG6 (P0.2) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
- C5h.3~2 **DRVS5**:LED SEG5 (P0.1) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
- C5h.1~0 **DRVS4**:LED SEG4 (P0.0) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

SFR C6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DRVCON3	DRVS7		DRVS6		DRVS5		DRVS4	
R/W	R/W		R/W		R/W		R/W	
Reset	0	0	0	0	0	0	0	0

- C6h.7~6 **DRVS11**:LED SEG11 (P0.7) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
- C6h.5~4 **DRVS10**:LED SEG10 (P0.6) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
- C6h.3~2 **DRVS9**:LED SEG9 (P0.5) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
- C6h.1~0 **DRVS8**:LED SEG8 (P0.4) 驱动电流选择
 00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)
 1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

SFR C7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DRVCON4	—	DRVP32	DRVG2		DRVG1		DRVG0	
R/W	—	R/W	R/W		R/W		R/W	
Reset	—	0	0	0	0	0	0	0

C7h. 6 **DRVP32**: P3.2驱动电流选择

0: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

1: 加强驱动电流 (约 67mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

C7h.5~4 **DRVG2**: 第2组 (P2.0~P2.1 & P3.0~P3.1) 驱动电流选择

00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

C7h.3~2 **DRVG1**: 第1组 (P1.4~P1.7) 驱动电流选择

00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

C7h.1~0 **DRVG0**: 第0组 (P1.0~P1.3) 驱动电流选择

00: 正常驱动电流 (约 14mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

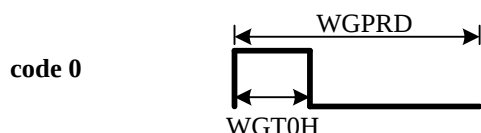
01: 强驱动电流 (约 30mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

1x: 弱驱动电流 (约 12mA@ $V_{OH}=0.9V_{CC}$, $V_{CC}=5V$)

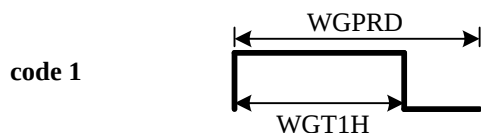
14. 通信格式波形发生器 (WG)

波形发生器 (Waveform Generator) 的输入信息存储在SFR WGBUF。波形发生器将根据以下编码规则将其串行输出到P3.0, P0.1, P1.4或P1.5。(参见第7节表7.1)

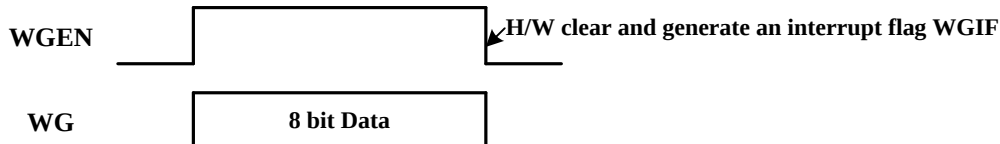
如果数据值为0, 则输出波形将如下图所示进行编码, 占空比和周期可以通过WGT0H和WGPRD进行调整。



如果数据值为 1, 则输出波形将如下图所示进行编码, 占空比和周期可以通过 WGT1H 和 WGPRD 进行调整。



当用户设置WGEN= 1时, 硬件将开始发送数据代码, 发送完毕后硬件自动清除 WGEN 位并产生一个中断旗标WGIF。



SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	CMPIF	TKIF	ADIF	WGIF	IE2	PCIF	TF3
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

95h.3 **WGIF**:WG 中断标志

由 H/W 设置。S/W 将 F7h 写入 INTFLG 以清除此标志。

注:S/W 可以写 0 清除 INTFLG 中的标志, 但写 1 没有任何效果。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	LVDIE	WGIE	ADTKIE	EX2	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.4 **WGIE**:WG 中断使能控制

0:关闭 WG 中断

1:使能 WG 中断

SFR B6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WGCON	WGPRD			WGT1H			WGT0H	
R/W	R/W			R/W			R/W	
Reset	0	0	0	0	0	0	0	0

B6h.7~5 **WGPRD**: 每个位选择的 WG 周期 ($T_{FRC} = 62.5 \text{ ns}$)

- 0: $15 * T_{FRC} = 938 \text{ ns}$
- 1: $16 * T_{FRC} = 1000 \text{ ns}$
- 2: $17 * T_{FRC} = 1063 \text{ ns}$
- 3: $18 * T_{FRC} = 1125 \text{ ns}$
- 4: $19 * T_{FRC} = 1188 \text{ ns}$
- 5: $20 * T_{FRC} = 1250 \text{ ns}$
- 6: $21 * T_{FRC} = 1313 \text{ ns}$
- 7: $22 * T_{FRC} = 1375 \text{ ns}$

B6h.4~2 **WGT1H**: WG 代码 1 高电平时间选择 ($T_{FRC} = 62.5 \text{ ns}$)

- 0: $10 * T_{FRC} = 625 \text{ ns}$
- 1: $11 * T_{FRC} = 688 \text{ ns}$
- 2: $12 * T_{FRC} = 750 \text{ ns}$
- 3: $13 * T_{FRC} = 813 \text{ ns}$
- 4: $14 * T_{FRC} = 875 \text{ ns}$
- 5: $15 * T_{FRC} = 938 \text{ ns}$
- 6: $16 * T_{FRC} = 1000 \text{ ns}$
- 7: $17 * T_{FRC} = 1063 \text{ ns}$

B6h.1~0 **WGT0H**: WG 代码 0 高电平时间选择 ($T_{FRC} = 62.5 \text{ ns}$)

- 0: $4 * T_{FRC} = 250 \text{ ns}$
- 1: $5 * T_{FRC} = 313 \text{ ns}$
- 2: $6 * T_{FRC} = 375 \text{ ns}$
- 3: $7 * T_{FRC} = 438 \text{ ns}$

SFR B7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WGBUF	WGBUF							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

B7h.7~0 **WGBUF**: WG 数据代码缓存器

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	CLRPWM1	WGEN	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	1	1	0	0

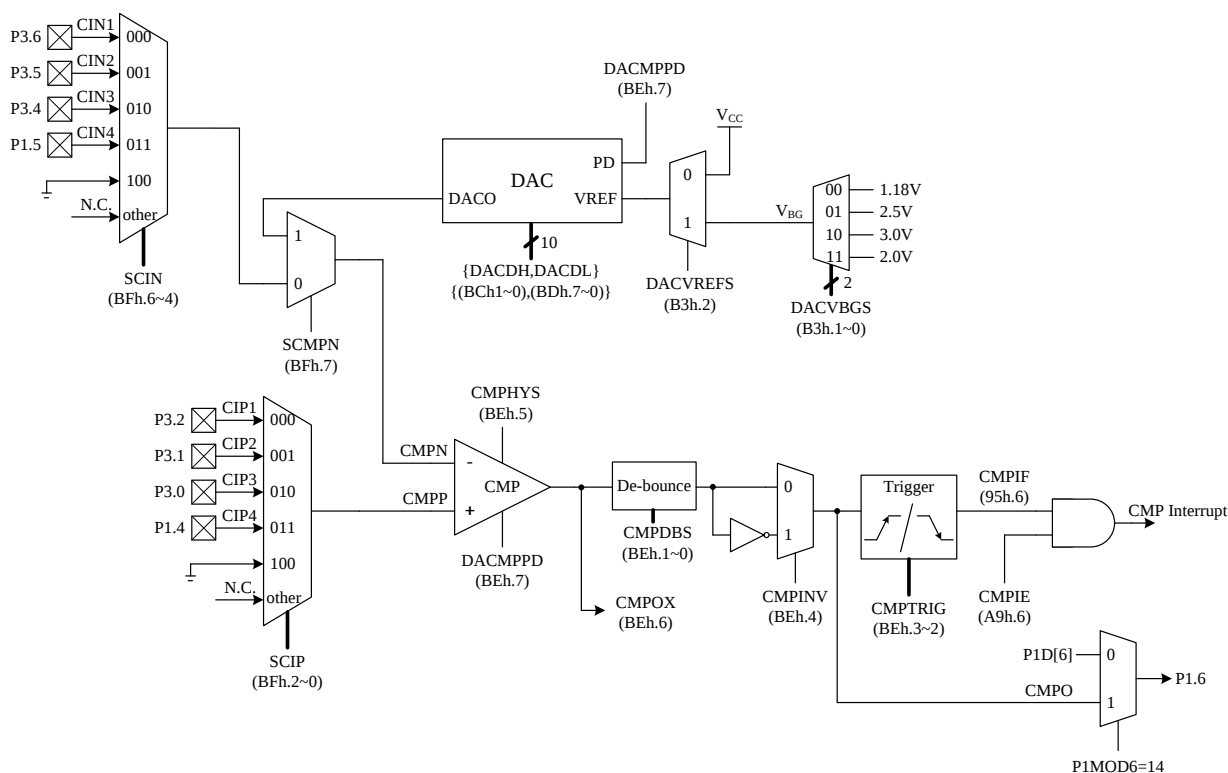
F8h.1 **WGEN**: WG 使能控制, 数据代码发送完毕后 H/W 将自动关闭 WG 并产生一个中断旗标 WGIF

- 0: WG 关闭
- 1: WG 启用

15. 比较器 (CMP)

该芯片有一个比较器 (CMP)，而CMP内置一个10位DAC模块，其输出可访问CMP的负输入端口。DAC的基准电压可以通过设置DACVREFS (B3h.2) 选择为 V_{CC} 或 V_{BG} 。 V_{BG} 将通过设置DACVBGS (B3h.1~0) 配置为1.18V, 2.5V, 3.0V或2.0V。通过设置DACDH (BCh.1~0) 和DACDL (BDh.7~0)，可以选择合适的电压水平，使用户应用正常运行，这将改变电阻以转换电压值。设置 DACMPPD=1 (BEh.7) 将使DAC和CMP进入掉电模式。通过配置 SCMPN (BFh.7)，负端口输入源将是外部引脚输入或DAC输出或接地 V_{SS} 。正端口输入源可以是外部引脚输入或接地 V_{SS} ，通过定义SCIN (BFh.6~4) 和 SCIP (BFh.2~0) 寄存器分别确定负端口和正端口外部输入源。由于CMP的输入模块由PMOS组成，因此输入电压范围将受到PMOS的V分之一的影响。因此，CMP 的最大输入电压将为 $(V_{CC}-0.5)V$ 。同时，比较器的迟滞电压约为10mV，可以通过设置CMPHYS (BEh.5) 开启或关闭。比较器原始输出 (CMPOX) 可以通过CMPOX (BEh.6) 位读取。芯片提供去抖模块对CMPOX信号进行去抖动，用户可以通过CMPDBS (BEh.1~0) 选择去抖动时间。去抖输出信号可以通过CMPINV (BEh.4) 选择反相或不反相来产生CMPO信号。CMPO可以通过设置P1MOD6=14输出到引脚 (P1.6)。CMPO也是中断触发模块的触发源，用于生成中断标志CMPIF (95h.6)。触发模式由CMPTRIG (BEh.3~2) 选择。当比较器断电时，仍会产生中断标志。因此，每次打开CMP模块后都需要先清除中断标志，以防止使用虚拟标志。

10位的DACDH和DACDL寄存器具有低字节结构和高字节结构。高字节可以直接访问，但由于低字节只能通过内部8位缓冲区访问，因此必须以特定的方式读取或写入这些寄存器对。需要注意的重要一点是，只有在对相应的高字节执行写或读操作时，才会进行与8位缓冲区及其相关的低字节之间的数据传输。简单地说，先写低字节，再写高字节；先读高字节，再读低字节。



比较器结构

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	PWMIE	CMPIE	LVDIE	WGIE	ADTKIE	EX2	PCIE	TM3IE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

A9h.6 **CMPIE**:CMP 中断使能控制
0:关闭 CMP 中断
1:使能 CMP 中断

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVDIF	CMPIF	TKIF	ADIF	WGIF	IE2	PCIF	TF3
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

95h.6 **CMPIF**:比较器中断标志
由硬件设置, 而CMPO匹配触发条件。当程序执行中断服务例程时, 它会自动清除。S/W将BFh 写入 INTFLG 以清除此标志。

SFR AEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DACON	—	—	—	—	—	DACVREFS	DACVBGS	
R/W	—	—	—	—	—	R/W	R/W	
Reset	—	—	—	—	—	0	0	0

A Eh.2 **DACVREFS**:DAC 参考电压选择
0:V_{CC}
1:V_{BG}

A Eh.1~0 **DACVBGS**:V_{BG} 电压选择 (用于 DAC)
00:1.18V
01:2.5V
10:3.0V
11:2.0V

SFR BCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DACDH	DACDH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

BCh.1~0 **DACDH**:选择 DAC 输出电压高字节 10~9 (参考源可选择 V_{CC} 或 V_{BG})
写入顺序:先写 DACDL 再写 DACDH
读取顺序:先读 DACDH 再读 DACDL

SFR BDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DACDL	DACDL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

BDh.7~0 **DACDL**:选择 DAC 输出电压低字节 8~0 (参考源可选择 V_{CC} 或 V_{BG})
写入顺序:先写 DACDL 再写 DACDH
读取顺序:先读 DACDH 再读 DACDL
[00] 0000_0000:0/1024 *参考源
[00] 0000_0001:1/1024 *参考源
[00] 0000_0010:2/1024 *参考源
...
[11] 1111_1101:1021/1024 *参考源
[11] 1111_1110:1022/1024 *参考源
[11] 1111_1111:1023/1024 *参考源

SFR BEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMPCON	DACMPPD	CMPOX	CMPHYS	CMPIINV	CMPTRIG		CMPDBS	
R/W	R/W	R	R/W	R/W	R/W		R/W	
Reset	1	1	0	0	0	0	0	0

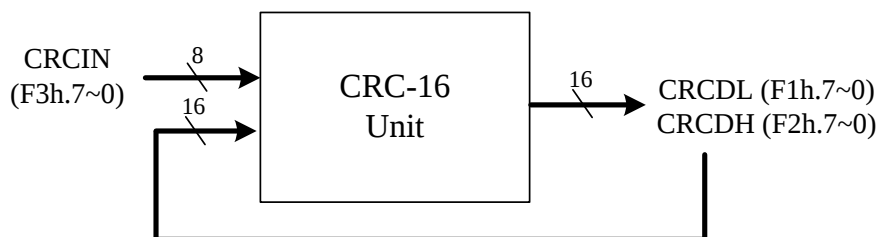
- BEh.7 **DACMPPD**: 比较器和 DAC 关断使能控制
0: 禁用比较器和 DAC 关断
1: 启用比较器和 DAC 关断
- BEh.6 **CMPOX**: 比较器原始输出 (CMPOX) 状态
0: $V_{CMPP} < V_{CMPN}$
1: $V_{CMPP} > V_{CMPN}$ 或 $CMPPD = 1$
- BEh.5 **CMPHYS**: 比较器迟滞控制
0: 禁用
1: 启用, 迟滞电压约为 10mV
- BEh.4 **CMPIINV**: 比较器去抖动输出反相选择
0: 无反转
1: 反转
- BEh.3~2 **CMPTRIG**: 比较器中断触发模式
00: 上升沿
01: 下降沿
10: 双边
11: 高水平
- BEh.1~0 **CMPDBS**: 比较器原始输出 (CMPOX) 去抖动时间
00: 无
01: $4 F_{SYSCLK}$
10: $8 F_{SYSCLK}$
11: $16 F_{SYSCLK}$

SFR BFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CMPPNS	SCMPN	SCIN			—	SCIP		
R/W	R/W	R/W			—	R/W		
Reset	1	1	1	1	—	1	1	1

- BFh.7 **SCMPN**: 比较器 CMPN 源选择
0: 比较器 CMPN 源为外部输入 (CIN_x)
1: 比较器 CMPN 源为 DAC 输出
- BFh.6~4 **SCIN**: 比较器 CMPN 外部输入选择
000: 比较器 CMPN 外部输入为 CIN1 (P3.6)
001: 比较器 CMPN 外部输入为 CIN2 (P3.5)
010: 比较器 CMPN 外部输入为 CIN3 (P3.4)
011: 比较器 CMPN 外部输入为 CIN4 (P1.5)
100: 比较器 CMPN 输入为 V_{SS}
其他: 无连接
- BFh.2~0 **SCIP**: 比较器 CMPP 外部输入选择
000: 比较器 CMPP 外部输入为 CIP1 (P3.2)
001: 比较器 CMPP 外部输入为 CIP2 (P3.1)
010: 比较器 CMPP 外部输入为 CIP3 (P3.0)
011: 比较器 CMPP 外部输入为 CIP4 (P1.4)
100: 比较器 CMPP 输入为 V_{SS}
其他: 无连接

16. 循环冗余校验码 (CRC)

此芯片支持16位的循环冗余校验功能。循环冗余校验 (CRC) 计算单元是一种错误检测技术测试算法，用于验证数据传输或存储数据的正确性。CRC计算采用8位数据流或数据块作为输入，并产生16位输出余数。数据流由同一生成多项式计算。



CRC 框图

CRC生成器提供了基于CRC-16-IBM多项式的16位CRC结果计算。在这个CRC生成器中，只有一个多项式 (如下) 可用于数值计算，它不支持其他任何多项式的16位CRC计算。对CRCIN寄存器的每次写入操作，将被创建存储在CRCDH和CRCDL寄存器中的前一个CRC值的组合中，这将需要一个MCU指令周期来计算。

IBM 的 CRC-16 多项式表示 (Modbus) : $X^{16} + X^{15} + X^2 + 1$

SFR F1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCDL	CRCDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

F1h.7~0 CRCDL:16 位 CRC 校验和数据位 7~0

SFR F2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCDH	CRCDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

F2h.7~0 CRCDL:16 位 CRC 校验和数据位 15~8

SFR F3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCIN	CRCIN							
W	W							
Reset	-	-	-	-	-	-	-	-

F3h.7~0 CRCIN: CRC 输入数据寄存器

17. 乘除法器

该芯片提供乘法器和除法器具有以下功能。8位操作与标准8051完全兼容。

- 8 位 $\times$ 8 位 = 16 位 (标准 8051)
- 8 位 $\div$ 8 位 = 8 位, 8 位余数 (标准 8051)
- 16 位 $\times$ 16 位 = 32 位
- 16 位 $\div$ 16 位 = 16 位, 16 位余数
- 32 位 $\div$ 16 位 = 32 位, 16 位余数

无论8位/ 16位/ 32位操作，都可以通过MUL AB和DIV AB指令轻松执行。有额外的SFR EXA / EXA2 / EXA3 / EXB用于16位 / 32位乘法和除法运算。

对于8位乘法器/除法器操作，请确保SFR位MULDIV16 = 0且DIV32 = 0。

对于16位乘法器运算，被乘数，乘数和乘积如下。16位乘法器需要16个系统时钟周期才能执行。

条件	SFR位 MULDIV16 = 1 且 DIV32 = 0			
乘法	字节3	字节2	字节1	字节0
被乘数	-	-	EXA	A
乘数	-	-	EXB	B
积	EXB	B	A	EXA
OV	积 (EXB or B) $\neq$ 0			-

对于16位除法运算，被除数，除数，商，余数读取如下。16位除法器需要16个系统时钟周期才能执行。

条件	SFR位 MULDIV16 = 1 且 DIV32 = 0			
除法	字节3	字节2	字节1	字节0
被除数	-	-	EXA	A
除数	-	-	EXB	B
商	-	-	A	EXA
余数	-	-	B	EXB
OV	除数 EXB = B = 0			

对于32 位 $\div$ 16位除法运算，被除数，除数，商，余数读取如下。32位除法器需要32个系统时钟周期才能执行。

条件	SFR位 MULDIV16 = 1 且 DIV32 = 1			
除法	字节3	字节2	字节1	字节0
被除数	EXA3	EXA2	EXA	A
除数	-	-	EXB	B
商	A	EXA	EXA2	EXA3
余数	-	-	B	EXB
OV	除数 EXB = B = 0			

SFR CEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA2	EXA2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

CEh.7~0 **EXA2**: 扩充累加器 2

SFR CFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA3	EXA3							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

CFh.7~0 **EXA3**: 扩充累加器 3

SFR E6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXA	EXA							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E6h.7~0 **EXA**: 扩充累加器

SFR E7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
EXB	EXB							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E7h.7~0 **EXB**: 扩充 B 寄存器

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	DIV32	—	—	MULDIV16
R/W	R/W	R/W	R/W	R/W	R/W	—	—	R/W
Reset	0	0	0	0	0	—	—	0

F7h.3 **DIV32**: 仅在 MULDVI16 = 1 时有效

0: 指令 DIV 为 16/16 位除法运算

1: 指令 DIV 为 32/16 位除法运算

F7h.0 **MULDIV16**:

0: 指令 MUL / DIV 为 8 位操作

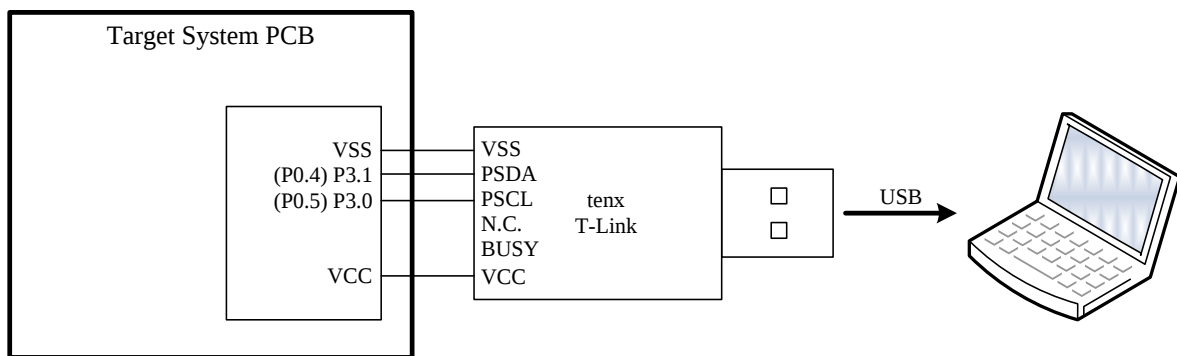
1: 指令 MUL / DIV 为 16 * 16, 16 / 16 或 32/16 操作

ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
MUL AB	Multiply A by B	1	8/16	A4
DIV AB	Divide A by B	1	8/16/32	84

18. 在线仿真器 (ICE) 模式

本装置可以支持在线仿真模式。要使用ICE模式，用户只需将P3.0和P3.1引脚连接到tenx专有EV模块。好处是用户可以仿真整个系统，而无需更改板载目标设备。但是ICE模式有一些限制，如下所示。

1. 设备必须处于未保护状态。
2. 设备的 P3.0 和 P3.1 引脚必须在输入模式下工作。(P3MOD0 =0/1 和 P3MOD1=0/1)
3. Tenx EV 模块占用了程序存储器的寻址空间 0D00h~0FFFh 和 0033h~003Ah。因此，用户程序无法访问这些空间。
4. 无法模拟 T-Link 通信引脚的功能。
5. P3.0 和 P3.1 引脚可以替换为 P0.5 和 P0.4。(仅仿真时可以替换，量产烧录器只支持 P3.0/P3.1)
6. V_{DD} 电平由 T-Link 模块控制。



8K Bytes program memory	
0000h	Reset / Interrupt Vector
007Fh	
0080h	
	User Code area
0CFFh	
0D00h	
	ICE mode reserve area
0FFFh	
1000h	
	User Code area
1FEFh	
1FF0h	
	tenx reserve area
1FFAh	
1FFBh	
1FFDh	CFGWL (FRC)
1FFFh	CFGWH

TM52M5473

SFR & CFGW 映像

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
80h	0000-0000	P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
81h	0000-0111	SP	SP							
82h	0000-0000	DPL	DPL							
83h	0000-0000	DPH	DPH							
84h	x00x-xxxx	INTE2	—	PWM1IE	PWM0IE	—	—	—	—	—
85h	x00x-xxxx	INTFLG2	—	PWM1IF	PWM0IF	—	—	—	—	—
86h	xxxx-xxxx	—	—							
87h	xxxx-0000	PCON	—	—	—	—	GF1	GF0	PD	IDL
88h	0000-0000	TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
89h	0000-0000	TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
8Ah	0000-0000	TL0	TL0							
8Bh	0000-0000	TL1	TL1							
8Ch	0000-0000	TH0	TH0							
8Dh	0000-0000	TH1	TH1							
8Eh	xxxx-xxxx	—	—							
8Fh	xxxx-xxxx	—	—							
90h	1111-1111	P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
91h	0001-0001	P0MOD10	P0MOD1				P0MOD0			
92h	0001-0001	P0MOD32	P0MOD3				P0MOD2			
93h	0001-0001	P0MOD54	P0MOD5				P0MOD4			
94h	x000-0011	OPTION	—	TM3CKS	WDTPSC		ADCKS		SXTGAIN	
95h	0000-0000	INTFLG	LVDIF	CMPIF	TKIF	ADIF	WGIF	IE2	PCIF	TF3
96h	0001-0001	P0MOD76	P0MOD7				P0MOD6			
97h	xxxx-xx0x	SWCMD	SWRST / WDTO							
98h	xxxx-xxxx	—	—							
99h	xxxx-xxxx	—	—							
9Ah	0001-0001	P1MOD10	P1MOD1				P1MOD0			
9Bh	0001-0001	P1MOD32	P1MOD3				P1MOD2			
9Ch	0001-0001	P1MOD54	P1MOD5				P1MOD4			
9Dh	0001-0001	P1MOD76	P1MOD7				P1MOD6			
9Eh	0001-0001	P2MOD10	P2MOD1				P2MOD0			
9Fh	xxxx-xxxx	—	—							
A0h	1111-1111	P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
A1h	0000-00xx	PWMCON	PWM1CKS		PWM1EN	PWM0EN	PWM0CKS		—	—
A2h	0001-0001	P3MOD10	P3MOD1				P3MOD0			
A3h	0001-0001	P3MOD32	P3MOD3				P3MOD2			
A4h	0001-0001	P3MOD54	P3MOD5				P3MOD4			
A5h	0001-0001	P3MOD76	P3MOD7				P3MOD6			
A6h	xxxx-xxxx	—	—							
A7h	xxxx-1111	TKCHS	—	—	—	—	TKCHS			
A8h	0x00-0000	IE	EA	—	ET2	—	ET1	EX1	ET0	EX0
A9h	0000-0000	INTE1	PWMIE	CMPIE	LVDIE	WGIE	ADTKIE	EX2	PCIE	TM3IE
AAh	xxxx-xxxx	ADCDL	ADCDL				—			
ABh	xxxx-xxxx	ADCDH	ADCDH							
ACH	xx00-0000	PWMCON3	—	—	PWM10M		PWM1DZ			
ADh	1100-0100	TKCON	TKPD	TKEOC	TKCKS		TKVREFS	TKREFC		
A Eh	1000-0000	ADCHSEL	ADCHS					ADCVREFS	ADCVBGS	

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AFh	xx00-0000	PWMCON2	–	–	PWM0OM		PWM0DZ			
B0h	1111-1111	P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
B1h	0000-x111	LEDCON	LEDON	LEDDUTY			–	LEDBRIT		
B2h	101x-0x00	LEDCON2	LEDPSC			–	LEDHOLD	–	LEDMODE	
B3h	xxxx-x000	DACON	–	–	–	–	–	DACVREFS	DACVBGS	
B4h	xxxx-xxxx	TKDH	TKDH							
B5h	xxxx-xxxx	TKDL	TKDL							
B6h	0000-0000	WGCON	WGPRD			WGT1H			WGT0H	
B7h	0000-0000	WGBUF	WGBUF							
B8h	xx0x-0000	IP	–	–	PT2	–	PT1	PX1	PT0	PX0
B9h	xx0x-0000	IPH	–	–	PT2H	–	PT1H	PX1H	PT0H	PX0H
BAh	0000-0000	IP1	PPWM	PCMP	PLVD	PWG	PADTKI	PX2	PPC	PT3
BBh	0000-0000	IP1H	PPWMH	PCMPH	PLVDH	PWGH	PADTKIH	PX2H	PPCH	PT3H
BCh	xxxx-xx00	DACDH	–	–	–	–	–	–	DACDH	
BDh	0000-0000	DACDL	DACDL							
BEh	1110-0000	CMPCON	DACMPPD	CMPOX	CMPHYS	CMPINV	CMPTRIG		CMPDBS	
BFh	1111-x111	CMPPNS	SCMPN	SCIN			–	SCIP		
C0h	xxxx-xxxx	–	–							
C1h	xxxx-xxxx	–	–							
C2h	xxxx-xxxx	–	–							
C3h	xxxx-xxxx	–	–							
C4h	0000-0000	DRVCON	DRVS3		DRVS2		DRVS1		DRVS0	
C5h	0000-0000	DRVCON2	DRVS7		DRVS6		DRVS5		DRVS4	
C6h	0000-0000	DRVCON3	DRVS11		DRVS10		DRVS9		DRVS8	
C7h	x000-0000	DRVCON4	–	DRVP32	DRVG2		DRVG1		DRVG0	
C8h	0000-0000	T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
C9h	xxxx-xxxx	–	–							
CAh	0000-0000	RCP2L	RCP2L							
CBh	0000-0000	RCP2H	RCP2H							
CCh	0000-0000	TL2	TL2							
CDh	0000-0000	TH2	TH2							
CEh	0000-0000	EXA2	EXA2							
CFh	0000-0000	EXA3	EXA3							
D0h	0000-0000	PSW	CY	AC	F0	RS1	RS0	OV	F1	P
D1h	0000-0000	PWM0DH	PWM0DH							
D2h	0000-0000	PWM0DL	PWM0DL							
D3h	0000-0000	PWM0ADH	PWM0ADH							
D4h	0000-0000	PWM0ADL	PWM0ADL							
D5h	0000-0000	PWM0BDH	PWM0BDH							
D6h	0000-0000	PWM0BDL	PWM0BDL							
D7h	0000-0000	TM3RLD	TM3RLD							
D8h	0x10-0011	CLKCON	SCKTYPE	–	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
D9h	1111-1111	PWM0PRDH	PWM0PRDH							
DAh	1111-1111	PWM0PRDL	PWM0PRDL							
DBh	1111-1111	PWM1PRDH	PWM1PRDH							
DCh	1111-1111	PWM1PRDL	PWM1PRDL							
DDh	xxxx-xxxx	–	–							
DEh	xxxx-xxxx	–	–							
DFh	xxxx-x101	RDCON	–	–	–	–	–	RDCEN	RDCS	

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
E0h	0000-0000	ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
E1h	xxxx-xxxx	–	–							
E2h	xxxx-xxxx	–	–							
E3h	xxx0-0001	LVRCON	–	–	–	LVRPD	LVRSEL			
E4h	0000-0001	LVDCON	LVDM	LVDO	LVDHYS	LVDPD	LVDSEL			
	xxxx-xxxx	–	–							
E5h	0000-0xx0	EFTCON	EFT2CS	EFT1CS	EFT1S		EFTSLOW	–	–	CKHLDE
E6h	0000-0000	EXA	EXA							
E7h	0000-0000	EXB	EXB							
E8h	xxxx-xxxx	–	–							
E9h	0000-0000	PWM1DH	PWM1DH							
EAh	0000-0000	PWM1DL	PWM1DL							
EBh	0000-0000	PWM1ADH	PWM1ADH							
ECh	0000-0000	PWM1ADL	PWM1ADL							
EDh	0000-0000	PWM1BDH	PWM1BDH							
EEh	0000-0000	PWM1BDL	PWM1BDL							
EFh	x000-0000	AUX3	–	HSNK2EN	HSNK1EN	HSNK0EN	WARMTIME	BUZMOD	VIS	PSEUDOEN
F0h	0000-0000	B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
F1h	1111-1111	CRCDL	CRCDL							
F2h	1111-1111	CRCDH	CRCDH							
F3h	0000-0000	CRCIN	CRCIN							
F5h	xxxx-xxxx	CFGBG	–	–	–	BGTRIM				
F6h	xxxx-xxxx	CFGWL	–	FRCF						
F7h	0000-0xx0	AUX2	WDTE		PWRSV	VBGOUT	DIV32	–	–	MULDIV16
F8h	0000-1100	AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	CLRPWM1	WGEN	DPSEL

Flash Address	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
1FFFh	CFGWH	PROT	XRSTE	–	–	–	–	–	–

SFR & CFGW 说明

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
80h	P0	7~0	P0	R/W	FFh	Port0 data
81h	SP	7~0	SP	R/W	07h	Stack Point
82h	DPL	7~0	DPL	R/W	00h	Data Point low byte
83h	DPH	7~0	DPH	R/W	00h	Data Point high byte
84h	INTE2	6	PWM1IE	R/W	0	PWM1 interrupt enable 0: Disable PWM1 interrupt 1: Enable PWM1 interrupt
		5	PWM0IE	R/W	0	PWM0 interrupt enable 0: Disable PWM0 interrupt 1: Enable PWM0 interrupt
85h	INTFLG2	6	PWM1IF	R/W	0	PWM1 interrupt flag Set by H/W at the end of PWM1 period, S/W writes BFh to INTFLG2 to clear this flag.
		5	PWM0IF	R/W	0	PWM0 interrupt enable Set by H/W at the end of PWM0 period, S/W writes DFh to INTFLG2 to clear this flag.
87h	PCON	3	GF1	R/W	0	General purpose flag bit
		2	GF0	R/W	0	General purpose flag bit
		1	PD	R/W	0	Power down control bit, set 1 to enter HALT/STOP mode
		0	IDL	R/W	0	Idle control bit, set 1 to enter IDLE mode
88h	TCON	7	TF1	R/W	0	Timer1 overflow flag Set by H/W when Timer/Counter 1 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		6	TR1	R/W	0	Timer1 run control. 1: timer runs; 0: timer stops
		5	TF0	R/W	0	Timer0 overflow flag Set by H/W when Timer/Counter 0 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		4	TR0	R/W	0	Timer0 run control. 1:timer runs; 0:timer stops
		3	IE1	R/W	0	External Interrupt 1 (INT1 pin) edge flag Set by H/W when an INT1 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		2	IT1	R/W	0	External Interrupt 1 control bit 0: Low level active (level triggered) for INT1 pin 1: Falling edge active (edge triggered) for INT1 pin
		1	IE0	R/W	0	External Interrupt 0 (INT0 pin) edge flag Set by H/W when an INT0 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		0	IT0	R/W	0	External Interrupt 0 control bit 0: Low level active (level triggered) for INT0 pin 1: Falling edge active (edge triggered) for INT0 pin
89h	TMOD	7	GATE1	R/W	0	Timer1 gating control bit 0: Timer1 enable when TR1 bit is set 1: Timer1 enable only while the INT1 pin is high and TR1 bit is set
		6	CT1N	R/W	0	Timer1 Counter/Timer select bit 0: Timer mode, Timer1 data increases at 2 System clock cycle rate 1: Counter mode, Timer1 data increases at T1 pin's negative edge
		5~4	TMOD1	R/W	00	Timer1 mode select 00: 8-bit timer/counter (TH1) and 5-bit prescaler (TL1) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL1). Reloaded from TH1 at overflow. 11: Timer1 stops
		3	GATE0	R/W	0	Timer0 gating control bit 0: Timer0 enable when TR0 bit is set 1: Timer0 enable only while the INT0 pin is high and TR0 bit is set
		2	CT0N	R/W	0	Timer0 Counter/Timer select bit 0: Timer mode, Timer0 data increases at 2 System clock cycle rate 1: Counter mode, Timer0 data increases at T0 pin's negative edge

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		1~0	TMOD0	R/W	00	Timer0 mode select 00: 8-bit timer/counter (TH0) and 5-bit prescaler (TL0) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL0). Reloaded from TH0 at overflow. 11: TL0 is an 8-bit timer/counter. TH0 is an 8-bit timer/counter using Timer1's TR1 and TF1 bits.
8Ah	TL0	7~0	TL0	R/W	00h	Timer0 data low byte
8Bh	TL1	7~0	TL1	R/W	00h	Timer1 data low byte
8Ch	TH0	7~0	TH0	R/W	00h	Timer0 data high byte
8Dh	TH1	7~0	TH1	R/W	00h	Timer1 data high byte
90h	P1	7~0	P1	R/W	FFh	Port1 data
91h	P0MOD10	7~4	P0MOD1	R/W	0001	P0.1 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P0MOD0	R/W	0001	P0.0 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
92h	P0MOD32	7~4	P0MOD3	R/W	0001	P0.3 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P0MOD2	R/W	0001	P0.2 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
93h	P0MOD54	7~4	P0MOD5	R/W	0001	P0.5 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P0MOD4	R/W	0001	P0.4 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
94h	OPTION	6	TM3CKS	R/W	0	Timer3 clock source select. 0: Slow Clock (SRC/SXT) 1: FRC/512 (31.25KHz)
		5~4	WDTPSC	R/W	00	Watchdog Timer pre-scalar time select 00: 528ms WDT overflow rate 01: 264ms WDT overflow rate 10: 132ms WDT overflow rate 11: 66ms WDT overflow rate
		3~2	ADCKS	R/W	00	ADC clock rate select 00: F _{SYSCLK} /32 01: F _{SYSCLK} /16 10: F _{SYSCLK} /8 11: F _{SYSCLK} /4
		1~0	SXTGAIN	R/W	11	SXT oscillator gain 00=Lowest gain, 11=Highest Gain
95h	INTFLG	7	LVDIF	R/W	0	LVD interrupt flag Set by H/W when V _{CC} less than the LVD voltage. S/W writes 7Fh to INTFLG to clear this flag.
		6	CMPIF	R/W	0	CMP interrupt flag Set by H/W while CMPO match trigger condition. It is cleared automatically when the program performs the interrupt service routine. S/W writes BFh to INTFLG to clear this flag.
		5	TKIF	R/W	0	Touch Key interrupt flag Set by H/W at the end of TK conversion. S/W writes DFh to INTFLG or sets the TKSOC bit to clear this flag. When user clears this flag, H/W will automatically clear TKAIF and TKBIF.
		4	ADIF	R/W	0	ADC interrupt flag Set by H/W at the end of ADC conversion. S/W writes EFh to INTFLG or sets the ADSOC bit to clear this flag.
		3	WGIF	R/W	0	Wave Generator interrupt flag Set by H/W at the end of Wave generate. S/W writes F7h to INTFLG to clear this flag.
		2	IE2	R/W	0	External Interrupt 2 (INT2 pin) edge flag Set by H/W when a falling edge is detected on the INT2 pin, no matter the EX2 is 0 or 1. It is cleared automatically when the program performs the interrupt service routine. S/W can write FBh to INTFLG to clear this bit.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		1	PCIF	R/W	0	Port0~3 pin change Interrupt flag Set by H/W when a Port0~3 pin state change is detected and its interrupt enable bit is set. PCIE does not affect this flag's setting. It is cleared automatically when the program performs the interrupt service routine. S/W can write FDh to INTFLG to clear this bit.
		0	TF3	R/W	0	Timer3 interrupt flag. Set by H/W when Timer3 reaches TM3PSC setting cycles. It is cleared automatically when the program performs the interrupt service routine. S/W can write FEh to INTFLG to clear this bit.
96h	P0MOD76	7~4	P0MOD7	R/W	0001	P0.7 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P0MOD6	R/W	0001	P0.6 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
97h	SWCMD	7~0	SWRST	W		Write 56h to generate S/W Reset
		1	WDTO	R	0	Watchdog Time-Out flag
9Ah	P1MOD10	7~4	P1MOD1	R/W	0001	P1.1 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P1MOD0	R/W	0001	P1.0 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
9Bh	P1MOD32	7~4	P1MOD3	R/W	0001	P1.3 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P1MOD2	R/W	0001	P1.2 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
9Ch	P1MOD54	7~4	P1MOD5	R/W	0001	P1.5 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P1MOD4	R/W	0001	P1.4 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
9Dh	P1MOD76	7~4	P1MOD7	R/W	0001	P1.7 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P1MOD6	R/W	0001	P1.6 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
9Eh	P2MOD10	7~4	P2MOD1	R/W	0001	P2.1 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P2MOD0	R/W	0001	P2.0 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
A0h	P2	7~2	P2.7~P2.2	R/W	FFh	P2.7~P2.2 have no pin out, so these bits are used as general purpose register
		1~0	P2.1~P2.0	R/W	11	P2.1~P2.0 data
A1h	PWMCON	7~6	PWM1CKS	R/W	00	PWM1 clock source 00: F _{SYSCLK} 01: FRC/256 10: FRC 11: FRCx2 (V _{CC} >2.5V)
		5	PWM1EN	R/W	0	PWM1 Enable. 0: PWM1 Disable, 1: PWM1 Enable
		4	PWM0EN	R/W	0	PWM0 Enable. 0: PWM0 Disable, 1: PWM0 Enable
		3~2	PWM0CKS	R/W	00	PWM0 clock source 00: F _{SYSCLK} 01: FRC/256 10: FRC 11: FRCx2 (V _{CC} >2.5V)
A2h	P3MOD10	7~4	P3MOD1	R/W	0001	P3.1 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P3MOD0	R/W	0001	P3.0 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
A3h	P3MOD32	7~4	P3MOD3	R/W	0001	P3.3 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P3MOD2	R/W	0001	P3.2 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
A4h	P3MOD54	7~4	P3MOD5	R/W	0001	P3.5 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P3MOD4	R/W	0001	P3.4 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
A5h	P3MOD76	7~4	P3MOD7	R/W	0001	P3.7 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
		3~0	P3MOD6	R/W	0001	P3.6 Pin Control 0000~1111: Mode0~Mode15, see PINMODE table 7.1
A7h	TKCHS	3~0	TKCHS	R/W	1111	Touch Key channel select 0000: TK0 (P3.0) 0001: TK1 (P3.1) 0010: TK2 (P3.2) 0011: TK3 (P3.3) 0100: TK4 (P3.4) 0101: TK5 (P3.5) 0110: TK6 (P3.6) 0111: TK7 (P0.1) 1111: TKREF
A8h	IE	7	EA	R/W	0	Global interrupt enable control. 0: Disable all Interrupts. 1: Each interrupt is enabled or disabled by its own interrupt control bit.
		5	ET2	R/W	0	Set 1 to enable Timer2 interrupt
		3	ET1	R/W	0	Set 1 to enable Timer1 Interrupt
		2	EX1	R/W	0	Set 1 to enable external INT1 pin Interrupt & Halt/Stop mode wake up capability
		1	ET0	R/W	0	Set 1 to enable Timer0 Interrupt
		0	EX0	R/W	0	Set 1 to enable external INT0 pin Interrupt & Halt/Stop mode wake up capability
A9h	INTE1	7	PWMIE	R/W	0	Set 1 to enable PWM0/PWM1 interrupt
		6	CMPIE	R/W	0	Set 1 to enable CMP interrupt
		5	LVDIE	R/W	0	Set 1 to enable LVD interrupt
		4	WGIE	R/W	0	Set 1 to enable Wave Generator interrupt
		3	ADTKIE	R/W	0	Set 1 to enable ADC/TK Interrupt
		2	EX2	R/W	0	Set 1 to enable external INT2 pin Interrupt & Halt/Stop mode wake up capability
		1	PCIE	R/W	0	Set 1 to enable Port0/Port1/Port2/Port3 Pin Change Interrupt
AAh	ADCDL	7~4	ADCDL	R	—	ADC data bit 3~0
ABh	ADCDH	7~0	ADCDH	R	—	ADC data bit 11~4
ACh	PWMCON3	5~4	PWM1OM	R/W	00	PWM1 output mode select 00: Mode0 01: Mode1 10: Mode2 11: Mode3
		3~0	PWM1DZ	R/W	0000	PWM1 dead zone 0000: 0 x T _{PWMCLK} 0001: 1 x T _{PWMCLK} ... 1111: 15 x T _{PWMCLK}
ADh	TKCON	7	TKPD	R/W	1	Touch Key power down.
		6	TKEOC	R	1	Touch Key end of conversion.
		5~4	TKCKS	R/W	0	Touch Key clock frequency select 00: 1.0MHz (slowest) 01: 1.4MHz 10: 2.0MHz 11: 2.8MHz (fastest)
		3	TKVREFS	R/W	0	Touch Key reference voltage select 0: V _{CC} 1: V _{LDO} 2.3V
		2~0	TKREFC	R/W	100	Touch Key conversion time select 000: shortest conversion time ... 111: longest conversion time

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
AEh	ADCHSEL	7~3	ADCHS	R/W	10000	ADC channel select 00000: AD0 (P3.0) 00001: AD1 (P3.1) 00010: AD2 (P3.2) 00011: AD3 (P3.3) 00100: AD4 (P3.4) 00101: AD5 (P3.5) 00110: AD6 (P3.6) 00111: AD7 (P2.0) 01000: AD8 (P2.1) 01001: AD9 (P1.4) 01010: AD10 (P1.5) 01011: AD11 (P1.6) 01100: AD12 (P1.7) others: Reserved 11011: V _{SS} 11100: V _{BG} 11101: DAC 11110: Reserved 11111: V _{CC} /4
		2	ADCVREFS	R/W	0	ADC reference voltage select 0: V _{CC} 1: V _{BG}
		1~0	ADCVBGS	R/W	00	VBG voltage select for ADC. 00: 1.18V 01: 2.5V (need V _{CC} >2.8V) 10: 3.0V (need V _{CC} >3.3V) 11: 2.0V (need V _{CC} >2.3V)
AFh	PWMCON2	5~4	PWM0OM	R/W	00	PWM0 output mode select 00: Mode0 01: Mode1 10: Mode2 11: Mode3
		3~0	PWM0DZ	R/W	0000	PWM0 dead zone 0000: 0 x T _{PWMCLK} 0001: 1 x T _{PWMCLK} ... 1111: 15 x T _{PWMCLK}
B0h	P3	7~0	P3	R/W	FFh	Port3 data
B1h	LEDCON	7	LEDON	R/W	0	LED enable 0: LED disable 1: LED enable
		6~4	LEDDUTY	R/W	000	LED duty select LED select: Matrix mode (LEDMODE=0) 000: 1/2 Duty, COM0~COM1 001: 1/3 Duty, COM0~COM2 010: 1/4 Duty, COM0~COM3 011: 1/5 Duty, COM0~COM4 100: 1/6 Duty, COM0~COM5 101: 1/7 Duty, COM0~COM6 110: 1/8 Duty, COM0~COM7 111: 1/8 Duty, COM0~COM7 LED select: Dot Matrix mode (LEDMODE=2) 000: 4x4, LED0~LED4 001: 5x5, LED0~LED5 010: 6x6, LED0~LED6 011: 6x7, LED0~LED6 100: 7x7, LED0~LED7 101: 7x8, LED0~LED7 110: 8x8, LED0~LED8 111: 8x8, LED0~LED8

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		2~0	LEDBRIT	R/W	111	LED Brightness control 000: Level 0 (Darkest) ... 111: Level 7 (Brightest)
B2h	LEDCON2	7~5	LEDPSC	R/W	101	LED clock prescaler select 000: LED clock is FRC divided by 256 001: LED clock is FRC divided by 128 010: LED clock is FRC divided by 64 011: LED clock is FRC divided by 32 100: LED clock is FRC divided by 16 101: LED clock is FRC divided by 8 110: LED clock is FRC divided by 4 111: LED clock is FRC divided by 2
		3	LEDHOLD	R/W	0	LED Hold function select 0: LED Scan 1: LED Hold and output Hi-Z
		1~0	LEDMODE	R/W	00	LED Mode select 00: Matrix scan mode 01: Reserved 10: Dot Matrix scan mode 11: Reserved
B3h	DACON	2	DACVREFS	R/W	0	DAC reference voltage select 0: V_{CC} 1: V_{BG}
		1~0	DACVBGS	R/W	0	V_{BG} voltage select for DAC. 00: 1.18V 01: 2.5V (need $V_{CC}>2.8V$) 10: 3.0V (need $V_{CC}>3.3V$) 11: 2.0V (need $V_{CC}>2.3V$)
B4h	TKDH	7~0	TKDH	R	-	Touch Key Counter Data 15~8
B5h	TKDL	7~0	TKDL	R	-	Touch Key Counter Data 7~0
B6h	WGCON	7~5	WGPRD	R/W	000	WG period of each bit select ($T_{FRC}=62.5\text{ ns}$) 0: $15 \times T_{FRC} = 938\text{ns}$ 1: $16 \times T_{FRC} = 1000\text{ns}$ 2: $17 \times T_{FRC} = 1063\text{ns}$ 3: $18 \times T_{FRC} = 1125\text{ns}$ 4: $19 \times T_{FRC} = 1188\text{ns}$ 5: $20 \times T_{FRC} = 1250\text{ns}$ 6: $21 \times T_{FRC} = 1313\text{ns}$ 7: $22 \times T_{FRC} = 1375\text{ns}$
		4~2	WGT1H	R/W	000	WG code 1 high level time select ($T_{FRC}=62.5\text{ ns}$) 0: $10 \times T_{FRC} = 625\text{ns}$ 1: $11 \times T_{FRC} = 688\text{ns}$ 2: $12 \times T_{FRC} = 750\text{ns}$ 3: $13 \times T_{FRC} = 813\text{ns}$ 4: $14 \times T_{FRC} = 875\text{ns}$ 5: $15 \times T_{FRC} = 938\text{ns}$ 6: $16 \times T_{FRC} = 1000\text{ns}$ 7: $17 \times T_{FRC} = 1063\text{ns}$
		1~0	WGT0H	R/W	00	WG code 0 high level time select ($T_{FRC}=62.5\text{ ns}$) 0: $4 \times T_{FRC} = 250\text{ns}$ 1: $5 \times T_{FRC} = 313\text{ns}$ 2: $6 \times T_{FRC} = 375\text{ns}$ 3: $7 \times T_{FRC} = 438\text{ns}$
B7h	WGBUF	7~0	WGBUF	R/W	00h	Wave Generator code buffer
B8h	IP	5	PT2	R/W	0	Timer2 Interrupt Priority Low bit
		3	PT1	R/W	0	Timer1 Interrupt Priority Low bit
		2	PX1	R/W	0	External INT1 Pin Interrupt Priority Low bit
		1	PT0	R/W	0	Timer0 Interrupt Priority Low bit
		0	PX0	R/W	0	External INT0 Pin Interrupt Priority Low bit

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
B9h	IPH	5	PT2H	R/W	0	Timer2 Interrupt Priority High bit
		3	PT1H	R/W	0	Timer1 Interrupt Priority High bit
		2	PX1H	R/W	0	External INT1 Pin Interrupt Priority High bit
		1	PT0H	R/W	0	Timer0 Interrupt Priority High bit
		0	PX0H	R/W	0	External INT0 Pin Interrupt Priority High bit
BAh	IP1	7	PPWM	R/W	0	PWM0/PWM1 Interrupt Priority Low bit
		6	PCMP	R/W	0	CMP Interrupt Priority Low bit
		5	PLVD	R/W	0	LVD Interrupt Priority Low bit
		4	PWG	R/W	0	Wave Generator Interrupt Priority Low bit
		3	PADTKI	R/W	0	ADC/TK Interrupt Priority Low bit
		2	PX2	R/W	0	External INT2 Pin Interrupt Priority Low bit
		1	PPC	R/W	0	Port0~Port3 pin change Interrupt Priority Low bit
		0	PT3	R/W	0	Timer3 Interrupt Priority Low bit
BBh	IP1H	7	PPWMH	R/W	0	PWM0/PWM1 Interrupt Priority High bit
		6	PCMPH	R/W	0	CMP Interrupt Priority High bit
		5	PLVDH	R/W	0	LVD Interrupt Priority High bit
		4	PWGH	R/W	0	Wave Generator Interrupt Priority High bit
		3	PADTKIH	R/W	0	ADC/TK Interrupt Priority High bit
		2	PX2H	R/W	0	External INT2 Pin Interrupt Priority High bit
		1	PPCH	R/W	0	Port0~Port3 Interrupt Priority High bit
		0	PT3H	R/W	0	Timer3 Interrupt Priority High bit
BCh	DACDH	1~0	DACDH	R/W	00	Select DAC output voltage MSB 9~8 write sequence: DACDL then DACDH read sequence: DACDH then DACDL
BDh	DACDL	7~0	DACDL	R/W	00h	Select DAC output voltage LSB 7~0
BEh	CMPCON	7	DACMPPD	R/W	1	Comparator & DAC power down enable control 0: disable Comparator & DAC power down 1: enable Comparator & DAC power down
		6	CMPOX	R/W	1	Comparator original output (CMPOX) status 0: $V_{CMPP} < V_{CMPN}$ 1: $V_{CMPP} > V_{CMPN}$ or $CMPPD = 1$
		5	CMPHYS	R/W	0	Comparator Hysteresis Control 0: disable 1: enable
		4	CMPINV	R/W	0	Comparator de-bounce output invert select 0: no invert 1: invert
		3~2	CMPTTRIG	R/W	00	Comparator interrupt trigger mode 00: Rising edge 01: Falling edge 10: Both edge 11: High level
		1~0	CMPDBS	R/W	00	Comparator original output (CMPOX) de-bounce time 00: none 01: $4 F_{SYSCLK}$ 10: $8 F_{SYSCLK}$ 11: $16 F_{SYSCLK}$
BFh	CMPPNS	7	SCMPN	R/W	1	Comparator CMPN source select 0: Comparator CMPN source is external input (CINx) 1: Comparator CMPN source is DAC output
		6~4	SCIN	R/W	111	Comparator CMPN external input select 000: Comparator CMPN external input is CIN1 (P3.6) 001: Comparator CMPN external input is CIN2 (P3.5) 010: Comparator CMPN external input is CIN3 (P3.4) 011: Comparator CMPN external input is CIN4 (P1.5) 100: Comparator CMPN external input is CIN5 (V _{SS}) 1xx: No connect

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		2~0	SCIP	R/W	111	Comparator CMPP external input select 000: Comparator CMPP external input is CIP1 (P3.2) 001: Comparator CMPP external input is CIP2 (P3.1) 010: Comparator CMPP external input is CIP3 (P3.0) 011: Comparator CMPP external input is CIP4 (P1.4) 100: Comparator CMPP external input is CIP5 (V _{SS}) 1xx: No connect
C4h	DRVCON	7~6	DRVS3	R/W	00	LED SEG3 (P3.6) driving current select 00: normal driving current 01: strong driving current 1x: weak driving current
		5~4	DRVS2	R/W	00	LED SEG2 (P3.5) driving current select 00: normal driving current 01: strong driving current 1x: weak driving current
		3~2	DRVS1	R/W	00	LED SEG1 (P3.4) driving current select 00: normal driving current 01: strong driving current 1x: weak driving current
		1~0	DRVS0	R/W	00	LED SEG0 (P3.3) driving current select 00: normal driving current 01: strong driving current 1x: weak driving current
C5h	DRVCON2	7~6	DRVS7	R/W	00	LED SEG7 (P0.3) driving current select 00: normal driving current 01: strong driving current 1x: weak driving current
		5~4	DRVS6	R/W	00	LED SEG6 (P0.2) driving current select 00: normal driving current 01: strong driving current 1x: weak driving current
		3~2	DRVS5	R/W	00	LED SEG5 (P0.1) driving current select 00: normal driving current 01: strong driving current 1x: weak driving current
		1~0	DRVS4	R/W	00	LED SEG4 (P0.0) driving current select 00: normal driving current 01: strong driving current 1x: weak driving current
C6h	DRVCON3	7~6	DRVS11	R/W	00	LED SEG11 (P0.7) driving current select 00: normal driving current 01: strong driving current 1x: weak driving current
		5~4	DRVS10	R/W	00	LED SEG10 (P0.6) driving current select 00: normal driving current 01: strong driving current 1x: weak driving current
		3~2	DRVS9	R/W	00	LED SEG9 (P0.5) driving current select 00: normal driving current 01: strong driving current 1x: weak driving current
		1~0	DRVS8	R/W	00	LED SEG8 (P0.4) driving current select 00: normal driving current 01: strong driving current 1x: weak driving current
C7h	DRVCON4	6	DRVP32	R/W	0	P32 High driving current select 0: normal driving current 1: strong driving current
		5~4	DRVG2	R/W	00	Group 2 (P2.0~P2.1 & P3.0~P3.1) driving current select 00: normal driving current 01: strong driving current 1x: weak driving current

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		3~2	DRVG1	R/W	00	Group 1 (P1.4~P1.7) driving current select 00: normal driving current 01: strong driving current 1x: weak driving current
		1~0	DRVG0	R/W	00	Group 0 (P1.0~P1.3) driving current select 00: normal driving current 01: strong driving current 1x: weak driving current
C8h	T2CON	7	TF2	R/W	0	Timer2 overflow flag Set by H/W when Timer/Counter 2 overflows unless RCLK=1 or TCLK=1. This bit must be cleared by S/W.
		6	EXF2	R/W	0	T2EX interrupt pin falling edge flag Set when a capture or a reload is caused by a negative transition on T2EX pin if EXEN2=1. This bit must be cleared by S/W.
		5	RCLK	R/W	0	UART receive clock control bit (no UART function, Force 0)
		4	TCLK	R/W	0	UART transmit clock control bit (no UART function, Force 0)
		3	EXEN2	R/W	0	T2EX pin enable 0: T2EX pin disable 1: T2EX pin enable, it cause a capture or reload when a negative transition on T2EX pin is detected if RCLK=TCLK=0
		2	TR2	R/W	0	Timer2 run control 0: timer stops 1: timer runs
		1	CT2N	R/W	0	Timer2 Counter/Timer select bit 0: Timer mode, Timer2 data increases at 2 System clock cycle rate 1: Counter mode, Timer2 data increases at T2 pin's negative edge
		0	CPRL2N	R/W	0	Timer2 Capture/Reload control bit 0: Reload mode, auto-reload on Timer2 overflows or negative transitions on T2EX pin if EXEN2=1. 1: Capture mode, capture on negative transitions on T2EX pin if EXEN2=1. If RCLK=1 or TCLK=1, CPRL2N is ignored and timer is forced to auto-reload on Timer2 overflow.
CAh	RCP2L	7~0	RCP2L	R/W	00h	Timer2 reload/capture data low byte
CBh	RCP2H	7~0	RCP2H	R/W	00h	Timer2 reload/capture data high byte
CCh	TL2	7~0	TL2	R/W	00h	Timer2 data low byte
CDh	TH2	7~0	TH2	R/W	00h	Timer2 data high byte
CEh	EXA2	7~0	EXA2	R/W	00h	Expansion accumulator 2
CFh	EXA3	7~0	EXA3	R/W	00h	Expansion accumulator 3
D0h	PSW	7	CY	R/W	0	ALU carry flag
		6	AC	R/W	0	ALU auxiliary carry flag
		5	F0	R/W	0	General purpose user-definable flag
		4	RS1	R/W	0	Register Bank Select bit 1
		3	RS0	R/W	0	Register Bank Select bit 0
		2	OV	R/W	0	ALU overflow flag
		1	F1	R/W	0	General purpose user-definable flag
		0	P	R/W	0	Parity flag
D1h	PWM0DH	7~0	PWM0DH	R/W	00h	PWM0 duty high byte write sequence: PWMxDL then PWMxDH read sequence: PWMxDH then PWMxDL
D2h	PWM0DL	7~0	PWM0DL	R/W	00h	PWM0 duty low byte
D3h	PWM0ADH	7~0	PWM0ADH	R/W	00h	PWM0A duty high byte
D4h	PWM0ADL	7~0	PWM0ADL	R/W	00h	PWM0A duty low byte
D5h	PWM0BDH	7~0	PWM0BDH	R/W	00h	PWM0B duty high byte
D6h	PWM0BDL	7~0	PWM0BDL	R/W	00h	PWM0B duty low byte
D7h	TM3RLD	7~0	TM3RLD	R/W	00	16-bit TM3 MSB 8-bit reload data count range: [TM3RLD,00h]~FFFF

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
D8h	CLKCON	7	SCKTYPE	R/W	0	Slow clock Type. This bit can be changed only in Fast mode (SELFCK=1) 0: SRC 1: SXT, P2.0 and P2.1 are crystal pins
		5	STPSCK	R/W	1	Set 1 to stop Slow clock in Stop Mode.
		4	STPPCK	R/W	0	Set 1 to stop Timer0/1/2 clock in Idle mode for current reducing.
		3	STPFCK	R/W	0	Set 1 to stop Fast clock for power saving in Slow/Idle mode. This bit can be changed only in Slow mode.
		2	SELFCK	R/W	0	System clock select. This bit can be changed only when STPFCK=0. 0: Slow clock 1: Fast clock
		1~0	CLKPSC	R/W	11	System clock prescaler. Effective after 16 clock cycles (Max.) delay. 00: System clock is Fast/Slow clock divided by 16 01: System clock is Fast/Slow clock divided by 4 10: System clock is Fast/Slow clock divided by 2 11: System clock is Fast/Slow clock divided by 1
D9h	PWM0PRDH	7~0	PWM0PRDH	R/W	FFh	PWM0, PWM0A, PWM0B period high byte write sequence: PWM0PRDL then PWM0PRDH read sequence: PWM0PRDH then PWM0PRDL
DAh	PWM0PRDL	7~0	PWM0PRDL	R/W	FFh	PWM0, PWM0A, PWM0B period low byte
DBh	PWM1PRDH	7~0	PWM1PRDH	R/W	FFh	PWM1, PWM1A, PWM1B period high byte write sequence: PWM1PRDL then PWM1PRDH read sequence: PWM1PRDH then PWM1PRDL
DCh	PWM1PRDL	7~0	PWM1PRDL	R/W	FFh	PWM1, PWM1A, PWM1B period low byte
DFh	RDCON	2	RDCEN	R/W	1	ROM read control (Change it at slow clock for safety) 0: ROM read always = 1 1: ROM read is a pulse (for saving power)
		1~0	RDCS	R/W	01	Read Pulse select (only active when RDCEN =1) 00: 6.8ns@5V or 10.7ns@3V 01: 12.2ns@5V or 19.4ns@3V 10: 17.6ns@5V or 28.0ns@3V 11: 23.0ns@5V or 37.0ns@3V
E0h	ACC	7~0	ACC	R/W	00h	Accumulator
E3h	LVRCON	4	LVRPD	R/W	0	LVR Power Down. 0: LVR Enable 1: LVR Disable
		3~0	LVRSEL	R/W	0001	Low Voltage Reset (LVR) select. (step=0.123V) 0000: Set LVR at 1.58V 0001: Set LVR at 1.70V 0010: Set LVR at 1.83V 0011: Set LVR at 1.95V 0100: Set LVR at 2.07V 0101: Set LVR at 2.20V 0110: Set LVR at 2.32V 0111: Set LVR at 2.44V 1000: Set LVR at 2.56V 1001: Set LVR at 2.69V 1010: Set LVR at 2.81V 1011: Set LVR at 2.93V 1100: Set LVR at 3.06V 1101: Set LVR at 3.18V 1110: Set LVR at 3.30V 1111: Set LVR at 3.42V

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
E4h	LVDCON	7	LVDIM	R/W	0	Low Voltage Detect interrupt enable 0: LVDIF =1 and LVDO =1 while $V_{CC} < V_{LVD}$ 1: LVDIF =1 and LVDO =1 while $V_{CC} > V_{LVD}$
		6	LVDO	R	0	Low Voltage Detect output
		5	LVDHYS	R/W	0	LVD Hysteresis Enable 0: LVD Hysteresis disable 1: LVD Hysteresis enable
		4	LVDPD	R/W	0	LVD power down 0: LVD enable 1: LVD disable
		3~0	LVDSSEL	R/W	0001	Low Voltage Detect (LVD) select. (step=0.123V) 0000: Set LVD at 1.58V 0001: Set LVD at 1.70V 0010: Set LVD at 1.83V 0011: Set LVD at 1.95V 0100: Set LVD at 2.07V 0101: Set LVD at 2.20V 0110: Set LVD at 2.32V 0111: Set LVD at 2.44V 1000: Set LVD at 2.56V 1001: Set LVD at 2.69V 1010: Set LVD at 2.81V 1011: Set LVD at 2.93V 1100: Set LVD at 3.06V 1101: Set LVD at 3.18V 1110: Set LVD at 3.30V 1111: Set LVD at 3.42V
E5h	EFTCON	7	EFT2CS	R/W	0	EFT2 Detector enable 0: Disable EFT2 1: Enable EFT2
		6	EFT1CS	R/W	0	EFT1 Detector enable 0: Disable EFT1 1: Enable EFT1
		5~4	EFT1S	R/W	00	EFT1 Detector sensitivity adjustment
		3	EFTSLOW	R/W	0	Force System clock to Slow clock while EFT detected 0: Disable 1: Enable
		0	CKHLDE	R/W	0	Clock hold enable 0: Disable 1: Enable
E6h	EXA	7~0	EXA	R/W	00h	Expansion accumulator
E7h	EXB	7~0	EXB	R/W	00h	Expansion B register
E9h	PWM1DH	7~0	PWM1DH	R/W	00h	PWM1 duty high byte write sequence: PWMxDL then PWMxDH read sequence: PWMxDH then PWMxDL
EAh	PWM1DL	7~0	PWM1DL	R/W	00h	PWM1 duty low byte
EBh	PWM1ADH	7~0	PWM1ADH	R/W	00h	PWM1A duty high byte
ECh	PWM1ADL	7~0	PWM1ADL	R/W	00h	PWM1A duty low byte
EDh	PWM1BDH	7~0	PWM1BDH	R/W	00h	PWM1B duty high byte
EEh	PWM1BDL	7~0	PWM1BDL	R/W	00h	PWM1B duty low byte
EFh	AUX3	6	HSNK2EN	R/W	0	Pin H-sink enable (Group 2 = P0.0, P0.2, P1.4~P1.7, P2.0~P2.1) 0: Group 2 H-sink disable 1: Group 2 H-sink enable
		5	HSNK1EN	R/W	0	Pin H-sink enable (Group 1 = P0.1, P3.0~P3.6) 0: Group 1 H-sink disable 1: Group 1 H-sink enable
		4	HSNK0EN	R/W	0	Pin H-sink enable (Group 0 = P0.3~P0.7, P1.0~P1.3) 0: Group 0 H-sink disable 1: Group 0 H-sink enable
		3	WARMTIME	R/W	0	Warm-up time for wake-up from Power Down mode 0: 128 Clock 1: 64 Clock

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		2	BUZMOD	R/W	0	P3.2 Buzzer mode enable 0: P3.2's pinmode is setting by P3MOD2 1: Set P3.2's pinmode as Buzzer mode
		1	VIS	R/W	0	Pin V_{IH}/V_{IL} select 0: $V_{IH}/V_{IL} = 0.7V_{CC}/0.3V_{CC}$ 1: $V_{IH}/V_{IL} = 0.4V_{CC}/0.2V_{CC}$
		0	PSEUDOEN	R/W	0	P3.0~P3.2 pseudo open-drain 0: disable 1: enable
F0h	B	7~0	B	R/W	00h	B register
F1h	CRCDL	7~0	CRCDL	R/W	FFh	16-bit CRC data bit 7~0
F2h	CRCDH	7~0	CRCDH	R/W	FFh	16-bit CRC data bit 15~8
F3h	CRCIN	7~0	CRCIN	W	–	CRC input data
F5h	CFGBG	4~0	BGTRIM	R/W	–	VBG trimming value
F6h	CFGWL	6~0	FRCTRIM	R/W	–	FRC frequency adjustment 00h: lowest frequency 7Fh: highest frequency
F7h	AUX2	7~6	WDTE	R/W	–	Watchdog Timer Reset control 0x: WDT disable 10: WDT enable in Fast/Slow mode, disable in Idle/Halt/Stop mode 11: WDT always enable
		5	PWRSAB	R/W	–	Set 1 to reduce the chip's power consumption at Idle/Halt/Stop Mode.
		4	VBGOUT	R/W	0	Bandgap voltage output control 0: P3.2 as normal I/O 1: Bandgap voltage output to P3.2 pin
		3	DIV32	R/W	0	only active when MULDIV16 = 1 0: instruction DIV as 16/16 bit division operation 1: instruction DIV as 32/16 bit division operation
		0	MULDIV16	R/W	0	0: instruction MUL/DIV as 8*8, 8/8 operation 1: instruction MUL/DIV as 16*16, 16/16 or 32/16 operation
F8h	AUX1	7	CLRWDT	R/W	0	Set 1 to clear WDT, H/W auto clear it at next clock cycle
		6	CLRTM3	R/W	0	Set 1 to clear and hold Timer3, need S/W clear.
		5	TKSOC	R/W	0	Touch Key Start of Conversion H/W clear TKSOC while end of conversion in Fast mode (in Slow/Idle/Halt/Stop mode, S/W need to write 0 to clear this flag)
		4	ADSOC	R/W	0	ADC Start of Conversion Set 1 to start ADC conversion. Cleared by H/W at the end of conversion. S/W can also write 0 to clear this flag.
		3	CLRPWM0	R/W	1	PWM0 clear enable 0: PWM0, PWM0A, PWM0B is running 1: PWM0, PWM0A, PWM0B is cleared and held
		2	CLRPWM1	R/W	1	PWM1 clear enable 0: PWM1, PWM1A, PWM1B is running 1: PWM1, PWM1A, PWM1B is cleared and held
		1	WGEN	R/W	0	Wave Generator enable, H/W will automatically clear WGEN after one cycle 0: WG disable 1: WG enable
		0	DPSEL	R/W	0	Active DPTR Select

Adr	Flash	Bit#	Bit Name	Description
1FFBh	CFGBG	4~0	BGTRIM	VBG adjustment. VBG is trimmed to 1.18V in chip manufacturing.
1FFDh	CFGWL	6~0	FRCTRIM	FRC frequency adjustment. FRC is trimmed to 16 MHz in chip manufacturing.
1FFFh	CFGWH	7	PROT	Flash Code Protect, 1=Protect
		6	XRSTE	External Pin Reset Enable, 1=Enable.
		5~0	-	Reserved

指令集

指令都是1,2或3个字节长如“byte”列所示。每条指令需要2~32个系统时钟周期来执行如“cycle”列中所示。

ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
ADD A,Rn	Add register to A	1	2	28-2F
ADD A,dir	Add direct byte to A	2	2	25
ADD A,@Ri	Add indirect memory to A	1	2	26-27
ADD A,#data	Add immediate to A	2	2	24
ADDC A,Rn	Add register to A with carry	1	2	38-3F
ADDC A,dir	Add direct byte to A with carry	2	2	35
ADDC A,@Ri	Add indirect memory to A with carry	1	2	36-37
ADDC A,#data	Add immediate to A with carry	2	2	34
SUBB A,Rn	Subtract register from A with borrow	1	2	98-9F
SUBB A,dir	Subtract direct byte from A with borrow	2	2	95
SUBB A,@Ri	Subtract indirect memory from A with borrow	1	2	96-97
SUBB A,#data	Subtract immediate from A with borrow	2	2	94
INC A	Increment A	1	2	04
INC Rn	Increment register	1	2	08-0F
INC dir	Increment direct byte	2	2	05
INC @Ri	Increment indirect memory	1	2	06-07
DEC A	Decrement A	1	2	14
DEC Rn	Decrement register	1	2	18-1F
DEC dir	Decrement direct byte	2	2	15
DEC @Ri	Decrement indirect memory	1	2	16-17
INC DPTR	Increment data pointer	1	4	A3
MUL AB	Multiply A by B	1	8/16	A4
DIV AB	Divide A by B	1	8/16/32	84
DA A	Decimal Adjust A	1	2	D4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
ANL A,Rn	AND register to A	1	2	58-5F
ANL A,dir	AND direct byte to A	2	2	55
ANL A,@Ri	AND indirect memory to A	1	2	56-57
ANL A,#data	AND immediate to A	2	2	54
ANL dir,A	AND A to direct byte	2	2	52
ANL dir,#data	AND immediate to direct byte	3	4	53
ORL A,Rn	OR register to A	1	2	48-4F
ORL A,dir	OR direct byte to A	2	2	45
ORL A,@Ri	OR indirect memory to A	1	2	46-47
ORL A,#data	OR immediate to A	2	2	44
ORL dir,A	OR A to direct byte	2	2	42
ORL dir,#data	OR immediate to direct byte	3	4	43
XRL A,Rn	Exclusive-OR register to A	1	2	68-6F
XRL A,dir	Exclusive-OR direct byte to A	2	2	65
XRL A,@Ri	Exclusive-OR indirect memory to A	1	2	66-67
XRL A,#data	Exclusive-OR immediate to A	2	2	64
XRL dir,A	Exclusive-OR A to direct byte	2	2	62
XRL dir,#data	Exclusive-OR immediate to direct byte	3	4	63
CLR A	Clear A	1	2	E4
CPL A	Complement A	1	2	F4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
SWAP A	Swap Nibbles of A	1	2	C4
RL A	Rotate A left	1	2	23
RLC A	Rotate A left through carry	1	2	33
RR A	Rotate A right	1	2	03
RRC A	Rotate A right through carry	1	2	13

DATA TRANSFER				
Mnemonic	Description	byte	cycle	opcode
MOV A,Rn	Move register to A	1	2	E8-EF
MOV A,dir	Move direct byte to A	2	2	E5
MOV A,@Ri	Move indirect memory to A	1	2	E6-E7
MOV A,#data	Move immediate to A	2	2	74
MOV Rn,A	Move A to register	1	2	F8-FF
MOV Rn,dir	Move direct byte to register	2	4	A8-AF
MOV Rn,#data	Move immediate to register	2	2	78-7F
MOV dir,A	Move A to direct byte	2	2	F5
MOV dir,Rn	Move register to direct byte	2	4	88-8F
MOV dir,dir	Move direct byte to direct byte	3	4	85
MOV dir,@Ri	Move indirect memory to direct byte	2	4	86-87
MOV dir,#data	Move immediate to direct byte	3	4	75
MOV @Ri,A	Move A to indirect memory	1	2	F6-F7
MOV @Ri,dir	Move direct byte to indirect memory	2	4	A6-A7
MOV @Ri,#data	Move immediate to indirect memory	2	2	76-77
MOV DPTR,#data	Move immediate to data pointer	3	4	90
MOVC A,@A+DPTR	Move code byte relative DPTR to A	1	8	93
MOVC A,@A+PC	Move code byte relative PC to A	1	8	83
MOVX A,@Ri	Move external data(A8) to A	1	8	E2-E3
MOVX A,@DPTR	Move external data(A16) to A	1	8	E0
MOVX @Ri,A	Move A to external data(A8)	1	8	F2-F3
MOVX @DPTR,A	Move A to external data(A16)	1	8	F0
PUSH dir	Push direct byte onto stack	2	4	C0
POP dir	Pop direct byte from stack	2	4	D0
XCH A,Rn	Exchange A and register	1	2	C8-CF
XCH A,dir	Exchange A and direct byte	2	2	C5
XCH A,@Ri	Exchange A and indirect memory	1	2	C6-C7
XCHD A,@Ri	Exchange A and indirect memory nibble	1	2	D6-D7

BOOLEAN				
Mnemonic	Description	byte	cycle	opcode
CLR C	Clear carry	1	2	C3
CLR bit	Clear direct bit	2	2	C2
SETB C	Set carry	1	2	D3
SETB bit	Set direct bit	2	2	D2
CPL C	Complement carry	1	2	B3
CPL bit	Complement direct bit	2	2	B2
ANL C,bit	AND direct bit to carry	2	4	82
ANL C,/bit	AND direct bit inverse to carry	2	4	B0
ORL C,bit	OR direct bit to carry	2	4	72
ORL C,/bit	OR direct bit inverse to carry	2	4	A0
MOV C,bit	Move direct bit to carry	2	2	A2
MOV bit,C	Move carry to direct bit	2	4	92

BRANCHING				
Mnemonic	Description	byte	cycle	Opcode
ACALL addr 11	Absolute jump to subroutine	2	4 (+2)	11-F1
LCALL addr 16	Long jump to subroutine	3	4 (+2)	12
RET	Return from subroutine	1	4 (+2)	22
RETI	Return from interrupt	1	4 (+2)	32
AJMP addr 11	Absolute jump unconditional	2	4 (+2)	01-E1
LJMP addr 16	Long jump unconditional	3	4 (+2)	02
SJMP rel	Short jump (relative address)	2	4 (+2)	80
JC rel	Jump on carry = 1	2	4 (or 6)	40
JNC rel	Jump on carry = 0	2	4 (or 6)	50
JB bit,rel	Jump on direct bit = 1	3	4 (or 6)	20
JNB bit,rel	Jump on direct bit = 0	3	4 (or 6)	30
JBC bit,rel	Jump on direct bit = 1 and clear	3	4 (or 6)	10
JMP @A+DPTR	Jump indirect relative DPTR	1	4 (+2)	73
JZ rel	Jump on accumulator = 0	2	4 (or 6)	60
JNZ rel	Jump on accumulator ... 0	2	4 (or 6)	70
CJNE A,dir,rel	Compare A,direct, jump not equal relative	3	4 (or 6)	B5
CJNE A,#data,rel	Compare A,immediate, jump not equal relative	3	4 (or 6)	B4
CJNE Rn,#data,rel	Compare register,immediate, jump not equal relative	3	4 (or 6)	B8-BF
CJNE @Ri,#data,rel	Compare indirect,immediate, jump not equal relative	3	4 (or 6)	B6-B7
DJNZ Rn,rel	Decrement register, jump not zero relative	2	4 (or 6)	D8-DF
DJNZ dir,rel	Decrement direct byte, jump not zero relative	3	4 (or 6)	D5

MISCELLANEOUS				
Mnemonic	Description	byte	cycle	opcode
NOP	No operation	1	2	00

在上表中，如E8-EF中的指令操作码（十六进制）指示用于一个连续的块的8个不同的寄存器,寄存器编号，由其相应的操作码的最低3位定义。码的不连续的块，如11-F1 (举例)，用于绝对跳转和调用，码的前3位用于指示目的地址的顶部3位。

电器特性

1. 最大绝对额定值 ($T_A=25\text{ }^{\circ}\text{C}$)

参数	额定值	单位
电源电压	$V_{SS} - 0.3 \sim V_{SS} + 5.5$	V
输入电压	$V_{SS} - 0.3 \sim V_{CC} + 0.3$	
输出电压	$V_{SS} - 0.3 \sim V_{CC} + 0.3$	
全部引脚高电位输出电流	- 80	mA
全部引脚低电位输出电流	+150	
最大工作电压	5.5	V
工作温度	- 40 ~ +105	C
储存温度	- 65 ~ +150	

2. DC 特性 ($T_A=25\text{ }^{\circ}\text{C}$, $V_{CC}=1.8\text{V} \sim 5.5\text{V}$)

参数	符号	条件		最小值	典型值	最大值	单位
工作电压	V_{CC}	快钟模式, $F_{SYS}=16\text{ MHz}$		1.8	—	5.5	V
输入高电压	V_{IH}	所有输入	$VIS=0, V_{CC}=5\text{V}$	$0.7V_{CC}$	—	—	V
			$VIS=1, V_{CC}=5\text{V}$	$0.4V_{CC}$	—	—	V
输入低电压	V_{IL}	所有输入	$VIS=0, V_{CC}=5\text{V}$	—	—	$0.3V_{CC}$	V
			$VIS=1, V_{CC}=5\text{V}$	—	—	$0.2V_{CC}$	V
I/O 端口 拉电流	I_{OH}	所有输出 (不含 P3.2, P3.7)	DRVCON (强)	$V_{CC}=5\text{V},$ $V_{OH}=0.9V_{CC}$	—	30	mA
				$V_{CC}=3\text{V},$ $V_{OH}=0.9V_{CC}$	—	13	
			DRVCON (一般)	$V_{CC}=5\text{V},$ $V_{OH}=0.9V_{CC}$	—	14	
				$V_{CC}=3\text{V},$ $V_{OH}=0.9V_{CC}$	—	6	
			DRVCON (弱)	$V_{CC}=5\text{V},$ $V_{OH}=0.9V_{CC}$	—	12	
				$V_{CC}=3\text{V},$ $V_{OH}=0.9V_{CC}$	—	5	
		P3.2	DRVCON (强)	$V_{CC}=5\text{V},$ $V_{OH}=0.9V_{CC}$	—	67	
				$V_{CC}=3\text{V},$ $V_{OH}=0.9V_{CC}$	—	30	
			DRVCON (一般)	$V_{CC}=5\text{V},$ $V_{OH}=0.9V_{CC}$	—	14	
				$V_{CC}=3\text{V},$ $V_{OH}=0.9V_{CC}$	—	6	
		P3.7		$V_{CC}=5\text{V},$ $V_{OH}=0.9V_{CC}$	—	15	
				$V_{CC}=3\text{V},$ $V_{OH}=0.9V_{CC}$	—	6	

I/O 端口灌电流	I_{OL}	所有输出 (不含 P3.7)	HSNKxEN=1	$V_{CC}=5V$, $V_{OL}=0.1V_{CC}$	—	80	—	
				$V_{CC}=3V$, $V_{OL}=0.1V_{CC}$	—	37	—	
			HSNKxEN=0	$V_{CC}=5V$, $V_{OL}=0.1V_{CC}$	—	42	—	
				$V_{CC}=3V$, $V_{OL}=0.1V_{CC}$	—	18	—	
		P3.7		$V_{CC}=5V$, $V_{OL}=0.1V_{CC}$	—	45	—	
				$V_{CC}=3V$, $V_{OL}=0.1V_{CC}$	—	20	—	
电源电流	I_{DD}	快钟模式 $V_{CC}=5V$		FRC= 16 MHz	—	6.0	—	mA
				FRC= 8 MHz	—	3.9	—	
		快钟模式 $V_{CC}=3V$		FRC= 16 MHz	—	3.4	—	
				FRC= 8 MHz	—	2.4	—	
		慢钟模式		SRC, $V_{CC}=5V$	—	0.16	—	μA
				SRC, $V_{CC}=3V$	—	0.12	—	
		空闲模式 (PWRSAV=0)		SRC, $V_{CC}=5V$	—	64	—	
				SRC, $V_{CC}=3V$	—	42	—	
		空闲模式 (PWRSAV=1)		SRC, $V_{CC}=5V$	—	11	—	
				SRC, $V_{CC}=3V$	—	4.2	—	
		暂停模式 (PWRSAV=1)		$V_{CC}=5V$	—	7.3	—	
				$V_{CC}=3V$	—	2.6	—	
		停止模式		$V_{CC}=5V$	—	0.6	—	
				$V_{CC}=3V$	—	0.47	—	
上拉电阻	R_{PU}	$V_{IN}=V_{CC}$		$V_{CC}=5V$	—	33	—	K Ω
				$V_{CC}=3V$	—	33	—	
下拉电阻	R_{PD}	$V_{IN}=V_{CC}$		$V_{CC}=5V$	—	33	—	
				$V_{CC}=3V$	—	33	—	

3. 时钟时序

参数	条件	最小值	典型值	最大值	单位
FRC 频率	25° C, $V_{CC}=4.5V$	- 1%	16	+1%	MHz
	0° C ~ 105° C, $V_{CC}=4.5V$	- 1.5%	16	+1.5%	
	0° C ~ 105° C, $V_{CC}=3.0 \sim 5.5V$	- 3.5%	16	+3.5%	
SRC 频率	$V_{CC}=5V$	—	62	—	KHz
	$V_{CC}=3V$	—	56	—	

4. 复位时序特性 ($T_A = -40\text{ }^{\circ}\text{C} \sim 105\text{ }^{\circ}\text{C}$)

参数	条件	最小值	典型值	最大值	单位
RESET 输入低电平宽度	Input $V_{CC}=5V \pm 10\%$	30	-	-	μs
WDT 唤醒时间	$V_{CC}=5V$, WDTPSC=11	-	66	-	ms
	$V_{CC}=3V$, WDTPSC=11	-	73	-	
CPU 启动时间	$V_{CC} = 5\text{ V}$	-	30	-	ms

5. LVR 电路特性 ($T_A = 25\text{ }^{\circ}\text{C}$)

参数	符号	条件	最小值	典型值	最大值	单位
LVR 参考电压	V_{LVR}	$T_A = 25\text{ }^{\circ}\text{C}$	-	3.42	-	V
			-	3.30	-	
			-	3.18	-	
			-	3.06	-	
			-	2.93	-	
			-	2.81	-	
			-	2.69	-	
			-	2.56	-	
			-	2.44	-	
			-	2.32	-	
			-	2.20	-	
			-	2.07	-	
			-	1.95	-	
			-	1.83	-	
			-	1.70	-	
			-	1.58	-	
LVR 滞后窗口	V_{HYS_LVR}	$T_A = 25\text{ }^{\circ}\text{C}$	-	20	-	mV
低电压检测时间	t_{LVR}	$T_A = 25\text{ }^{\circ}\text{C}$	100	-	-	μs

6. LVD 电路特性 (T_A= 25 °C)

参数	符号	条件	最小值	典型值	最大值	单位
LVD 参考电压	V _{LVD}	T _A =25 °C	-	3.42	-	V
			-	3.30	-	
			-	3.18	-	
			-	3.06	-	
			-	2.93	-	
			-	2.81	-	
			-	2.69	-	
			-	2.56	-	
			-	2.44	-	
			-	2.32	-	
			-	2.20	-	
			-	2.07	-	
			-	1.95	-	
			-	1.83	-	
			-	1.70	-	
			-	1.58	-	
LVD 滞后窗口	V _{HYS_LVD}	LVDHYS = 0	-	20	-	mV
		LVDHYS = 1	-	60	-	
低电压检测时间	t _{LVR}	T _A =25 °C	100	-	-	μs

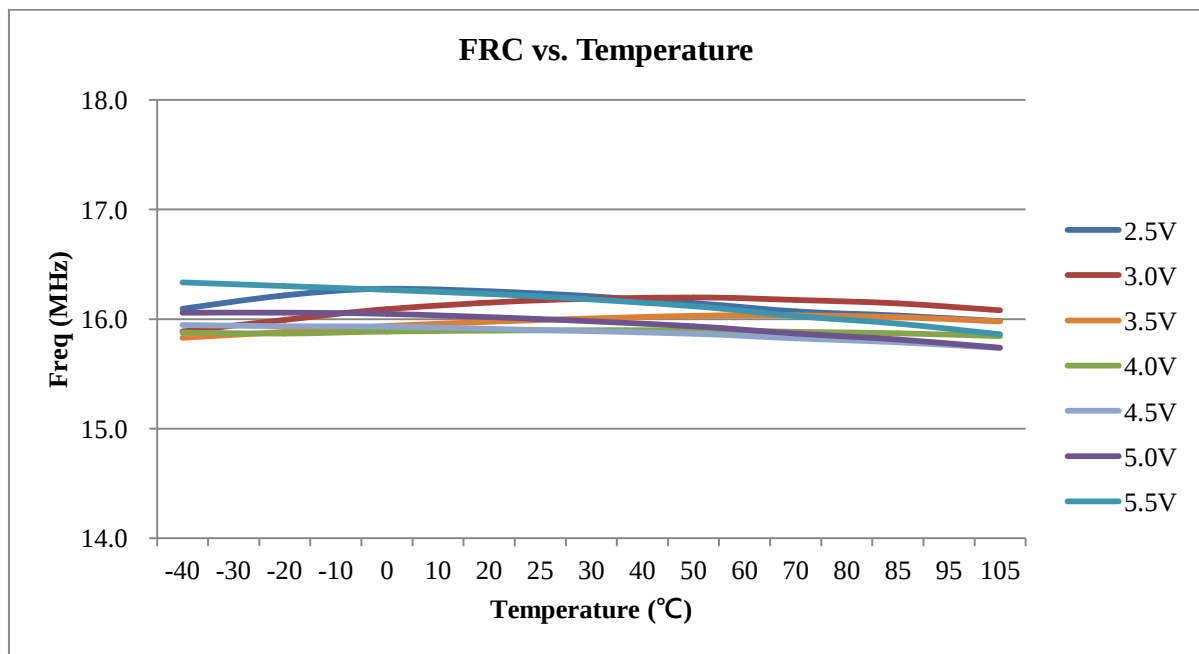
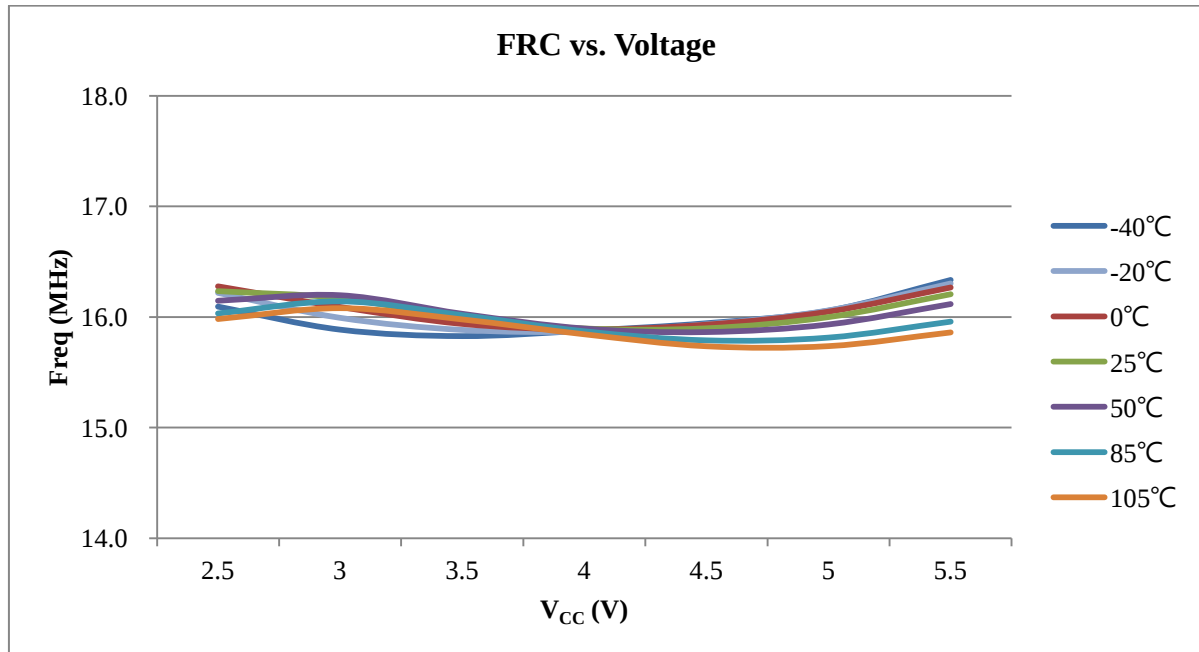
7. ADC 电气特性 (T_A=25 °C, V_{CC}=3.0V ~ 5.5V, V_{SS}= 0V)

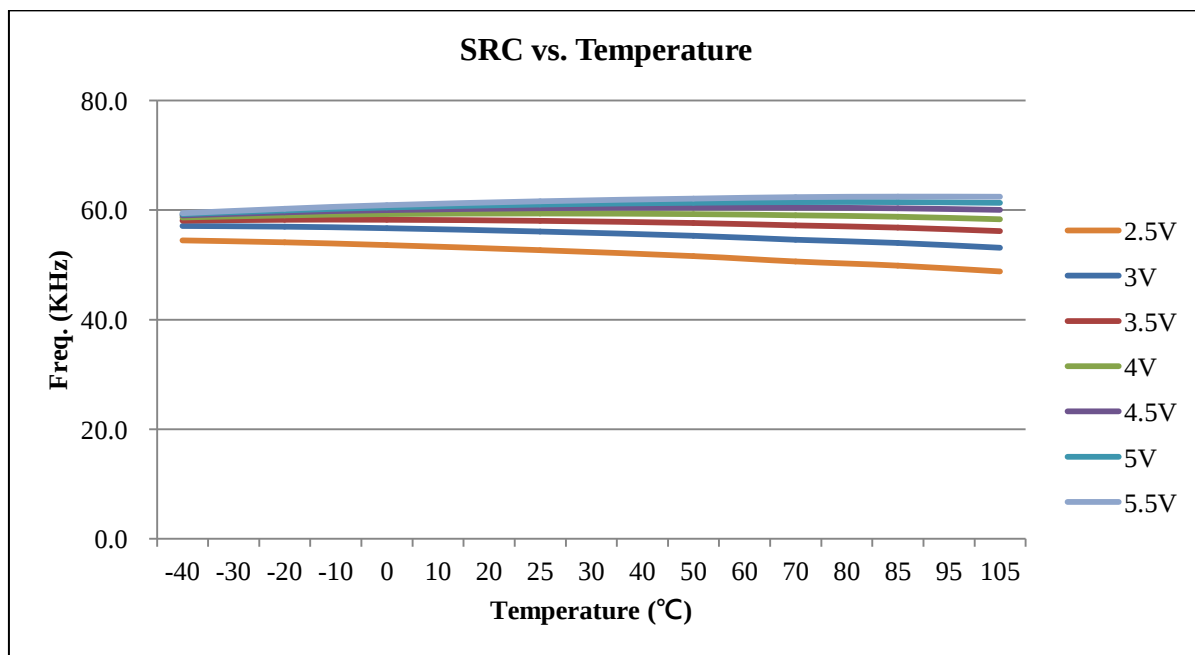
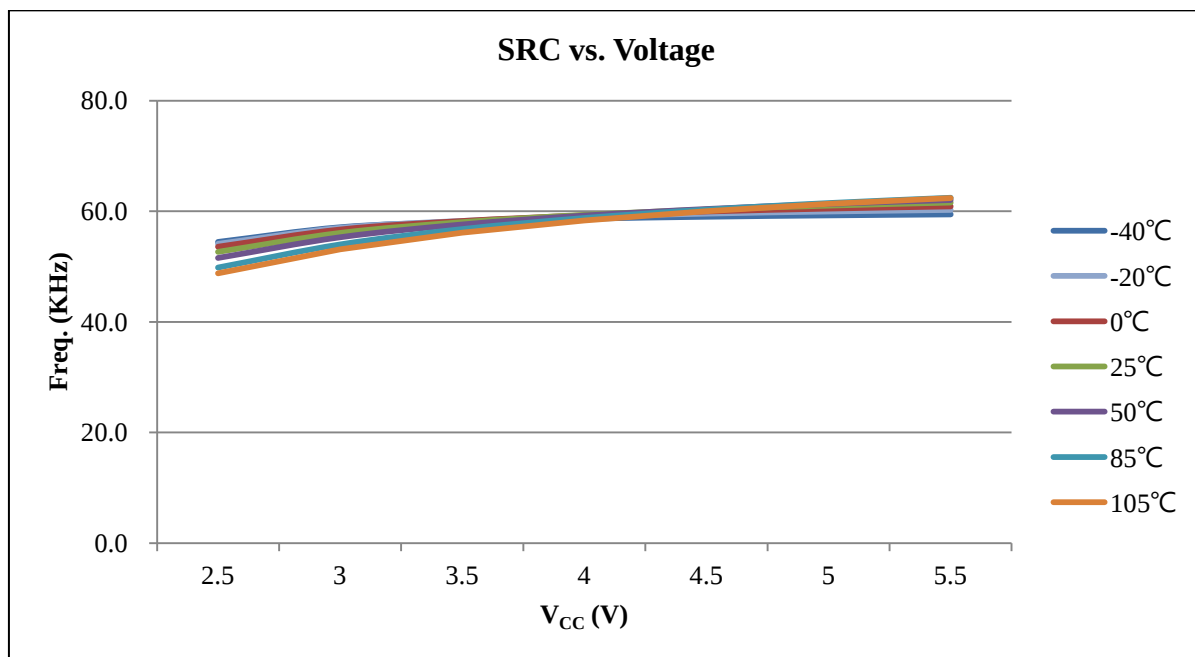
参数	条件		最小值	典型值	最大值	单位
总绝对误差	V _{CC} =5.12 V, V _{SS} =0V		-	±2.5	±4	LSB
积分非线性误差			-	±3.2	±5	
最大输入时钟(f _{ADC})	信号驱动源阻抗(R _s < 10KΩ)		-	-	4.2	MHz
	信号驱动源阻抗(R _s < 20KΩ)		-	-	2.1	
	信号驱动源阻抗(R _s < 50KΩ)		-	-	1.1	
	信号驱动源为 V _{BG} (ADCHS=11100b)		-	-	4.2	
转换时间	F _{ADC} = 1MHz		-	50	-	μs
内部基准电压源 (V _{BG})	-	V _{CC} =2.5V~5.5V 25 °C	-1.5%	1.18	+1.5%	V
		V _{CC} =2.5V~5.5V -40 °C~105 °C	-1.8%	1.18	+1.8%	
ADC 内部参考电压源 (V _{REF})	ADCVREFS=1 ADCVBGS=1	V _{CC} =3V~5.5V 25 °C	-1.7%	2.5	+1.7%	
		V _{CC} =2.8V~5.5V -40 °C~105 °C	-2.3%	2.5	+2.3%	
V _{CC} /4 电压源 (V _{1/4})	-	V _{CC} =5V, 25 °C	-0.8%	1.252	+0.8%	
		V _{CC} =3.6V, 25 °C	-0.8%	0.902	+0.8%	
输入电压	-		V _{SS}	-	V _{CC}	

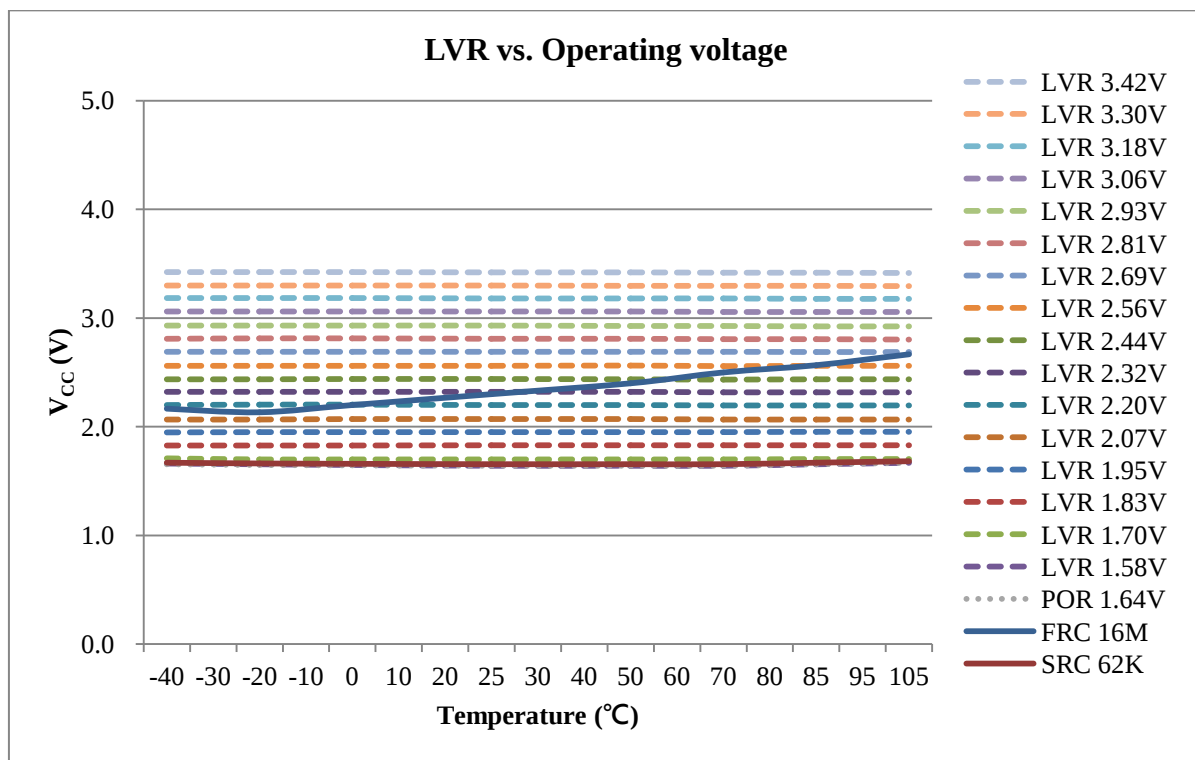
8. 比较器特性 ($T_A=25\text{ }^{\circ}\text{C}$, $V_{CC}=3.0\text{V} \sim 5.5\text{V}$, $V_{SS}=0\text{V}$)

参数	条件	最小值	典型值	最大值	单位
Power supply V_{CC}	—	2.2	—	5.5	V
静态电流	$V_{CC} = 5.0\text{V}$	—	100	—	μA
DAC 电流	$V_{CC} = 5.0\text{V}$	60	—	220	μA
V_{OS_CMP}	$V_{CC} = 5.0\text{V}$	-15	—	15	mV
V_{CM_CMP}	$V_{CC} = 5.0\text{V}$	0	—	$V_{CC}-0.5$	V
V_{HYS_CMP}	$V_{CC} = 5.0\text{V}$	20	30	40	mV

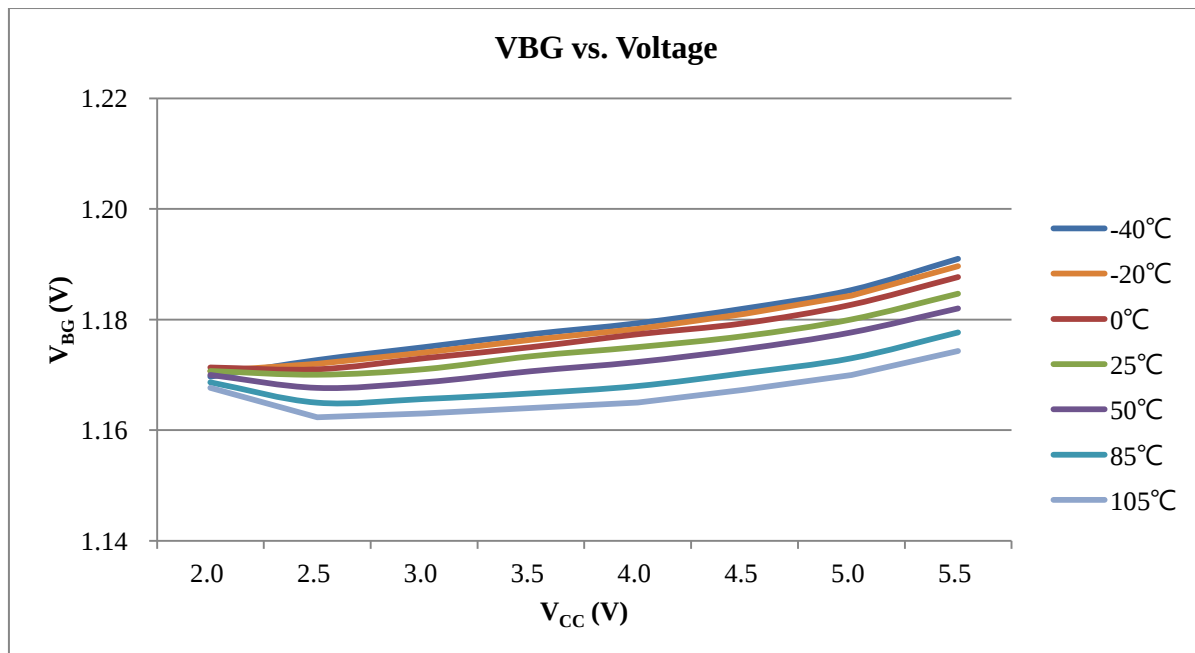
9. 特性曲线图







注：上电时 V_{CC} 应大于 POR(上电复位)。由于制造工艺的差异，不同芯片之间的 POR 值会略有不同。



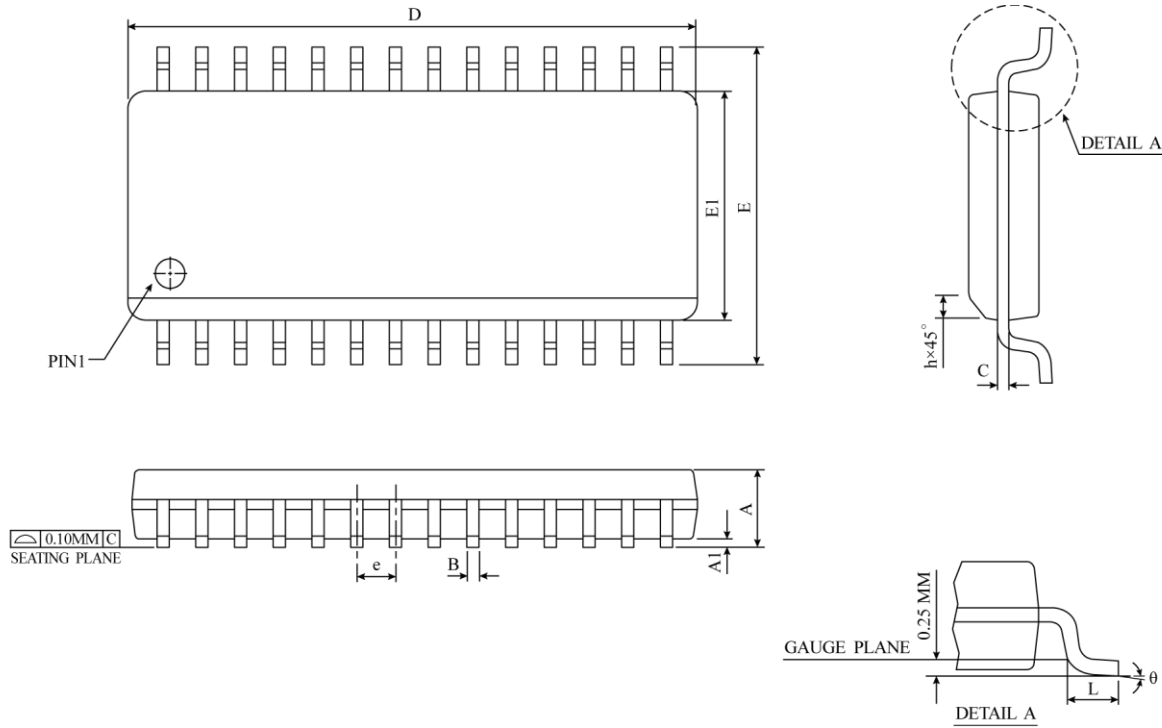
封装说明

请注意，此處提供的包装信息仅供参考。 由于此信息经常更新，因此用户可以联系销售人员以咨询最新的包装信息和库存。

订购须知

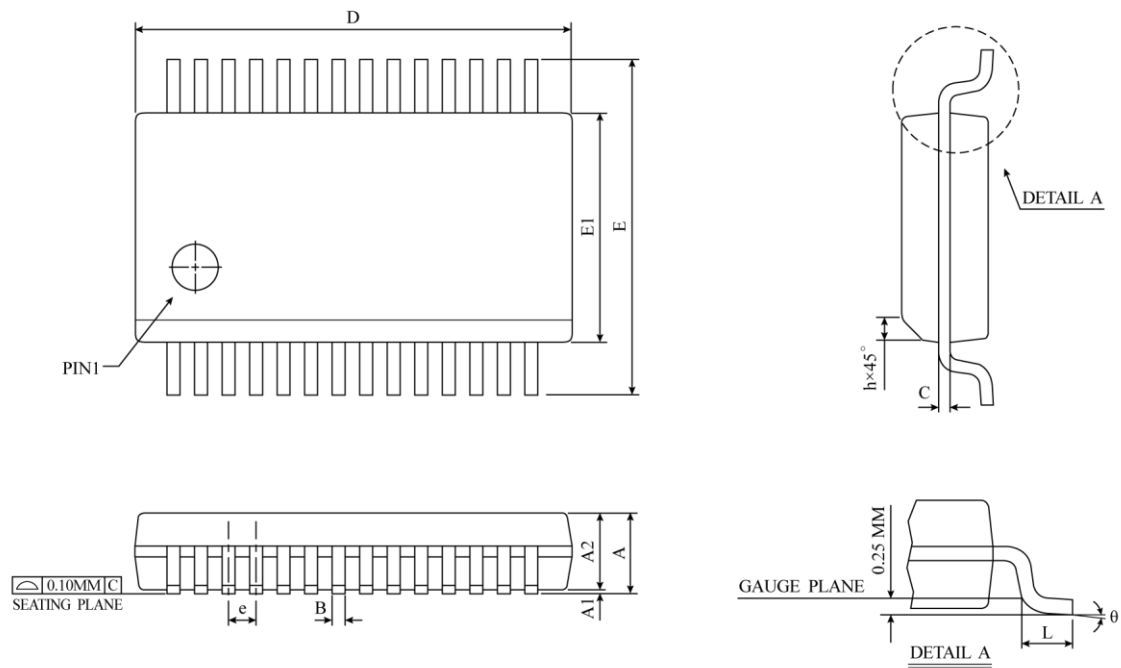
Ordering number	Package
TM52M54735S	SOP-28 (300mil)
TM52M54735E	SSOP-28 (150mil)
TM52M54735P	QFN 28-pin (4x4x0.75-0.4 mm)
TM52M54734E	SSOP-24 (150mil)
TM52M54734P	QFN 24-pin (4x4x0.75-0.5 mm)
TM52M54733Q	QFN 20-pin (3x3x0.75-0.4 mm)

SOP-28 引脚 (300mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.35	2.50	2.65	0.0926	0.0985	0.1043
A1	0.10	0.20	0.30	0.0040	0.0079	0.0118
B	0.33	0.42	0.51	0.0130	0.0165	0.0200
C	0.23	0.28	0.32	0.0091	0.0108	0.0125
D	17.70	17.90	18.10	0.6969	0.7047	0.7125
E	10.00	10.33	10.65	0.3940	0.4425	0.4910
E1	7.40	7.50	7.60	0.2914	0.2953	0.2992
e	1.27 BSC			0.050 BSC		
h	0.25	0.50	0.75	0.0100	0.0195	0.0290
L	0.40	0.84	1.27	0.0160	0.0330	0.0500
θ	0°	4°	8°	0°	4°	8°
JEDEC	MS-013 (AE)					

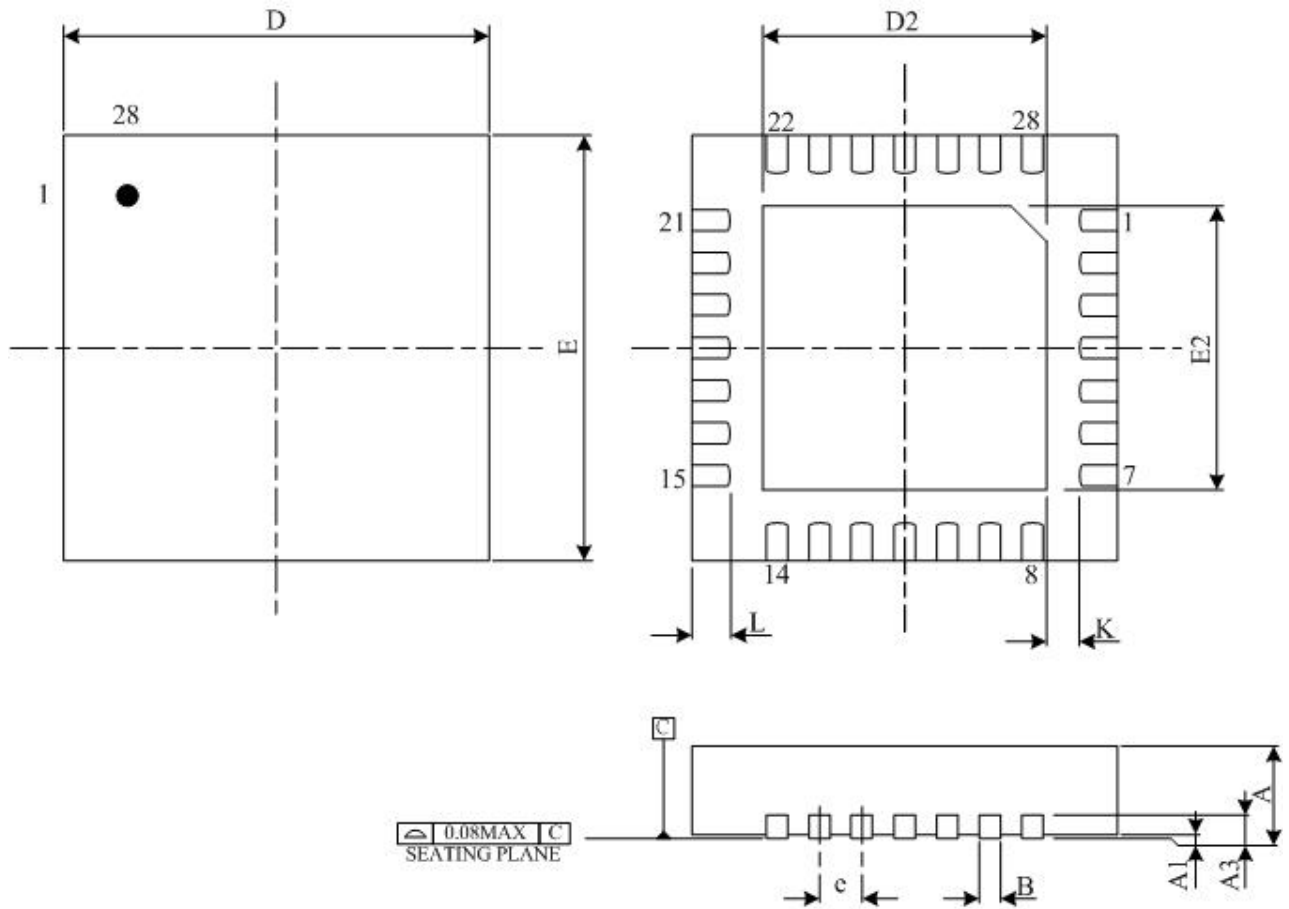
△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS AND GATE BURRS SHALL
NOT EXCEED 0.15 MM (0.006 INCH) PER SIDE.

SSOP-28 引脚 (150mil) 包装尺寸


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.50	1.65	1.80	0.06	0.06	0.07
A1	0.102	0.176	0.249	0.004	0.007	0.010
A2	1.40	1.475	1.55	0.06	0.06	0.06
B	0.20	0.25	0.30	0.01	0.01	0.01
C	0.2TYP			0.008TYP		
e	0.635TYP			0.025TYP		
D	9.804	9.881	9.957	0.386	0.389	0.392
E	5.842	6.020	6.198	0.230	0.237	0.244
E1	3.86	3.929	3.998	0.152	0.155	0.157
L	0.406	0.648	0.889	0.016	0.026	0.035
θ	0°	4°	8°	0°	4°	8°
JEDEC	M0-137(AF)					

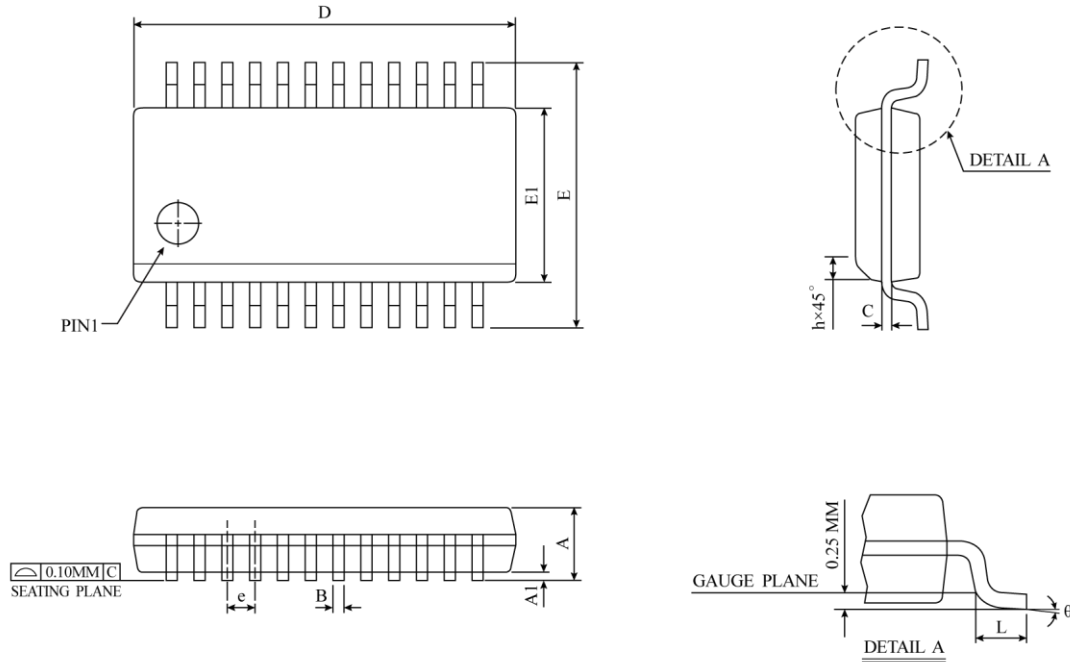
△*NOTES: DIMENSION “D” DOES NOT INCLUDE MOLD PROTRUSIONS OR GATE BURRS.
MOLD PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED 0.006 INCH PER SIDE.

QFN-28 引脚 (4x4x0.75-0.4mm) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.7	0.75	0.8	0.028	0.030	0.031
A1	0	0.02	0.05	0	0.001	0.002
A3	0.203 REF			0.008 REF		
B	0.15	0.2	0.25	0.006	0.008	0.010
D	4 BSC			0.157		
E	4 BSC			0.157		
D2	2.2	2.3	2.4	0.087	0.091	0.094
E2	2.2	2.3	2.4	0.087	0.091	0.094
e	0.4 BSC			0.016		
L	0.3	0.4	0.5	0.012	0.016	0.020
K	0.45 REF			0.018		
JEDEC	MO-220					

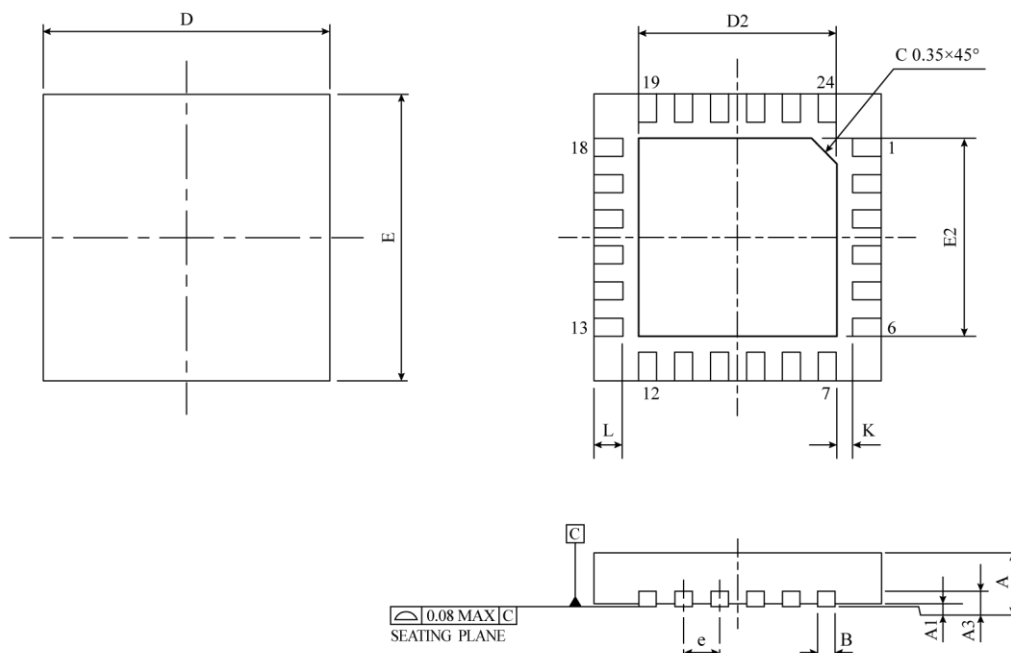
SSOP-24 引脚 (150mil) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	1.35	1.55	1.75	0.053	0.061	0.069
A1	0.10	0.18	0.25	0.004	0.007	0.010
A2	-	-	1.50	-	-	0.059
B	0.20	0.25	0.30	0.008	0.010	0.012
C	0.18	0.22	0.25	0.007	0.009	0.010
D	8.56	8.65	8.74	0.337	0.341	0.344
E	5.79	6.00	6.20	0.228	0.236	0.244
E1	3.81	3.90	3.99	0.150	0.154	0.157
e	0.635 BSC			0.025 BSC		
L	0.41	0.84	1.27	0.016	0.033	0.050
θ	0°	4°	8°	0°	4°	8°
JEDEC	M0-137 (AE)					

△ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD PROTRUSIONS OR GAT BURRS.
MOLD PROTRUSIONS AND GATE BURRS SHALL NOT EXCEED 0.006 INCH PER SIDE.

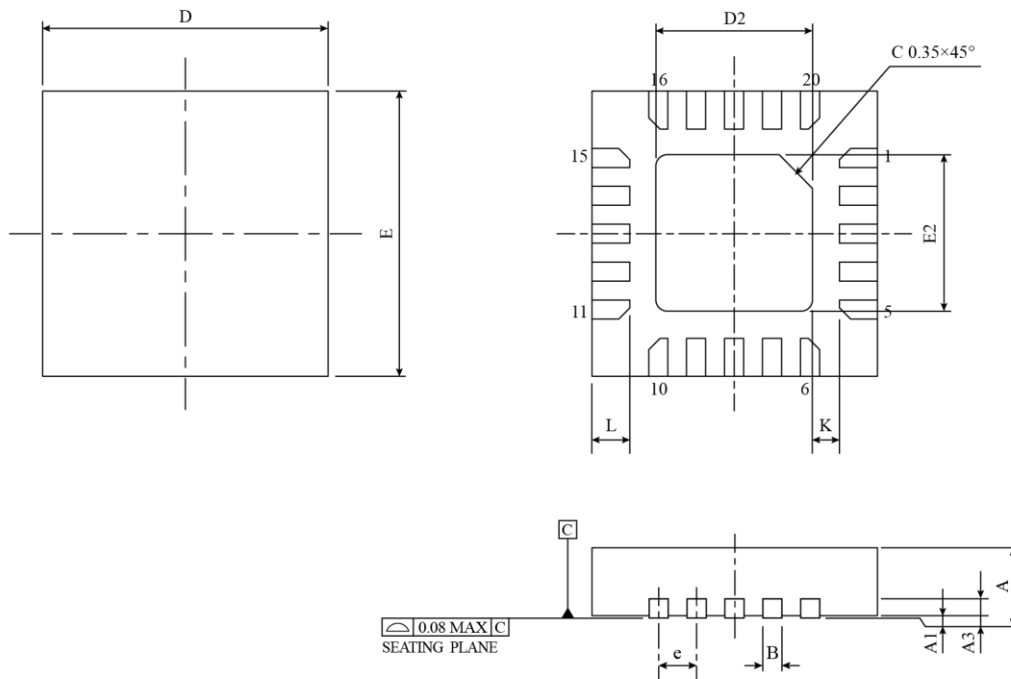
QFN 24 引脚 (4*4*0.75-0.5mm) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.70	0.75	0.80	0.028	0.030	0.031
A1	0.00	0.03	0.05	0.000	0.001	0.002
A3	0.20 REF.			0.008 REF.		
B	0.18	0.24	0.30	0.007	0.010	0.012
D	4.00 BSC			0.157 BSC		
E	4.00 BSC			0.157 BSC		
e	0.50 BSC			0.026 BSC		
K	0.20	-	-	0.008	-	-
E2	2.60	2.68	2.75	0.102	0.105	0.108
D2	2.60	2.68	2.75	0.102	0.105	0.108
L	0.35	0.40	0.45	0.014	0.016	0.018
JEDEC	W(V)GGD-6					

△ * NOTES : DIMENSION B APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15mm AND 0.30mm FROM THE TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION B SHOULD NOT BE MEASURED IN THAT RADIUS AREA. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.

QFN-20 引脚 (3x3x0.75-0.4mm) 包装尺寸



SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	0.70	0.75	0.80	0.028	0.030	0.031
A1	0.00	0.02	0.05	0.000	0.001	0.002
A3	0.203 REF.			0.008 REF.		
B	0.15	0.20	0.25	0.006	0.008	0.010
D	3.00 BSC			0.118 BSC		
E	3.00 BSC			0.118 BSC		
e	0.40 BSC			0.016 BSC		
K	0.20	-	-	0.008	-	-
E2	1.60	1.65	1.70	0.063	0.065	0.067
D2	1.60	1.65	1.70	0.063	0.065	0.067
L	0.30	0.40	0.50	0.012	0.016	0.020
JEDEC						

- △ *NOTES : 1. ALL DIMENSION ARE IN MILLIMETERS.
2. DIMENSION B APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15mm AND 0.30mm FROM THE TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION B SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
3. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.