



十速

TM52FE8976

规格书 *Rev 0.91*

tenx reserves the right to change or discontinue the manual and online documentation to this product herein to improve reliability, function or design without further notice. **tenx** does not assume any liability arising out of the application or use of any product or circuit described herein; neither does it convey any license under its patent rights nor the rights of others. **tenx** products are not designed, intended, or authorized for use in life support appliances, devices, or systems. If Buyer purchases or uses **tenx** products for any such unintended or unauthorized application, Buyer shall indemnify and hold **tenx** and its officers, employees, subsidiaries, affiliates and distributors harmless against all claims, cost, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use even if such claim alleges that **tenx** was negligent regarding the design or manufacture of the part.

修改纪录

版次	生效日	修订内容概要
V0.90	Aug, 2020	新颁。
V0.91	Jul, 2021	1. LCD、LED 章节修改及补充说明。 2. 补上对 ADC 内部电容值的描述。 3. 其他错误纠正。

目录

修改纪录.....	2
概述.....	6
系统框图.....	6
基本功能.....	7
IC 引脚图	10
引脚描述.....	11
引脚汇总.....	13
功能描述.....	15
1. CPU 核心.....	15
1.1 累加器 (ACC)	15
1.2 B 寄存器 (B)	15
1.3 堆栈指针 (SP)	16
1.4 数据指针 (DPTRs)	16
1.5 程序状态字 (PSW)	17
2. 存储器.....	18
2.1 程序存储器	18
2.2 EEPROM 数据存储器	22
2.3 数据存储器	24
3. 低电压复位和低电压检测.....	26
4. 复位.....	27
4.1 上电复位	27
4.2 外部引脚复位	27
4.3 软件复位	27
4.4 看门狗定时器复位	27
4.5 低电压复位	27
5. 时钟电路和工作模式.....	29
5.1 时钟电路	29
5.2 操作模式	31
6. 中断和唤醒.....	33
6.1 中断使能和优先级控制	33
6.2 引脚中断	36
6.3 空闲模式唤醒和中断	37
6.4 停止模式唤醒和中断	37

7. I/O 端口	39
7.1 端口 1, P2.1~P2.0 和端口 3	39
7.2 端口 0	47
8. 定时器	50
8.1 Timer0/1	50
8.2 Timer2	52
8.3 Timer3	54
8.4 T0O 和 T2O 输出控制	54
9. UART	55
10. PWMs	57
11. ADC	60
11.1 ADC 通道	61
11.2 ADC 转换时间	61
12. SDADC	64
12.1 SYS 寄存器	66
12.2 ADC1 寄存器	68
12.3 ADC2 寄存器	71
12.4 ADC3 寄存器	71
12.5 REG4 寄存器	72
12.6 REG5 寄存器	72
12.7 REG6 寄存器	73
12.8 SDADC 数据寄存器	73
13. 触摸按键	74
14. S/W 控制的 LCD 驱动器	78
15. LED 控制器/驱动器	81
16. 循环冗余校验码(CRC)	85
17. 在线仿真器 (ICE) 模式	86
SFR & CFGW 映像	88
SFR & CFGW 说明	90
指令集	99
电器特性	102
1. 最大绝对额定值	102
2. DC	103
3. 时钟时序	103
4. 复位时序特性	103



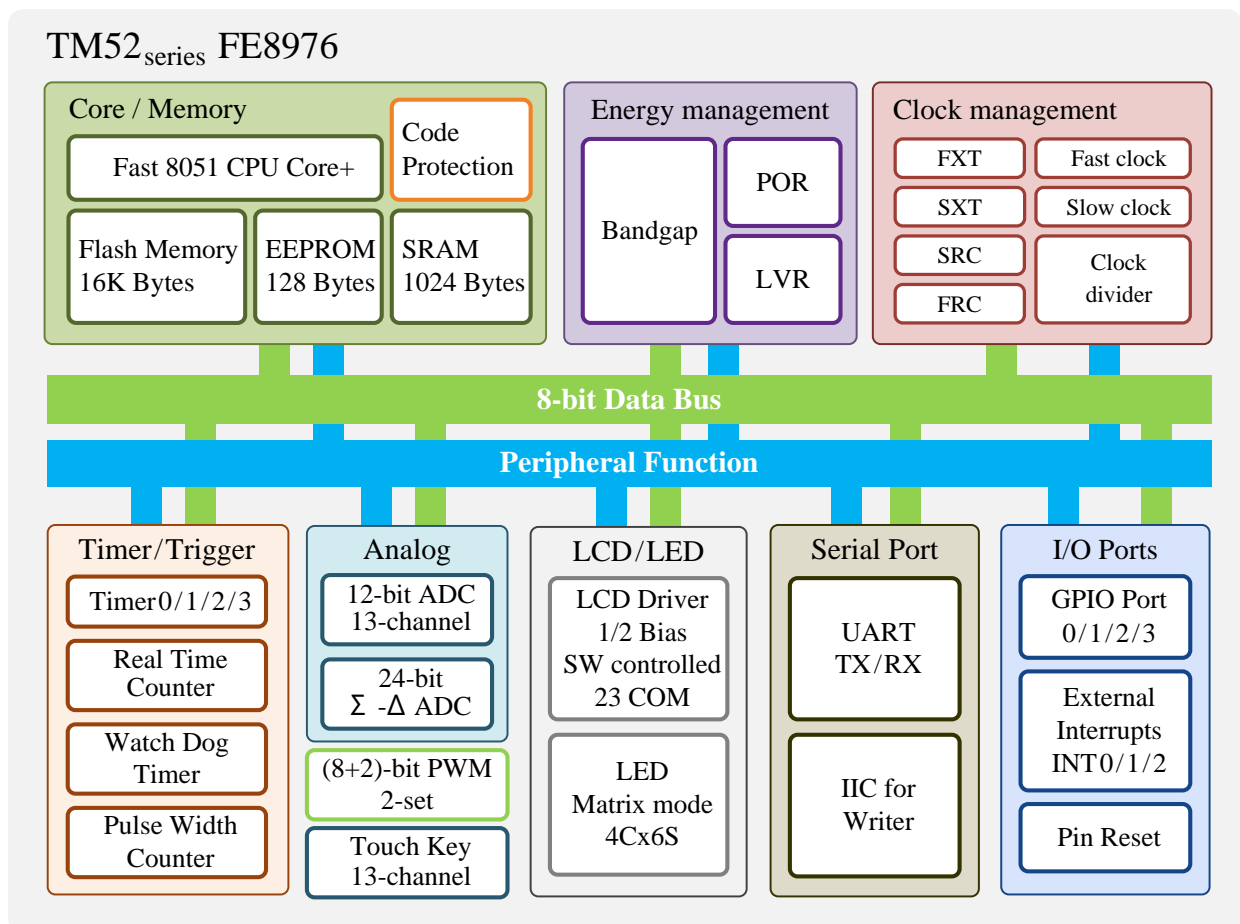
5. ADC 电气特性	104
6. SDADC 电气特性	104
7. 特性曲线图.....	106
封装说明.....	109

概述

TM52 系列 FE8976 是一个新的, 快速的 8051 架构, 与业界标准 8051 指令集完全兼容的 8 位单片机, 并保持了 8051 外围的功能模块。通常情况下, TM52 执行指令, 比传统的 8051 架构快六倍。

TM52-FE8976 通过集成多种功能在芯片上, 提供更高的性能, 更低的成本, 能快速进入市场, 包括 16K 字节的闪存 (Flash) 程序存储器, 128 字节的 EEPROM 数据存储器, 1024 字节 SRAM, 低电压复位 (LVR), 低电压检测 (LVD), 双时钟省电工作模式, 8051 标准 UART 和定时器 Timer0/Timer1/Timer2, 实时计时器 Timer3, LCD/LED 驱动器, 2 组 (8+2) 位脉冲宽度调制器 (PWM), 13 通道的 12 位模数转换器 (ADC), 内置 PGA 的 24 位 Σ - Δ 型模数转换器 (SDADC), 13 通道触摸按键和看门狗定时器 (WDT)。它的高可靠性和低功耗的特性, 可广泛适用于消费电子及家用电器产品。

系统框图



基本功能

1. 标准 8051 指令集, 快速的机器周期

- 指令执行比传统 8051 快六倍

2. Flash 程序存储器

- 16K 字节闪存程序存储器
- 支持 ICP(在线编程)或 ISP(在系统编程)的闪存程序码
- 在 IAP(在应用编程)模式可以作为 EEPROM,以字节的方式存取
- 程序码保护功能
- 内建 IAP 防死机看门狗模式
- 至少 1 万次的擦写次数
- 至少 10 年的数据保存时间

3. 128 字节 EEPROM 数据存储器

- 至少 5 万次的擦写次数
- 至少 10 年的数据保存时间

4. 总计 1024 字节 SRAM(IRAM+XRAM)

- 256 字节 IRAM 在 8051 内部数据存储器区
- 768 字节 XRAM 在 8051 外部数据存储器区(由 MOVX 指令存取)

5. 4 种系统时钟类型选择

- 快时钟使用外部 1~8 MHz 晶体(FXT)
- 快时钟使用内部 RC(FRC, 7.3728 MHz)
- 慢时钟使用外部 32768 Hz 晶体(SXT)
- 慢时钟使用内部 RC(SRC, 68 KHz)
- 系统时钟可以通过 1/2/4/16 选项除频

6. 8051 标准定时器 – Timer0/1/2

- 16 位 Timer0, 支持 T0O 时钟输出供蜂鸣器应用
- 16 位 Timer1
- 16 位 Timer2, 支持 T2O 时钟输出供蜂鸣器应用

7. 15 位 Timer3

- 时钟源为慢时钟
- 中断期可选时钟除以 32768/16384/8192/4096/2048/1024/512/256 选项

8. UART: 8051 标准 UART, 单线 UART 选项

9. 2 个独立的“8+2”位的 PWM 有预分频器/周期调整

10. 13 通道触摸按键

- 内部参考电容支持
- 自动触摸时钟调变

11. 12 位 ADC, 具有 13 个通道的外部引脚输入和 2 通道内部参考电压

- 通道可选内部参考电压 (VBG): $1.22V \pm 1\% @ V_{CC}=3V, 25^{\circ}C$
- 通道可选内部参考电压: $V_{CC}/4$

12. 24 位 Σ - Δ 型 ADC, 具有 3 个全差分/4 个伪差分/4 个单端模拟输入通道

- 低噪声可编程增益放大器 (PGA), 可编程增益: 1~128
- 模拟电源 AVDD 可输出 3 种低压差稳压源: 2.4V/2.6V/2.9V, 并提供外部传感器激励电压 (最大 10 mA)
- 数字电源 (DVDD) 可选择 3 种低压差稳压源: 2.2V/2.4V/2.6V

13. LCD 驱动器

- 软件控制 COM00~07, COM10~14, COM20~21, COM30~37 (最多 23 引脚)
- 1/2 LCD 偏压

14. LED 控制器/驱动器

- 正反扫描模式
- 最多 10 引脚 (4 COM x 4 SEG ~ 4 COM x 6 SEG)
- 支持 COM 死区防闪烁
- 支持暂停功能
- 三组 8 段亮度可调, 支持亮度均匀功能

15. 12 来源, 4 中断优先级

- Timer0/Timer1/Timer2/Timer3 中断
- INT0/INT1 下降沿/低电平中断
- 端口 1 引脚电平变化中断
- UART TX/RX 中断
- P3.7 (INT2) 中断
- ADC/触摸按键中断

16. 引脚中断能将停止模式下的 CPU 唤醒

- P3.2/P3.3 (INT0/INT1) 中断和唤醒
- P3.7 (INT2) 中断和唤醒
- 端口 1 每个引脚可以定义为唤醒和中断引脚 (通过引脚电平变化)

17. 最大 23 可编程 I/O 引脚

- CMOS 推挽输出
- 伪开漏或开漏输出
- 施密特触发输入
- 引脚上拉可以使能/禁止
- 所有引脚具有高灌电流 ($40\text{mA}@V_{CC}=3\text{V}$, $V_{OL}=0.1V_{CC}$)

18. 独立的 RC 振荡看门狗定时器

- 480ms/240ms/120ms/60ms 可选择的看门狗超时选项

19. 5 种复位

- 上电复位
- 可选的外部引脚复位
- 可选的看门狗复位
- 软件命令复位
- 可选的低电压复位

20. 4 级低电压复位

- 2.4V/2.7V/2.9V/3.2V (可关闭)

21. 5 种电源工作模式

- 快钟模式/慢钟模式/空闲模式/停止模式/暂停模式

22. 集成的 16 位循环冗余校验功能

23. 在板仿真/ICE 接口

- 使用 P3.0/P3.1 引脚或 P0.0/P0.1 引脚
- 与 ICP 编程引脚共享

24. 工作电压和电流

- $V_{CC}=2.7\text{V} \sim 3.6\text{V}$ @ $F_{SYSCLK}=7.3728\text{MHz}$
- $V_{CC}=2.4\text{V} \sim 3.6\text{V}$ @ $F_{SYSCLK}=3.6864\text{MHz}$
- $I_{CC}=0.1\mu\text{A}$ @Stop mode, PWRSAV=1, $V_{CC}=3\text{V}$
- $I_{CC}=10\mu\text{A}$ @Idle mode, PWRSAV=1, $V_{CC}=3\text{V}$

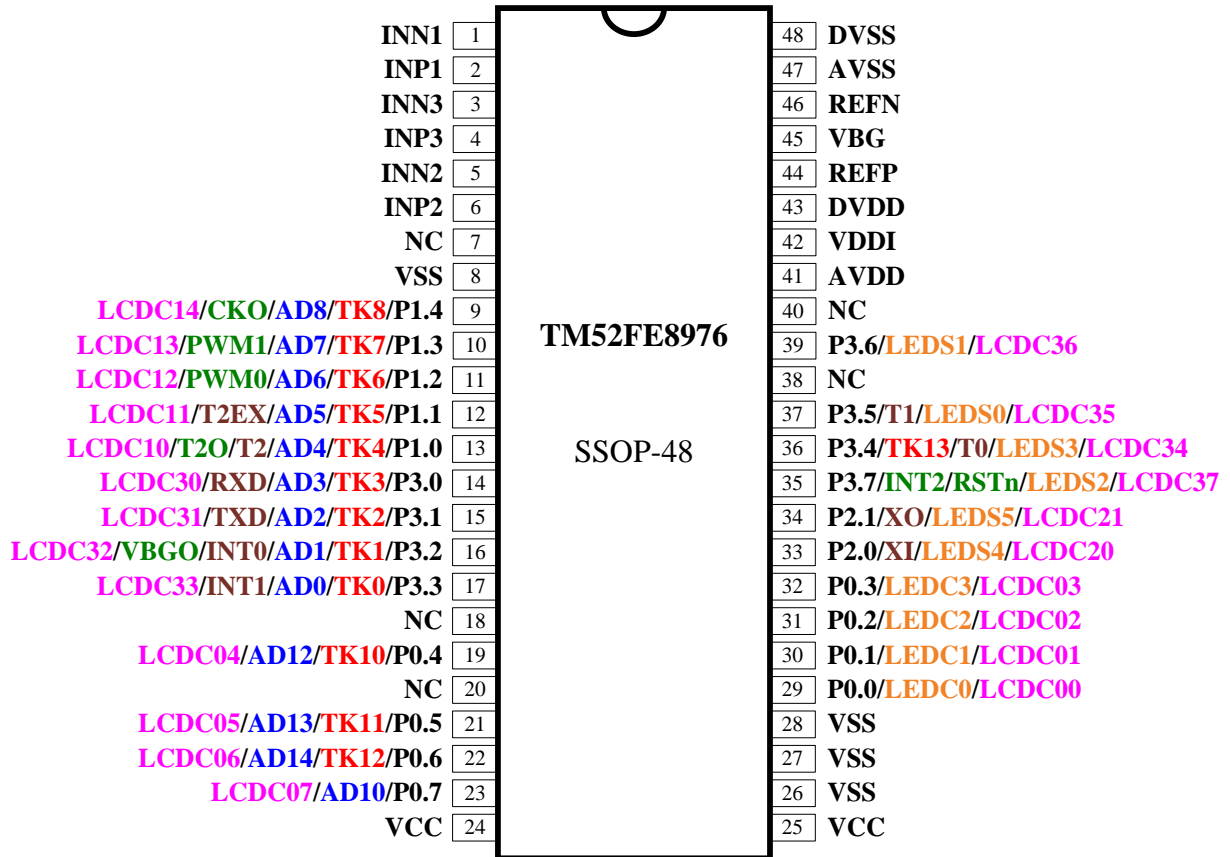
25. 工作温度范围

- $-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$

26. 封装类型

- 48-pin SSOP (300 mil)

IC 引脚图



引脚描述

引脚名称	输入/输出	引脚描述
P0.0~P0.7	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或开漏输出。上拉电阻是由软件分配。
P1.0~P1.4	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或开漏输出。上拉电阻是由软件分配。这些引脚的电平变化可以唤醒 CPU 的空闲/停止/暂停模式。
P2.0~P2.1	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或开漏输出。上拉电阻是由软件分配。
P3.0~P3.2	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或伪开漏输出。上拉电阻是由软件分配。
P3.3~P3.7	I/O	位编程输入/输出端口, 可施密特触发输入, CMOS 推挽输出或开漏输出。上拉电阻是由软件分配。
INT0, INT1	I	外部低电平或下降沿中断输入, 空闲/停止模式唤醒输入。
INT2	I	外部下降沿中断输入, 空闲/停止模式唤醒输入。
RXD	I/O	UART 模式 0 发送及接收数据, 模式 1/2/3 接收数据。
TXD	I/O	UART 模式 0 发送时钟, 模式 1/2/3 发送数据。在单线 UART 模式时, 该引脚发送和接收串行数据。
T0, T1, T2	I	Timer0, Timer1, Timer2 事件计数引脚输入
T2EX	I	Timer2 外部触发输入
T0O	O	Timer0 溢出除以 64 输出
T2O	O	Timer2 溢出除以 2 输出
CKO	O	系统时钟除以 2 输出
VBGO	O	带隙基准电压输出
PWM0~PWM1	O	8+2 位 PWM 输出
AD0~AD9 AD10 AD12~AD14	I	ADC 输入
TK0~TK8 TK10~TK13	I	触摸按键输入
LCDC00~LCDC07 LCDC10~LCDC14 LCDC20~LCDC21 LCDC30~LCDC37	O	LCD COM 1/2 偏压输出
LEDC0~LEDC3	O	LED COM 输出
LEDS0~LEDS5	O	LED SEG 输出
RSTn	I	外部低有效复位输入, 固定上拉电阻
XI, XO	-	用于系统时钟之晶体/陶瓷振荡器引脚
REFP	I/O	SDADC 外部正基准电压输入引脚/内部正基准电压输出引脚
REFN	I/O	SDADC 外部负基准电压输入引脚/内部负基准电压输出引脚
VBG	I/O	SDADC 外部带隙基准电压输入引脚/内部带隙基准输出引脚
INN1	I	此引脚可以配置为 SDADC 全差分输入对的负输入(与 INP1 配合使用), 也可配置为伪差分或是单端输入通道
INP1	I	此引脚可以配置为 SDADC 全差分输入对的正输入(与 INN1 配合使用), 也可配置为伪差分或是单端输入通道
INN2	I	此引脚可以配置为 SDADC 全差分输入对的负输入(与 INP2 配合使用), 也可配置为伪差分或是单端输入通道

INP2	I	此引脚可以配置为 SDADC 全差分输入对的正输入(与 INN2 配合使用),也可配置为伪差分或是单端输入通道
INN3	I	此引脚可以配置为 SDADC 全差分输入对的负输入(与 INP3 配合使用),也可配置为伪差分或是单端输入通道
INP3	I	此引脚可以配置为 SDADC 全差分输入对的正输入(与 INN3 配合使用),也可配置为伪差分或是单端输入通道
VDDI	P	SDADC 正电源电压
DVDD	P	SDADC 数字电源输入引脚/数字电源低压差稳压源输出引脚
DVSS	P	SDADC 数字地参考点
AVDD	P	SDADC 模拟电源输入引脚 /模拟电源低压差稳压源输出引脚
AVSS	P	SDADC 模拟地参考点
VCC, VSS	P	电源输入引脚和地

引脚汇总

引脚编号	引脚名称	类型	输入			输出			交替功能						其它		
			上拉电阻	唤醒	外部中断	推挽	伪开漏	开漏	LCD/LED	ADC	触摸按键	UART	PWM	定时器		SDADC	
1	INN1	I														•	
2	INP1	I														•	
3	INN3	I														•	
4	INP3	I														•	
5	INN2	I														•	
6	INP2	I														•	
7	NC	-															
8	VSS	P															
9	LCDC14/CKO/AD8/TK8/P1.4	I/O	●	●		●		●	●	●	●						CKO
10	LCDC13/PWM1/AD7/TK7/P1.3	I/O	●	●		●		●	●	●	●		●				
11	LCDC12/PWM0/AD6/TK6/P1.2	I/O	●	●		●		●	●	●	●		●				
12	LCDC11/T2EX/AD5/TK5/P1.1	I/O	●	●		●		●	●	●	●			●			T2O
13	LCDC10/T2O/T2/AD4/TK4/P1.0	I/O	●	●		●		●	●	●	●			●			T2O
14	LCDC30/RXD/AD3/TK3/P3.0	I/O	●			●	●	●	●	●	●		●				
15	LCDC31/TXD/AD2/TK2/P3.1	I/O	●			●	●	●	●	●	●		●				
16	LCDC32/VBGO/INT0/AD1/TK1/P3.2	I/O	●	●	●	●	●	●	●	●	●						VBGO
17	LCDC33/INT1/AD0/TK0/P3.3	I/O	●	●	●	●	●	●	●	●	●						
18	NC	-															
19	LCDC04/AD12/TK10/P0.4	I/O	◎			●		●	●	●							
20	NC	-															
21	LCDC05/AD13/TK11/P0.5	I/O	◎			●		●	●	●							
22	LCDC06/AD14/TK12/P0.6	I/O	◎			●		●	●	●							
23	LCDC07/AD10/P0.7	I/O	◎			●		●	●	●							
24	VCC	P															
25	VCC	P															
26	VSS	P															
27	VSS	P															
28	VSS	P															
29	LCDC00/LEDC0/P0.0	I/O	◎			●		●									
30	LCDC01/LEDC1/P0.1	I/O	◎			●		●									
31	LCDC02/LEDC2/P0.2	I/O	◎			●		●									
32	LCDC03/LEDC3/P0.3	I/O	◎			●		●									
33	LCDC20/LEDS4/XI/P2.0	I/O	●			●		●									Crystal
34	LCDC21/LEDS5/XO/P2.1	I/O	●			●		●									Crystal
35	LCDC37/LEDS2/RSTn/INT2/P3.7	I/O	●	●	●	●		●	●								Reset

引脚编号	引脚名称	类型	输入			输出			交替功能					其它		
			上拉电阻	唤醒	外部中断	推挽	伪开漏	开漏	LCD/LED	ADC	触摸按键	UART	PWM		定时器	SDADC
36	LCDC34/LEDS3/T0/TK13/P3.4	I/O	●			●		●	●					●		
37	LCDC35/LEDS0/T1/P3.5	I/O	●			●		●	●					●		
38	NC	-														
39	LCDC36/LEDS1/RXD2/P3.6	I/O	●			●		●	●							
40	NC	-														
41	AVDD	P														●
42	VDDI	P														●
43	DVDD	P														●
44	REFP	I/O														●
45	VBG	I/O														●
46	REFN	I/O														●
47	AVSS	P														●
48	DVSS	P														●

PS:

- Port1, P2.1~P2.0, Port3 这些引脚上拉电阻由操作模式控制
- ◎ Port0 这些引脚上拉电阻由 P0OE.n = 0 与 P0.n = 1 控制

功能描述

1. CPU 核心

采用 8051 的架构, C 语言作为开发平台。TM52 装置拥有一个快速 8051 内核的高度集成微控制器, 可以使开发人员实现比传统 8051 芯片更高的性能。TM52 系列微控制器提供标准 8051 指令集兼容的完整的二进制代码, 以确保一个简单的移植路径, 以加快系统产品的开发速度。CPU 核心包括了 ALU, 程序状态字 (PSW), 累加器 (ACC), B 寄存器, 堆栈指针 (SP), 数据指针, 编程计数器, 指令译码器, 以及核心的特殊功能寄存器 (SFR)。

1.1 累加器 (ACC)

该寄存器提供了一个运算数供给大多数的 ALU 操作。累加器通常被称为 A 或 ACC 和有时被称为寄存器 A。在本文档中, 累加器被表示为 “A” 或 “ACC”, 包括指令表。累加器, 正如其名称所示, 被用作通用寄存器累积了大量的指令的中间结果。累加器是完成算术运算和逻辑运算的最重要、最频繁的寄存器。它保存大多数算术和逻辑运算的中间结果, 以协助数据运送。

SFR E0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

E0h.7~0 **ACC**: 累加器

1.2 B 寄存器 (B)

“B” 寄存器和 ACC 是非常相似的, 可容纳 1 个字节的值。该寄存器提供了乘法或除法指令的第二个运算数。否则, 它可被用作一个暂存寄存器。B 寄存器只有用于两个 8051 的指令, MUL 和 DIV。当 A 乘或除以另一个数, 结果数存储在 B。对于 MUL 和 DIV 指令, 有必要将这两个运算数放在 A 和 B。

ex: DIV AB

当执行该指令, A 里面的数会除以 B 的数, 得到的答复是存储在 A。

SFR F0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F0h.7~0 **B**: B 寄存器

1.3 堆栈指针 (SP)

SP 寄存器包含堆栈指针。执行 LCALL, ACALL 和 PUSH 指令时, 堆栈指针先加 1, 再将程序计数器加载到堆栈中。执行 RET, RETI 和 POP 指令时, 堆栈数据退回程序计数器后, 堆栈指针再减 1。

SFR 81h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SP	SP							
R/W	R/W							
Reset	0	0	0	0	0	1	1	1

81h.7~0 **SP**: 堆栈指针

1.4 数据指针 (DPTRs)

TM52 装置有两个数据指针, 它们共享相同的 SFR 地址。每个 DPTR 的大小是 16 位, 有两个数据指针寄存器: 高字节 (DPH) 和低字节 (DPL)。该 DPTR 用于 16 位地址的外部存储器存取, 偏移字节代码读取和偏移程序跳转。设置 DPSEL 控制位允许程序代码在两个物理数据指针之间进行切换。

SFR 82h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPL	DPL							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

82h.7~0 **DPL**: 数据指针低字节

SFR 83h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
DPH	DPH							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

83h.7~0 **DPH**: 数据指针高字节

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F8h.0 **DPSEL**: 活动 DPTR 选择

1.5 程序状态字 (PSW)

该寄存器包含 CPU 和 ALU 操作导致的状态信息。会影响 PSW 的指令如下所示。

指令	标志			指令	标志		
	C	OV	AC		C	OV	AC
ADD	X	X	X	CLR C	0		
ADDC	X	X	X	CPL C	X		
SUBB	X	X	X	ANL C, bit	X		
MUL	0	X		ANL C, /bit	X		
DIV	0	X		ORL C, bit	X		
DA	X			ORL C, /bit	X		
RRC	X			MOV C, bit	X		
RLC	X			CJNE	X		
SETB C	1						

“0”表示标志被清零，“1”表示标志被设置和“X”表示标志的状态取决于操作的结果。

SFR D0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PSW	CY	AC	F0	RS1	RS0	OV	F1	P
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

D0h.7 **CY**: ALU 进位标志

D0h.6 **AC**: ALU 辅助进位标志

D0h.5 **F0**: 通用的使用者定义标志

D0h.4~3 **RS1, RS0**: (RS1, RS0) 的内容所启动之工作寄存器存储区为:

00: 存储区 0 (00h~07h)

01: 存储区 1 (08h~0Fh)

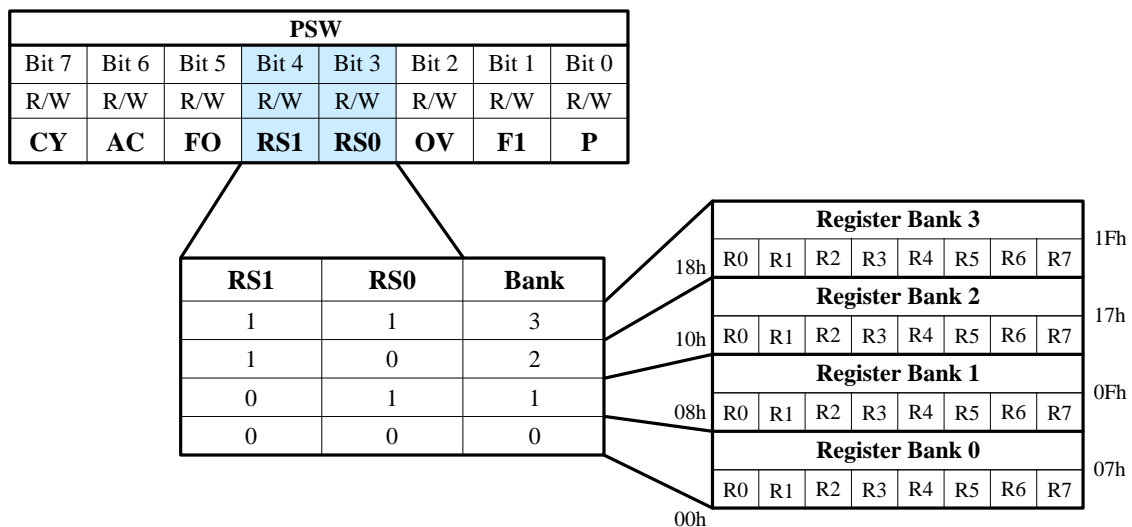
10: 存储区 2 (10h~17h)

11: 存储区 3 (18h~1Fh)

D0h.2 **OV**: ALU 溢出标志

D0h.1 **F1**: 通用的使用者定义标志

D0h.0 **P**: 奇偶标志。由硬件于每个指令周期设置/清零来表示在累加器“1”位之奇/偶数。



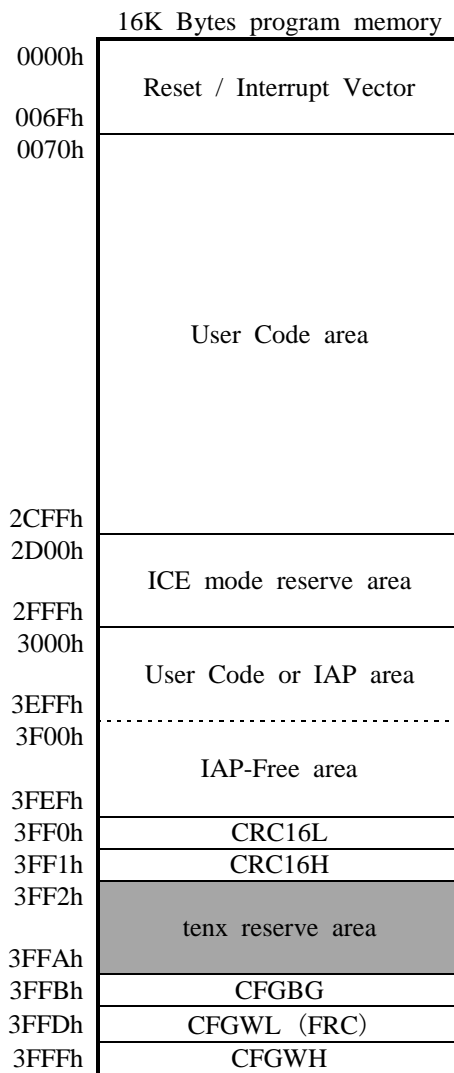
2. 存储器

2.1 程序存储器

FE8976 有 16K 字节的闪存程序存储器, 可支持在线编程 (ICP), 在应用编程 (IAP) 和在系统编程 (ISP) 功能模式。此闪存可反复擦写至少 1 万次以上。闪存程序存储器的连续地址空间 (0000h~3FFFh) 被划分到多个扇区的设备操作。

2.1.1 程序存储器的功能分区

程序存储器的最后 8 个字节 (3FF8h~3FFFh) 被定义为芯片配置字 (CFGW), 在上电复位 (POR) 时, 它会被装载到装置控制寄存器。0000h~006Fh 被标准 8051 定义为复位/中断向量。地址空间 3000h~3FEF 是 IAP 区域 (其中 3F00h~3FEF 是 IAP 自由区域)。在线仿真 (ICE) 模式下, 用户还需要预留 0D00h~0FFFh 的地址空间以供 ICE 系统通讯使用。CRC16H/L 是校验和的保留区域。Tenx 可以提供 CRC 验证子程序。用户可以通过 CRC 校验子程序计算校验和, 以与 CRC16H/L 进行比较, 并检查 ROM 代码的有效性。



TM52FE8976

2.1.2 闪存 ICP 模式

闪存存储器可以通过 tenx 专用的烧录器 (TWR99/TWR100), 这需要至少四根线 (VCC, VSS, P3.0 和 P3.1 引脚) 连接到该芯片以进行编程。引脚 P3.0 和 P3.1 可以置换成引脚 P0.0 和 P0.1。如果用户想在目标电路板上的闪存进行编程 (在电路编程, ICP), 这些引脚必须保留足够的自由来连接到烧录器, 最好不要连接电路; 如果要连接电路的话, 请参考相关 AP 资料。

连接线数目	连接管脚
4 线	VCC, VSS, P3.0, P3.1
	VCC, VSS, P0.0, P0.1

2.1.3 闪存 IAP 模式

FE8976 有“在应用编程” (IAP) 功能它允许软件在 CPU 运行时对闪存存储器读/写数据, 就像对 EEPROM 存取数据一样方便。IAP 功能是单字节的写入, 这意味着 **FE8976** 并不需要在写入前擦除一整个闪存页面。IAP 可用数据空间是芯片复位后 248 个字节, 并且可以由“MVCLOCK”和“IAPALL”控制寄存器重新定义, 如下所示。

16K Bytes Flash Program memory		Flash memory	MVCLOCK	IAPALL	MOVC Accessible	MOVX (IAP) Accessible
0000h	MOVC-Lock area	0000h~01FFh	1	X	No	No
			0	0	Yes	No
01FFh			0	1	Yes	Yes
0200h	IAP-All area	0200h~3EFFh	X	0	Yes	No
3EFFh			X	1	Yes	Yes
3F00h	IAP-Free area	3F00h~3FF7h	X	X	Yes	Yes
3FF7h	CFGW area	3FF8h~3FFEh	X	0	Yes	No
3FF8h			X	1	Yes	Yes
3FFFh			X	X	Yes	No

在 IAP 模式下, 闪存程序存储器分为四个扇区: MOVC 锁区, IAP 全区, IAP 自由区, 然后 CFGW 区。这四个扇区是不同的管制。

在 **MOVC 锁区**, IAP 读/写由 MVCLOCK 位所限制, 它可以控制 MOVC 和 MOVX 指令对该区域的存取能力。这个区域的大小是 512 字节。锁定功能是为了保护主程序代码, 避免在 IAP 模式中不自觉地写入此区域。锁定或解锁的功能必须由 tenx TWR98/99 在闪存存储器中写入 CFGW。

IAP 全区由 IAPALL 寄存器保护, 以防止在 IAP 模式中, 写入应用程序的数据跑到程序区, 产生了程序代码错误而无法修复。这个区域的大小是 15616 字节。启用 IAPALL 需要写入 65h 到 SFR SWCMD 97h 位置以设置 IAPALL 控制标志。然后, 软件可以使用 MOVX 指令来把应用程序的数据写入闪存 0200h 到 3EFFh 的位置。如果用户希望禁用 IAPALL 功能, 用户可以将其它值写入 SFR SWCMD 97h 以清除 IAPALL 控制标志。用户必须小心, 不要覆盖其它已经存在同一个闪存位置的程序代码。

IAP 自由区没有控制位来保护。它可以可靠地存储系统操作中一次或定期编程的应用数据。闪存其它区域也可用于存储数据,但这个区域通常是最好的。这个区域的大小是 248 字节,等效于一个 EEPROM。IAP 模式支持闪存单字节存取。**FE8976** 额外提供了一个实体 128 byte 的 EEPROM,比起闪存,EEPROM 拥有较广泛的写入电压以及擦写次数,建议优先使用 EEPROM 来存储数据。

CFGW 区域设有 3 个数据字节 (CFGWH, CFGWL 和 CFGBG),它位于了闪存存储器的最后 8 个地址。CFGWH 是不可被 IAP 存取的,当 IAPALL 标志被设置后 CFGWL 和 CFGBG 可被 IAP 存取。上电复位后,CFGWL 被复制到 SFR F6h, CFGBG 被复制到 SFR F5h,之后软件可以通过修改 SFR F6h 及 F5h 来接管 CFGWL 和 CFGBG 的控制能力。

2.1.4 IAP 模式存取程序

IAP 闪存写入通过“MOVX @DPTR, A”指令来实现,数据指针 (DPTR) 包含闪存的目标地址 (0000h~3FFEh), ACC 包含要写入的数据。**FE8976** 只有在 IAPWE SFR 使能时才会接受 IAP 写入命令。IAP 闪存写入大约需要 2 ms @V_{CC}=3.2V。同时,CPU 处于等待状态,但所有外设模块(定时器等)在写入期间继续运行。软件必须在 IAP 写完后处理期间产生的中断。同时 **FE8976** 内建一个 IAP 看门狗定时器,用以离开当写入失败的卡死状态。IAP 闪存写入需要 V_{CC} > 3.2V。

由于程序存储器和 IAP 数据共享同一个实体空间,只要目标地址指向 0000h~3FFFh 区域,IAP 可以通过“MOVX @ A, DPTR”或“MOVC”指令读取闪存,可联络 FAE 取得详细信息。闪存的 IAP 读取不需要额外的 CPU 等待时间。

; IAP示例代码 (汇编)

;需要 V_{CC} > 3.2V

```
MOV    DPTR, #3F00h      ; DPTR=3F00h=target IAP address
MOV    A, #5Ah          ; A=5Ah=target IAP write data
MOV    IAPWE, #47h     ; IAP write enable
MOV    AUX2, #02h      ; IAP Time-Out function enable
MOVX   @DPTR, A        ; Flash[3F00h] =5Ah, after IAP write
                          ; 1ms~2ms H/W writing time, CPU wait
MOV    IAPWE, #00h     ; IAP write disable, immediately after IAP write
CLR    A                ; A=0
MOVC   A, @A+DPTR      ; A=5Ah
```

; IAP示例代码 (C语言)

;需要 V_{CC} > 3.2V

```
unsigned char xdata PROM[4096] _at_ 0x2000 // 0x2000 = start address
unsigned char code CODE[4096] _at_ 0x2000 // 0x2000 = start address
```

```
IAPALL = 0x65;
IAPWE = 0x47;
PROM[0x02] = wdata; // write data into ROM[0x2002]
IAPWE = 0x00;
IAPALL = 0x00;
```

```
rdata = CODE[0x105]; // read data from ROM[0x2105]
```

Flash 3FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	LVRE			PREAD	MVCLOCK	FRCPSC

3FFFh.1 **MVCLOCK**: 如果为 1, MOVC 和 MOVX 指令对 MOVC 锁区的存取是受限制的。

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPALL/SWRST							
	-						WDTO	IAPALL
R/W	W						R	R
Reset	-						0	0

97h.7~0 **IAPALL (W)**: 写入 65h 以设置 IAPALL 控制标志, 写入其它值则清除 IAPALL 标志。建议 IAP 写入命令完成后, 立即清除 IAPALL 标志。

97h.0 **IAPALL (R)**: 该标志指示闪存扇区可否通过 IAP 进行存取。该位结合 MVCLOCK 定义 IAP 存取区域。

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IAPWE	IAPWE/EEPWE							
	IAPWE	IAPTO	EEPWE	-				
R/W	R	R	R	W				
Reset	0	0	0	-				

C9h.7~0 **IAPWE (W)**: IAP 使能, 写入 47h 使能 IAP; 也是 EEPROM 写入使能, 写入 E2h 使能 EEPROM; 写入其它值则清除 IAPWE。

建议 IAP 写入或 EEPROM 写入命令完成后, 立即清除 IAPWE 标志。

C9h.7 **IAPWE (R)**: 读回 IAPWE 标志

C9h.6 **IAPTO (R)**: 读回 IAP 看门狗溢出标志。当清除 IAPWE 或 EEPWE, 硬件会自动清除看门狗溢出标志。(EEPROM 写入共享此看门狗溢出标志)

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSVAV	VBGOUT	-	IAPTE		LVRPD
R/W	R/W	R/W	R/W	R/W	-	R/W		R/W
Reset	0	0	0	0	-	1	1	0

F7h.2~1 **IAPTE**: IAP 或 EEPROM 写入超时看门狗定时器控制位

00: 关闭看门狗定时器

01: 启用看门狗定时, 等待 0.9mS 触发看门狗溢出标志 IAPTO, 并结束 IAP (EEPROM 写入) 程序

10: 启用看门狗定时, 等待 3.6mS 触发看门狗溢出标志 IAPTO, 并结束 IAP (EEPROM 写入) 程序

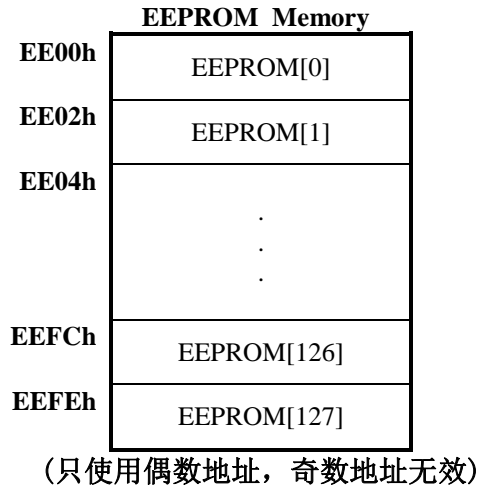
11: 启用看门狗定时, 等待 7.2mS 触发看门狗溢出标志 IAPTO, 并结束 IAP (EEPROM 写入) 程序

2.1.5 闪存 ISP 模式

“在系统编程” (ISP) 的用法和 IAP 类似, 但目的是为了刷新程序代码。用户可以使用 UART 或其他方法从外部主机来获得新的程序代码, 然后用 IAP 相同的方式写入代码。ISP 操作复杂; 基本上它需要指定一个启动代码区, 不受 ISP 过程而被改变的闪存区。

2.2 EEPROM 数据存储器

FE8976 包含了一个 128 字节的 EEPROM 数据存储器。它被组织为一个单独的数据空间，可以读取和写入单个字节。EEPROM 具有至少 5 万次的写入/擦除周期耐久性。



EEPROM 数据写入使用类似闪存 IAP 的方式，通过“MOVX @DPTR, A”指令来实现，数据指针 (DPTR) 包含 EEPROM 的目标地址 (EE00h~EEFEh，地址每次跳 2，即 Addr.=Addr.+2)，ACC 包含要写入的数据。写入大约需要 2 ms @V_{CC}=3V。同时，CPU 处于等待状态，但所有外设模块 (定时器) 在写入期间继续运行。软件必须在 EEPROM 数据写入完成后处理期间产生的中断。同时 **FE8976** 内建一个 EEPROM 看门狗定时器 (与 IAP 看门狗定时器共享)，用以离开当写入失败的卡死状态。EEPROM 数据写入需要 V_{CC} > 3.0V。

通过“MOVX A, @DPTR”指令，只要将目标地址指向 EE00h~EEFEh 区域，便可以**读取 EEPROM 数据**。EEPROM 数据读取大约需要 300ns。

```

; EEPROM示例代码
; 需要VCC > 3.0V
MOV    DPTR, #0EE00h    ; DPTR=EE00h=target EEPROM[0] address
MOV    A, #0A5h        ; A=A5h=target EEPROM[0] write data
MOV    EEPWE, #0E2h    ; EEPROM write enable
MOV    AUX2, #004h     ; EEPROM Time-Out function enable
MOVX   @DPTR, A        ; EEPROM[0]=A5h, after EEPROM write
                          ; 1ms~2ms H/W writing time, CPU wait
MOV    EEPWE, #000h    ; EEPROM write disable, immediately after EEPROM write
CLR    A                ; A=0
MOVX   A, @DPTR        ; A=A5h
    
```

SFR C9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	
IAPWE	IAPWE/EEPWE								
	IAPWE	IAPTO	EEPWE						–
R/W	R	R	R						W
Reset	0	0	0						–

C9h.7~0 **EEPWE(W)**: IAP 使能, 写入 47h 使能 IAP; 也是 EEPROM 写入使能, 写入 E2h 使能 EEPROM; 写入其它值则清除 IAPWE。

建议 IAP 写入或 EEPROM 写入命令完成后, 立即清除 IAPWE 或 EEPROM 标志。

C9h.6 **IAPTO(R)**: 读回 IAP 看门狗溢出标志。当清除 IAPWE 或 EEPROM, 硬件会自动清除看门狗溢出标志。(EEPROM 写入共享此看门狗溢出标志)

C9h.5 **EEPWE(R)**: 读回 EEPROM 标志

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	–	IAPTE		LVRPD
R/W	R/W	R/W	R/W	R/W	–	R/W		R/W
Reset	0	0	0	0	–	1	1	0

F7h.2~1 **IAPTE**: IAP 或 EEPROM 写入超时看门狗定时器控制位

00: 关闭看门狗定时器

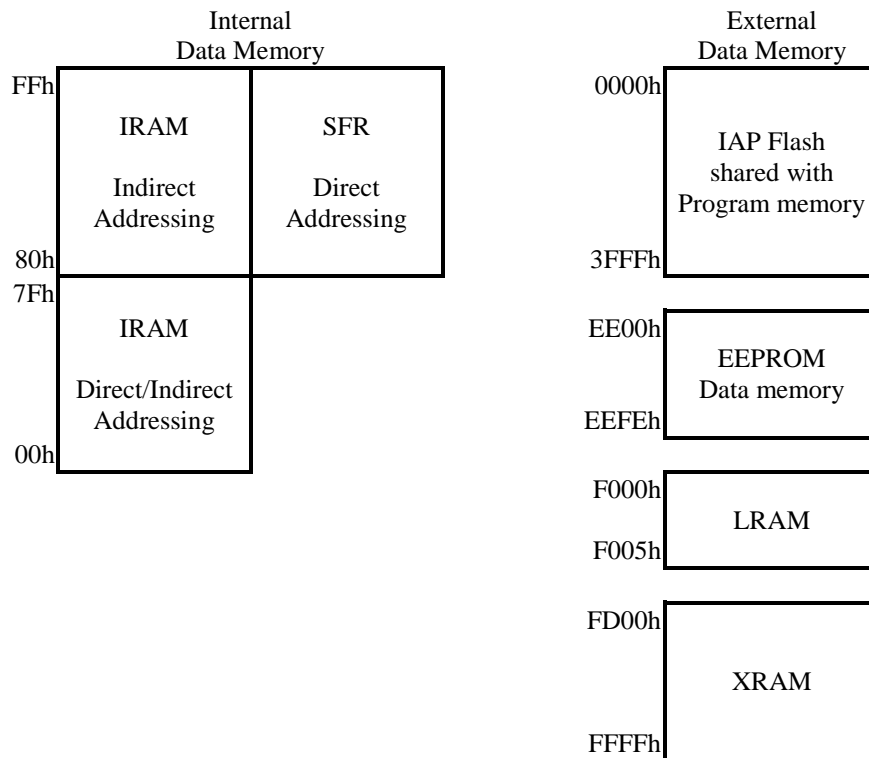
01: 启用看门狗定时, 等待 0.9mS 触发看门狗溢出标志 IAPTO, 并结束 IAP(EEPROM 写入) 程序

10: 启用看门狗定时, 等待 3.6mS 触发看门狗溢出标志 IAPTO, 并结束 IAP(EEPROM 写入) 程序

11: 启用看门狗定时, 等待 7.2mS 触发看门狗溢出标志 IAPTO, 并结束 IAP(EEPROM 写入) 程序

2.3 数据存储

正如标准的 8051, 该芯片有内部和外部数据存储器空间。内部数据存储空间由 256 字节 IRAM 和 74 的 SFR, 这可通过丰富的指令集进行存取。外部数据存储器空间由 768 字节的 XRAM, 6 字节的 LCDRAM, 128 字节的 EEPROM 和 IAP 闪存, 只能通过 MOVX 指令存取。



2.3.1 IRAM

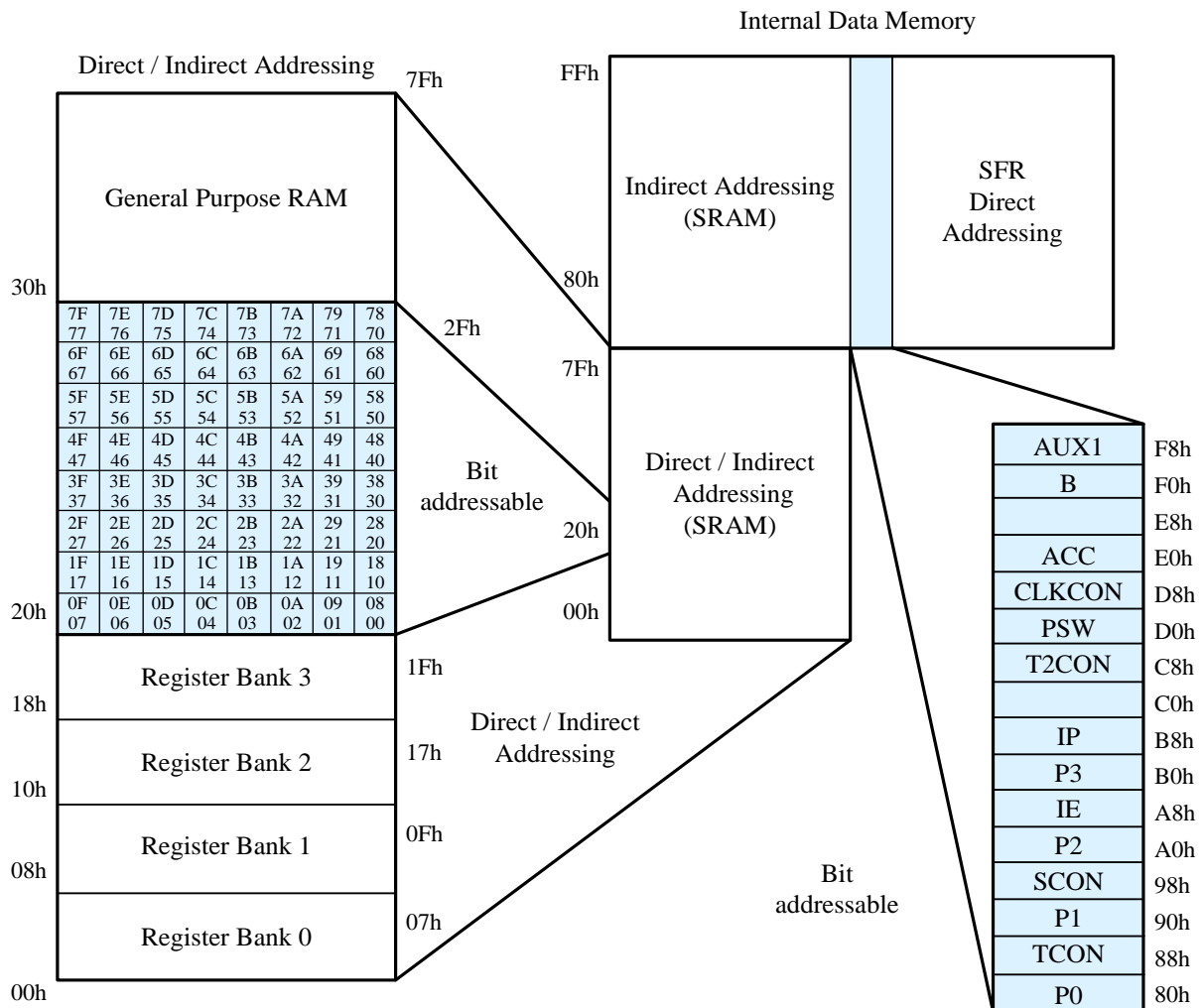
IRAM 位于 8051 内部数据存储空间。整个 256 字节 IRAM 都可以使用间接寻址存取, 只有较低的 128 字节可以使用直接寻址存取。有四个直接寻址寄存器组(由 PSW 开关), 占据 IRAM 空间从 00h 到 1Fh。地址 20h 到 2Fh 的 16 字节 IRAM 空间可以使用位寻址。IRAM 可以作为一般寄存器和程序堆栈。

2.3.2 XRAM

XRAM 位于 8051 外部数据存储器空间(地址从 FD00h 到 FFFFh)。768 字节 XRAM 只能通过“MOVX”指令存取。

2.3.3 SFRs

所有的外围功能模块, 如 I/O, 芯片的定时器/计数器、串口(UART)操作都是通过特殊功能寄存器(SFR)存取设置。这些寄存器占用高 128 字节位置直接数据存储空间上的 80h 到 FFh 范围。有 14 可位寻址的 SFR(这意味着单个字节内部的 8 个各别的位是可寻址的), 如 ACC, B 寄存器, PSW, TCON, SCON 和其他。其它 SFR 只能按字节寻址。SFR 提供了内部资源和该芯片的外围设备进行数据交换和控制。在 TM52 系列微控制器提供了与标准 8051 指令集完全兼容的二进制代码。除了标准 8051 特殊功能寄存器外, 该芯片还实现了用于配置和存取额外子系统的特殊功能寄存器, 例如 ADC/LED/LCD 等等该芯片特有功能。



	8/0	9/1	A/2	B/3	C/4	D/5	E/6	F/7
F8h	AUX1							
F0h	B	CRCDL	CRCDH	CRCIN		CFGBG	CFGWL	AUX2
E8h								AUX3
E0h	ACC							
D8h	CLKCON							
D0h	PSW	PILOE	P2LOE	P3LOE				
C8h	T2CON	IAPWE	RCP2L	RCP2H	TL2	TH2		
C0h								
B8h	IP	IPH	IP1	IP1H				
B0h	P3	LEDCON	LEDCON2		TKTMRL	TKCON2	ADCHS	
A8h	IE	INTE1	ADTKDT	ADCDH	TKDL	TKFREQ	TKCON	P0ADIE
A0h	P2	PWMCON	P1MODL	P1MODH	P3MODL	P3MODH	PINMOD	
98h	SCON	SBUF	PWM0PRD	PWM0DH	PWM1PRD	PWM1DH		
90h	P1	P0OE	P0LOE	P2MOD	OPTION	INTFLG	P1WKUP	SWCMD
88h	TCON	TMOD	TL0	TL1	TH0	TH1		
80h	P0	SP	DPL	DPH				PCON

3. 低电压复位和低电压检测

芯片提供低电压复位 (LVR) 的功能。CFGWH 可选择 4 阶低电压复位为 3.2V, 2.9V, 2.7V 或 2.4V。SFR LVRPD 和 PWRSV 位也会影响 LVR 功能，如下表所示。

操作模式	SFR		CFGWH	低电压复位 (LVR)	功能	Note
	LVRPD	PWRSV	LVRE			
快钟模式 慢钟模式	0	X	00	ON	LV Reset 2.4V	
	0	X	01	ON	LV Reset 2.7V	
	0	X	10	ON	LV Reset 2.9V	
	0	X	11	ON	LV Reset 3.2V	
空闲模式 停止模式 暂停模式	0	0	00	ON	LV Reset 2.4V	电流消耗约 60uA
	0	0	01	ON	LV Reset 2.7V	
	0	0	10	ON	LV Reset 2.9V	
	0	0	11	ON	LV Reset 3.2V	
空闲模式	0	1	XX	ON	Disable LVR Enable POR 2.3V	电流消耗约 20uA
停止模式 暂停模式	0	1	XX	OFF	Disable	最小电流消耗约 0.1uA
快钟模式 慢钟模式 空闲模式	1	X	XX	ON	Disable LVR Enable POR 2.3V	电流消耗约 20uA
停止模式 暂停模式	1	X	XX	OFF	Disable	最小电流消耗约 0.1uA

注：暂停模式会比停止模式多了 SRC 启用的耗电电流约 2~5uA

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	-	IAPTE		LVRPD
R/W	R/W	R/W	R/W	R/W	-	R/W		R/W
Reset	0	0	0	0	-	1	1	0

F7h.5 设置 1 可降低空闲，停止和暂停模式下芯片的功耗

F7h.0 **LVRPD**: 低电压复位功能禁止

0: LVR 启用

1: LVR 禁用

Flash 3FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	-	LVRE		PREAD	MVCLOCK	FRCPSC

3FFFh.4~3 **LVRE**: 低电压复位功能选择

00: Set LVR at 2.4V

01: Set LVR at 2.7V

10: Set LVR at 2.9V

11: Set LVR at 3.2V

4. 复位

该芯片有五种类型的复位方法。上电复位 (POR), 外部引脚复位 (XRST), 软件复位 (SWRST), 看门狗定时器复位 (WDTR) 和低电压复位 (LVR)。CFGW 控制复位功能。复位后 SFR 是返回到默认值。

4.1 上电复位

上电复位后, 设备停留在复位状态, 进行 40mS 的芯片预热, 然后从 Flash 的最后两个字节下载 CFGW 寄存器 (其它复位不会重新加载 CFGW)。上电复位需要 VCC 引脚的电压先放电至接近 VSS 电平, 然后再上升超过 2.5V。

4.2 外部引脚复位

外部引脚复位为低电平有效。RSTn 引脚需要保持至少两个 SRC 时钟周期长到芯片可采样。外部引脚复位可以由 CFGW 使能/禁止。

4.3 软件复位

软件复位是通过将数据 56h 写入 SFR 中的 97h 地址来产生。

4.4 看门狗定时器复位

WDT 溢出复位被 SFR F7h 来控制。WDT 使用 SRC 作为计数时基。它在快钟/慢钟模式运行, 在空闲/停止模式下可选运行或停止。看门狗定时器溢出速度可通过 WDTOSC SFR 定义。WDT 由 CLRWDT SFR 或复位清零。

4.5 低电压复位

该芯片提供 4 个低电压复位 (LVR) 选项, 用户可由 CFGWH 作出选择。复位电压可选择 3.2V, 2.9V, 2.7V 或 2.4V。

系统时钟频率	7.3728MHz	4MHz	SRC
最低 LVR 设置	LVR=2.7V	LVR=2.4V	LVR=2.4V

LVR 设置表

注: LVR 必需要开启, 请参考 AP-TM52XXXXX_02S 有关 LVR 应用说明。

Flash 3FFFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWH	PROT	XRSTE	-	LVRE		PREAD	MVCLOCK	FRCPCSC

3FFFh.6 **XRSTE**: 外部引脚复位控制

0: 禁止外部引脚复位

1: 使能外部引脚复位

3FFFh.4~3 **LVRE**: 低电压复位功能选择

00: Set LVR at 2.4V

01: Set LVR at 2.7V

10: Set LVR at 2.9V

11: Set LVR at 3.2V

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	-	WDTPSC		ADCKS		-	-
R/W	R/W	-	R/W		R/W		-	-
Reset	0	-	0	0	0	0	-	-

94h.5~4 **WDTPSC**: 看门狗定时器预分频时间选择

00: 480ms WDT 溢出率

01: 240ms WDT 溢出率

10: 120ms WDT 溢出率

11: 60ms WDT 溢出率

SFR 97h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SWCMD	IAPALL/SWRST							
R/W	W						R/W	R/W
Reset	-						-	0

97h.7~0 **SWRST**: 写入 56h 以产生软件复位

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSVAV	VBGOUT	-	IAPTE		LVRPD
R/W	R/W	R/W	R/W	R/W	-	R/W		R/W
Reset	0	0	0	0	-	1	1	0

F7h.7~6 **WDTE**: 看门狗定时器复位控制

0x: 看门狗定时器复位关闭

10: 看门狗定时器复位于快钟/慢钟模式下使能, 空闲/停止/暂停模式时禁止

11: 看门狗定时器复位始终启用

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F8h.7 **CLRWDT**: 设置以清除看门狗定时器, H/W 自动在一个时钟周期清除它

5. 时钟电路和工作模式

5.1 时钟电路

该芯片设计有双时钟系统。在运行时,用户可以直接切换从快钟到慢钟或由慢到快。它可以选择除以 1, 2, 4 或 16 的时钟分频器。快时钟可选用 FXT(快速晶振, 1~8 MHz)或 FRC(快速内部 RC, 7.3728 MHz)。慢时钟可以选用 SXT(慢速晶振, 32 KHz)或 SRC(慢速内部 RC, 68 KHz)。快钟模式和慢钟模式被定义为快/慢时钟的 CPU 运行速度。

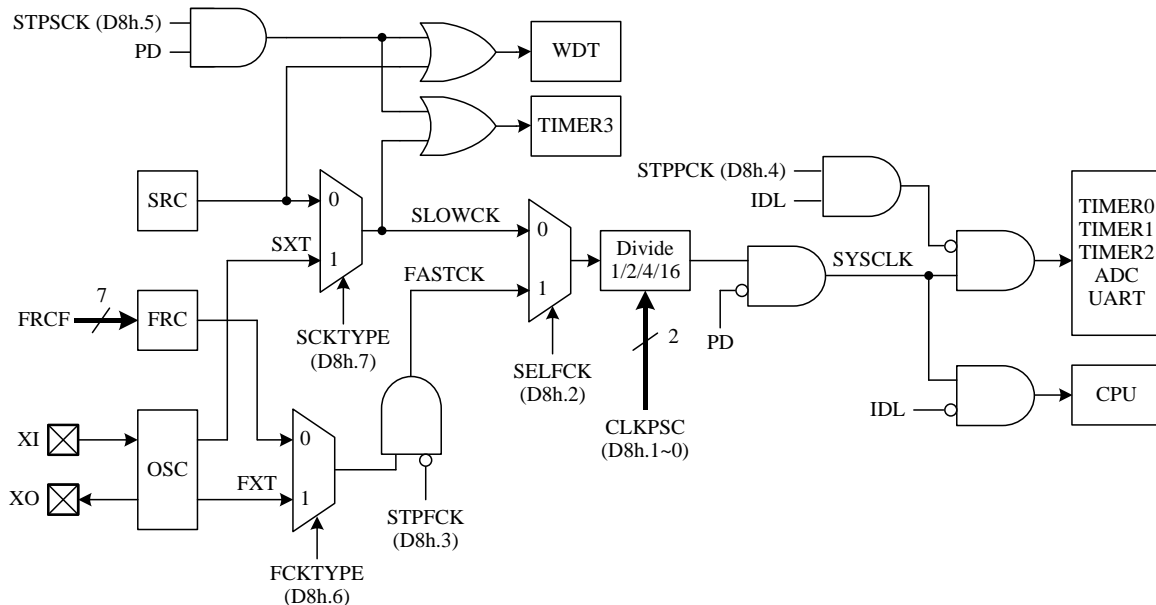
复位后,该设备在慢钟模式 68 KHz 的 SRC 运行。S/W 应该正确选择安全的芯片运行时钟速率。较高的 V_{CC} 允许芯片在更高的系统时钟频率运行。在典型的情况下, 8 MHz 的系统时钟频率需要 V_{CC}>2.7V。

该芯片有两个外部振荡器连接到 XI/XO 引脚。它依赖于外部电路提供时钟信号、频率的稳定, 例如一个独立的振荡器, 石英晶体或陶瓷谐振器。在快钟模式中, 快速振荡器可以使用的范围为 1~8 MHz。在慢钟模式下, 慢速振荡器只能使用 32.768 KHz 的时钟频率。

CLKCON SFR 控制系统时钟的正常运行。H/W 自动阻断 S/W 异常设置该寄存器。S/W 只能在快钟模式下改变慢时钟类型, 在慢钟模式下改变快时钟类型。千万不要同时写 STPFCK=1 & SELFCK=1。建议在写这个 SFR 时一次只写一个位。

如果使用者想要将 F_{sys} 从慢速时钟切换到 FXT, 用户应该按照以下步骤操作

1. 设置 FCKTYPE (D8h.6)
2. 等待 2ms 直到 FXT 振荡稳定
3. 设置 SELFCK (D8h.2)



时钟结构

Flash 3FFDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	-	FRCF						

3FFDh.6~0 **FRCF**: FRC频率调整

在芯片制造中, FRC被调整为7.3728 MHz。FRCF记录调整数据。

SFR F6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CFGWL	–	FRCF						
R/W	–	R/W						
Reset	–	–	–	–	–	–	–	–

F6h.6~0 **FRCF**: FRC频率调整
00h= 频率最低, 7Fh=频率最高。

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Reset	0	0	1	0	0	0	1	1

D8h.7 **SCKTYPE**: 慢时钟类型。该位只能在快钟模式 (SELFCK=1) 时改变。
0: SRC
1: SXT

D8h.6 **FCKTYPE**: 快时钟类型。该位只能在慢钟模式 (SELFCK=0) 时改变。
0: FRC
1: FXT

D8h.5 **STPSCK**: 设为 1, 停止慢钟在停止模式。

D8h.4 **STPPCK**: 设为 1, 停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。

D8h.3 **STPFCK**: 设为 1, 停止快时钟以节省慢钟/空闲模式的电力。
该位只能在慢钟模式时改变。

D8h.2 **SELFCK**: 系统时钟源选择。此位只有当 STPFCK=0 才可以改变。
0: 慢时钟
1: 快时钟

D8h.1~0 **CLKPSC**: 系统时钟分频器, 生效延迟最大为 16 个时钟周期
00: 系统时钟是快/慢时钟除以 16
01: 系统时钟是快/慢时钟除以 4
10: 系统时钟是快/慢时钟除以 2
11: 系统时钟是快/慢时钟除以 1

SYSCLK	CLKCON (D8h)			
	bit7 SCKTYPE	bit6 FCKTYPE	bit3 STPFCK	bit2 SELFCK
Fast FXT	0/1	1	0	1
Fast FRC	0/1	0	0	1
Slow SXT	1	0/1	0/1	0
Slow SRC	0	0/1	0/1	0
Fast type change	0/1	0 ← → 1	0/1	0
Slow type change	0 ← → 1	0/1	0	1
Stop FRC/FXT	0/1	0/1	0 → 1	0
Switch to FRC/FXT	0/1	0/1	0	0 → 1
Switch to SRC/SXT	0/1	0/1	0	1 → 0

Note: 因 CLKPSC 有延迟, 改变 CLKPSC 之后, 需等待 16 个时钟周期之后, 再把慢时钟切换至快时钟, 请参考 AP-TM52XXXXX_01S 和 AP-TM52XXXXX_02S 有关系统时钟应用说明

5.2 操作模式

这个设备有 5 种操作模式。**快钟模式**被定义为在快时钟速度运行的 CPU。**慢钟模式**被定义为慢时钟速度运行的 CPU。当系统时钟速度较低, 功耗较低。

空闲模式通过设置 PCON 中的 IDL 位进入。快或慢时钟都可设置为在空闲模式下的系统时钟源, 但慢时钟的省电越好。在空闲模式下, CPU 进入睡眠, 而片上外围设备保持活跃。在 CLKCON SFR 中的“STPPCK”位可以设置为进一步降低空闲模式下的电流。如果 STPPCK=1, Timer0/1/2, ADC 和 UART 在空闲模式时停止。较慢的系统时钟频率也有助于节省电流。它可以通过设置 CLKPSC SFR 降低系统时钟频率来实现。空闲模式是通过复位或使能的中断来唤醒。

停止模式是通过设置 PCON 中的 PD 位及 CLKCON 中的 STPSCK 位进入。这种模式在标准的 8051 是所谓的“省电”模式。在停止模式下,除了 WDT 时钟可能开启,其他所有时钟停止。停止模式可以通过复位或引脚唤醒来结束。

暂停模式是通过设置 PCON 中的 PD 位及清除 CLKCON 中的 STPSCK 位进入。在暂停模式下, 所有时钟都停止, 但如果启用了 Timer3 和 WDT, 则它们可能处于开启状态。暂停模式可以通过复位, 引脚唤醒或 Timer3 中断来终止。

注: 如果 INTn 引脚是低电平且该唤醒功能启用, 则芯片无法进入 Stop 模式。(INTn=0 and EXn=1, n=0, 1, 2)

注: 固件必须关闭 Bandgap 以获得最小电流消耗 (VBGOUT=0)

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	–	–	–	GF1	GF0	PD	IDL
R/W	R/W	–	–	–	R/W	R/W	R/W	R/W
Reset	0	–	–	–	0	0	0	0

87h.1 **PD:** 停止位, 如果 1 进入停止 (或暂停) 模式。

87h.0 **IDL:** 空闲位, 如果 1 进入空闲模式。

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Reset	0	0	1	0	0	0	1	1

D8h.7 **SCKTYPE:** 慢时钟类型。该位只能在快钟模式 (SELFCK=1) 时改变。

0: SRC 1: SXT

D8h.6 **FCKTYPE:** 快时钟类型。该位只能在慢钟模式 (SELFCK=0) 时改变。

0: FRC 1: FXT

D8h.5 **STPSCK:** 设为 1, 停止慢钟在停止模式。

D8h.4 **STPPCK:** 设为 1, 停止 UART/Timer0/Timer1/Timer2/ADC 在空闲模式的时钟。

D8h.3 **STPFCK:** 设为 1, 停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

D8h.2 **SELFCK:** 系统时钟源选择。此位只有当 STPFCK=0 才可以改变。

0: 慢时钟 1: 快时钟

D8h.1~0 **CLKPSC:** 系统时钟分频器, 生效延迟最大为 16 个时钟周期

00: 系统时钟是快/慢时钟除以 16

01: 系统时钟是快/慢时钟除以 4

10: 系统时钟是快/慢时钟除以 2

11: 系统时钟是快/慢时钟除以 1



SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSV	VBGOUT	–	IAPTE		LVRPD
R/W	R/W	R/W	R/W	R/W	–	R/W		R/W
Reset	0	0	0	0	–	1	1	0

F7h.4 **VBGOUT**: VBG 电压输出至 P3.2

0: 關閉

1: 啓用 (同时 ADCHS 必须设置为 1011b)

6. 中断和唤醒

该芯片有 10 源四级中断优先级结构。所有的中断都可以从空闲模式唤醒 CPU, 但只有引脚中断可以从停止模式下唤醒 CPU。每个中断源都有自己的使能控制位。不管它的中断使能控制位是 0 还是 1, 中断事件将设置其个别的中断标志。中断向量和标志列表如下。

向量	标志	描述
0003	IE0	INT0 外部引脚中断(可以唤醒停止模式)
000B	TF0	Timer0 中断
0013	IE1	INT1 外部引脚中断(可以唤醒停止模式)
001B	TF1	Timer1 中断
0023	RI+TI	串口(UART)中断
002B	TF2+EXF2	Timer2 中断
0033	-	保留为 ICE 模式使用
003B	TF3	Timer3 中断
0043	PIIF	Port1 外部引脚电平变化中断(可以唤醒停止模式)
004B	IE2	INT2 外部引脚中断(可以唤醒停止模式)
0053	ADIF+TKIF	ADC 中断 / 触摸按键中断

中断向量和标志

6.1 中断使能和优先级控制

IE 和 INTE1 的 SFR 决定中断是否由 CPU 提供服务。IP, IPH, IP1 和 IP1H 的 SFR 决定中断优先级。中断会被服务, 需要相同或更高优先级的中断尚未被服务。如果相同或更高优先级的中断被服务时, 新的中断将等待被服务, 直到它之前的服务完成。如果较低优先级中断正被服务时, 将被停止, 开始新的中断服务。当新的中断结束后, 被停止的较低优先级的中断才会被完成。

SFR 96h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PIWKUP	-	-	-	PIWKUP				
R/W	-	-	-	R/W				
Reset	0	0	0	0	0	0	0	0

96h.4~0 **PIWKUP**: P1.4~P1.0 个别引脚唤醒/中断使能控制

0: 关闭

1: 开启

SFR A8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IE	EA	–	ET2	ES	ET1	EX1	ET0	EX0
R/W	R/W	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	–	0	0	0	0	0	0

- A8h.7 **EA**:总中断使能控制
 0:禁用所有中断
 1:每个中断通过其各个中断控制位使能或禁止
- A8h.5 **ET2**:Timer2 中断使能控制
 0:禁用 Timer2 中断
 1:允许 Timer2 中断
- A8h.4 **ES**:串口(UART)中断使能控制
 0:禁用串口(UART)中断
 1:允许串口(UART)中断
- A8h.3 **ET1**:Timer1 中断使能控制
 0:禁用 Timer1 中断
 1:允许 Timer1 中断
- A8h.2 **EX1**:INT1 引脚中断和停止模式唤醒使能控制
 0:禁用 INT1 引脚中断和停止模式唤醒
 1:允许 INT1 引脚中断和停止模式唤醒, 不管 EA 为 0 或 1, 都可从停止模式下唤醒 CPU。
- A8h.1 **ET0**:Timer0 中断使能
 0:禁用 Timer0 中断
 1:允许 Timer0 中断
- A8h.0 **EX0**:INT0 引脚中断和停止模式唤醒使能控制
 0:禁用 INT0 引脚中断和停止模式唤醒
 1:允许 INT0 引脚中断和停止模式唤醒, 不管 EA 为 0 或 1, 都可从停止模式下唤醒 CPU。

SFR A9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTE1	–	–	–	–	ADTKIE	EX2	P1IE	TM3IE
R/W	–	–	–	–	R/W	R/W	R/W	R/W
Reset	–	–	0	0	0	0	0	0

- A9h.3 **ADTKIE**:ADC/触摸按键中断使能控制
 0:禁用 ADC/触摸按键中断
 1:允许 ADC/触摸按键中断
- A9h.2 **EX2**:INT2 引脚中断和停止模式唤醒使能控制
 0:禁用 INT2 引脚中断和停止模式唤醒
 1:允许 INT2 引脚中断和停止模式唤醒, 不管 EA 为 0 或 1, 都可从停止模式下唤醒 CPU。
- A9h.1 **P1IE**:端口 1 引脚电平变化中断使能控制
 0:禁用端口 1 引脚电平变化中断
 1:允许端口 1 引脚电平变化中断
- A9h.0 **TM3IE**:Timer3 中断使能控制
 0:禁用 Timer3 中断
 1:允许 Timer3 中断

SFR B9h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IPH	–	–	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
R/W	–	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	–	–	0	0	0	0	0	0

SFR B8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP	–	–	PT2	PS	PT1	PX1	PT0	PX0
R/W	–	–	R/W	R/W	R/W	R/W	R/W	R/W
Reset	–	–	0	0	0	0	0	0

B9h.5, B8h.5 **PT2H, PT2**: Timer2 中断优先级控制。(PT2H, PT2)=

00:0 级(最低优先级)

01:1 级

10:2 级

11:3 级(最高优先级)

B9h.4, B8h.4 **PSH, PS**: 串口(UART)中断优先级控制。定义如上。

B9h.3, B8h.3 **PT1H, PT1**: Timer1 中断优先级控制。定义如上。

B9h.2, B8h.2 **PX1H, PX1**: INT1 引脚中断优先级控制。定义如上。

B9h.1, B8h.1 **PT0H, PT0**: Timer0 中断优先级控制。定义如上。

B9h.0, B8h.0 **PX0H, PX0**: INT0 引脚中断优先级控制。定义如上。

SFR BBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1H	–	–	–	–	PADTKIH	PX2H	PP1H	PT3H
R/W	–	–	–	–	R/W	R/W	R/W	R/W
Reset	–	–	0	0	0	0	0	0

SFR BAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
IP1	–	–	–	–	PADTKI	PX2	PP1	PT3
R/W	–	–	–	–	R/W	R/W	R/W	R/W
Reset	–	–	0	0	0	0	0	0

BBh.3, BAh.3 **PADTKIH, PADTKI**: ADC/触摸按键中断优先级控制。定义如上。

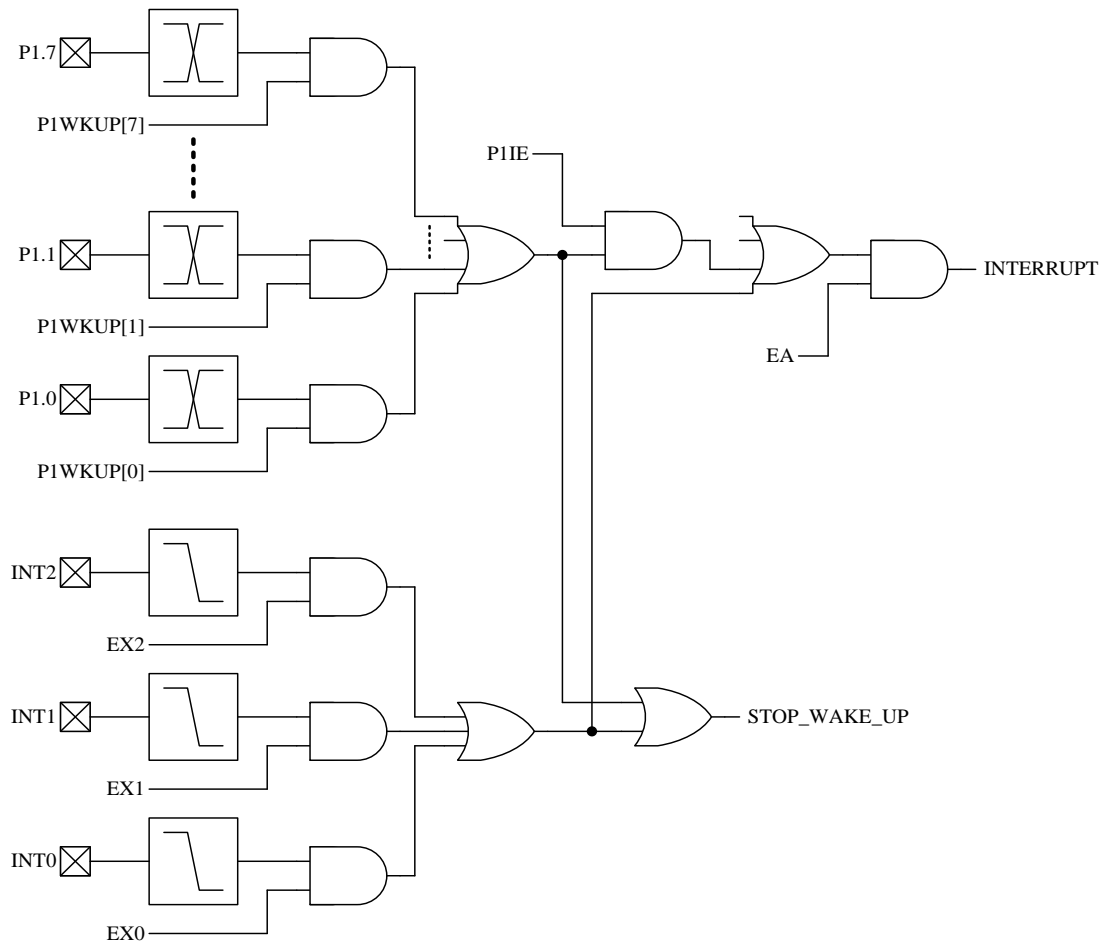
BBh.2, BAh.2 **PX2H, PX2**: INT2 引脚中断优先级控制。定义如上。

BBh.1, BAh.1 **PP1H, PP1**: 端口 1 引脚电平变化中断优先级控制。定义如上。

BBh.0, BAh.0 **PT3, PT3**: Timer3 中断优先级控制。定义如上。

6.2 引脚中断

引脚中断包括 INT0(P3.2), INT1(P3.3), INT2(P3.7) 和端口 1 电平变化中断。这些引脚也有停止模式唤醒功能。INT0 和 INT1 是下降沿或低电平触发为 8051 标准。INT2 为下降沿触发, 而端口 1 电平变化中断是由任何端口 1 引脚的状态变化触发。



引脚中断和唤醒

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.3 **IE1**: 外部中断 1 (INT1 引脚) 边沿标志
 设置于 H/W 检测到 INT1 引脚下降沿时, 不管 EX1 为 0 或 1。
 程序执行中断服务时, 它会被自动清除。
- 88h.2 **IT1**: 外部中断 1 控制位
 0: 低电平有效 (电平触发) 的 INT1 引脚
 1: 下降沿有效 (边沿触发) 的 INT1 引脚
- 88h.1 **IE0**: 外部中断 0 (INT0 引脚) 边沿标志
 设置于 H/W 检测到 INT0 引脚下降沿时, 不管 EX0 为 0 或 1。
 程序执行中断服务时, 它会被自动清除。
- 88h.0 **IT0**: 外部中断 0 控制位
 0: 低电平有效 (电平触发) 的 INT0 引脚
 1: 下降沿有效 (边沿触发) 的 INT0 引脚

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	–	–	TKIF	ADIF	–	IE2	P1IF	TF3
R/W	–	–	R/W	R/W	–	R/W	R/W	R/W
Reset	–	–	0	0	–	0	0	0

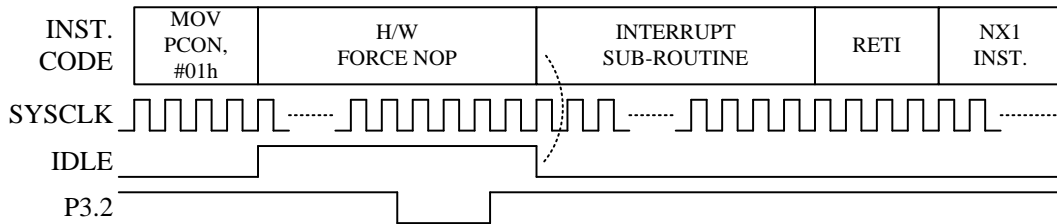
95h.2 **IE2**:外部中断 2(INT2 引脚)边沿标志
 设置于 H/W 检测到 INT2 引脚下降沿时,不管 EX2 为 0 或 1。
 程序执行中断服务时,它会被自动清除。
 S/W 也可以写 FBh 到 INTFLG 以清除该标志。(注)

95h.1 **P1IF**:端口 1 引脚电平变化中断标志
 设置于 H/W 检测到 P1 引脚的状态变化时,且其相应的中断使能位(P1WKUP)被设置。
 程序执行中断服务时,它会被自动清除。
 S/W 也可以写 FDh 到 INTFLG 以清除该标志。(注)

注:S/W 可以写 0 清除 INTFLG 中的标志,但写 1 没有任何效果。

6.3 空闲模式唤醒和中断

空闲模式下被启用的中断唤醒,这意味着各个中断使能位(如:EX0)和 EA 位必须都设置为 1 以建立空闲模式唤醒功能。所有被允许的中断(引脚,定时器,ADC,触摸按键和 UART),可以将 CPU 从空闲模式唤醒。当空闲被唤醒,立即进入中断服务程序。当中断服务程序返回后,“IDL(PCON.0)设置后的第一个指令”将被执行。



EA=EX0=1, P3.2 (INT0) 空闲模式唤醒和中断

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	–	–	–	GF1	GF0	PD	IDL
R/W	R/W	–	–	–	R/W	R/W	R/W	R/W
Reset	0	–	–	–	0	0	0	0

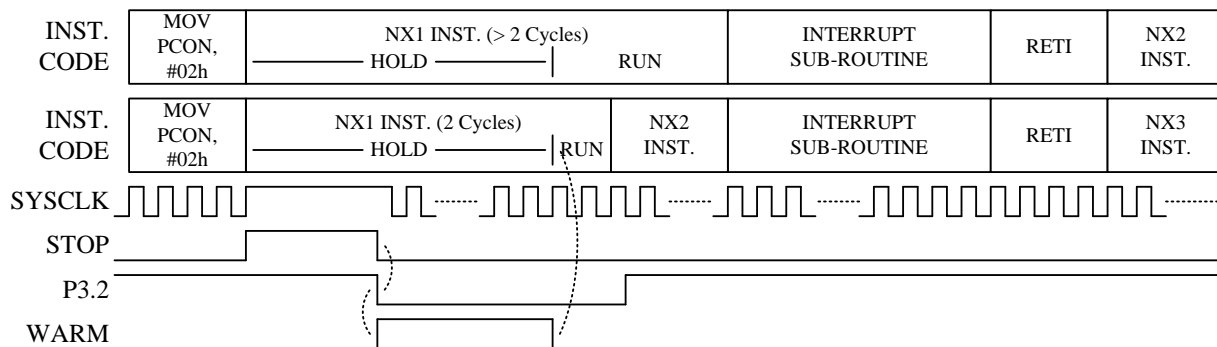
87h.1 **PD**:停止位,如果 1 进入停止模式。

87h.0 **IDL**:空闲位,如果 1 进入空闲模式。

6.4 停止模式唤醒和中断

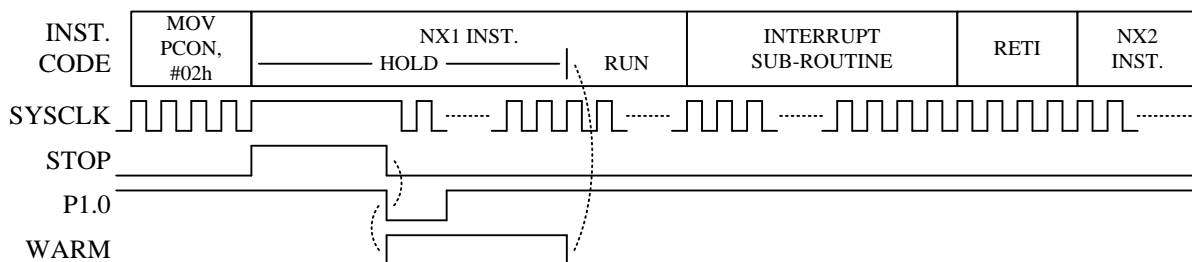
停止模式唤醒很简单,只要把各个引脚的中断使能位(如:EX0)设置,该引脚唤醒功能启用。设置 EX0/EX1/EX2 可以允许 INT0/INT1/INT2 引脚上的停止模式唤醒功能。设置 P1WKUP 位 4~0 可以启用 P1.4~P1.0 的停止模式唤醒功能。一旦停止被唤醒,“PD(PCON.1)设置后的第一条指令”立即在中断服务之前被执行。中断进入需要 EA=1(P1WKUP 还需要 P1IE=1)和该引脚触发状态停留足够长,以被系统时钟采样到。此功能可让 CPU 停止模式唤醒后,进入或不进入中断子程序。

注:如果 INTn 引脚是低电平且该唤醒功能启用,则芯片无法进入 Stop 模式。(INTn=0 and EXn=1, n=0, 1, 2)



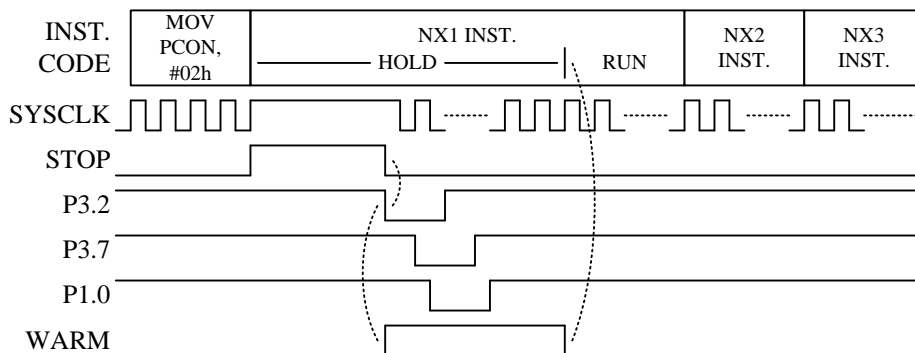
EA=EX0=1

P3.2 (INT0) 预热后被采样, 停止模式唤醒和中断



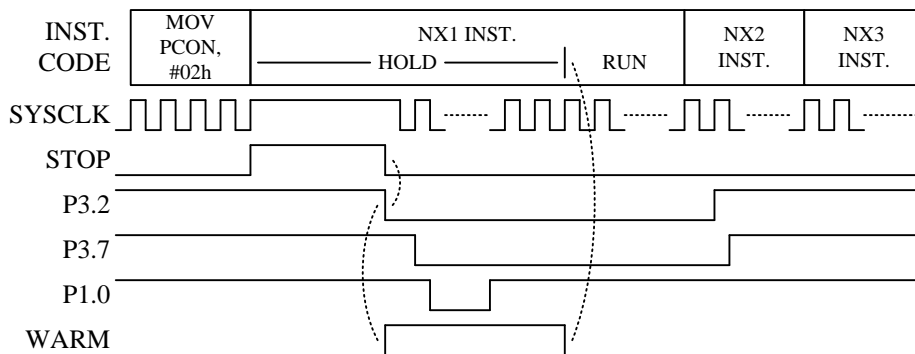
EA=P1IE=P1WKUP=1

P1.0 变化(不需要时钟采样), 停止模式唤醒和中断



EA=EX0=EX2=P1WKUP=1, P1IE=0

P3.2/P3.7 脉冲太窄, 停止模式唤醒, 但没有中断



EX0=EX2=P1WKUP=P1IE=1, EA=0

停止模式唤醒, 但没有中断

7. I/O 端口

该芯片总共有 23 个多功能 I/O 引脚。所有的 I/O 引脚遵循标准 8051 “读-修改-写”功能。读取 SFR 的, 而不是引脚状态的指令, 会读取一个端口或端口位的值, 可能改变它, 然后将它改写到 SFR。(例如: ANL P1, A; INC P2; CPL P3.0)。

7.1 端口 1, P2.1~P2.0 和端口 3

这些引脚可以在四种不同的模式, 如下操作。

模式	端口 1, P2.1~P2.0, 端口 3 引脚功能		Px.n SFR 数据	引脚状态	电阻上拉	数位输入
	P3.2~P3.0	其他				
模式 0	伪开漏输出	开漏输出	0	驱动低	N	N
			1	上拉	Y	Y
模式 1	伪开漏输出	开漏输出	0	驱动低	N	N
			1	高阻抗	N	Y
模式 2	CMOS 推挽输出		0	驱动低	N	N
			1	驱动高	N	N
模式 3	替代功能, 如 ADC		X (无关)	-	N	N

端口 1, P2.1~P2.0, 端口 3 I/O 引脚菜单

如果一个端口 1, P2.1~P2.0 和端口 3 引脚用于施密特触发输入, S/W 必须设置 I/O 引脚到模式 0 或模式 1, 并设置相应的端口数据 SFR 为 1 来禁止该引脚的输出驱动电路。

除了 I/O 端口的功能, 每个端口 1, P2.1~P2.0 和端口 3 引脚各具有一个或多个可选的替代功能, 如 LCD, LED, ADC, PWM 和触摸按键。部分的功能通过将各个引脚的模式控制 SFR 设为模式 3。端口 1/端口 3 引脚具有标准 8051 的辅助定义如 INT0/1, T0/1/2, 或 RXD/TXD。这些引脚功能需要设置引脚模式 SFR 为模式 0 或模式 1 和保持 P1.n/P3.n 的 SFR 为 1。

引脚名称	8051	唤醒	CKO	ADC	TK	LCD	LED	其他	模式 3
P1.0	T2	Y	T2O	AD4	TK4	LCDC10			AD4
P1.1	T2EX	Y		AD5	TK5	LCDC11			AD5
P1.2		Y		AD6	TK6	LCDC12		PWM0	AD6
P1.3		Y		AD7	TK7	LCDC13		PWM1	AD7
P1.4		Y	CKO	AD8	TK8	LCDC14			AD8
P3.0	RXD			AD3	TK3	LCDC30			AD3
P3.1	TXD			AD2	TK2	LCDC31			AD2
P3.2	INT0	Y		AD1	TK1	LCDC32		VBGO	AD1
P3.3	INT1	Y		AD0	TK0	LCDC33			AD0
P3.4	T0		T0O		TK13	LCDC34	LEDS3		
P3.5	T1					LCDC35	LEDS0		
P3.6						LCDC36	LEDS1		
P3.7	INT2	Y				LCDC37	LEDS2	RSTn	
P2.0						LCDC20	LEDS4	XI	
P2.1						LCDC21	LEDS5	XO	

端口 1, P2.1~P2.0, 端口 3 多重菜单

端口 1/P2.1~P2.0/端口 3 引脚的替代功能所需的 SFR 设置如下。

替代功能	模式	Px.n SFR 数据	引脚状态	其他需要的 SFR 设置
T0, T1, T2, T2EX, INT0, INT1, INT2	0	1	输入上拉	
	1	1	输入	
RXD, TXD	0	1	输入上拉/伪开漏输出	
	1	1	输入/伪开漏输出	
T0O, T2O, CKO	0	X	时钟开漏输出, 上拉	PINMOD
	1	X	时钟开漏输出	
	2	X	时钟输出 (CMOS 推挽)	
VBGO	X	X	带隙基准电压输出	VBGOUT ADCHS
LCDC10~ LCDC14 LCDC20~ LCDC21 LCDC30~ LCDC37	X	X	1/2 Vcc 偏压输出	PILOE P2LOE P3LOE
LEDS0~ LEDS5 (注 1)	X	X	LED 波形输出	LEDCON
TK0~TK8, TK13	0	1	触摸按键闲置, 上拉	TKCHS
			触摸按键扫描	
	2	X	触摸按键闲置, CMOS 推挽	
触摸按键扫描				
AD0~AD8	3	X	ADC 转换	ADCHS
PWM0~PWM1	0	X	PWM 开漏输出, 上拉	PINMOD PWMCON2
	1	X	PWM 开漏输出	
	2	X	PWM 输出 (CMOS 推挽)	
XI, XO	0	1	晶振	CLKCON

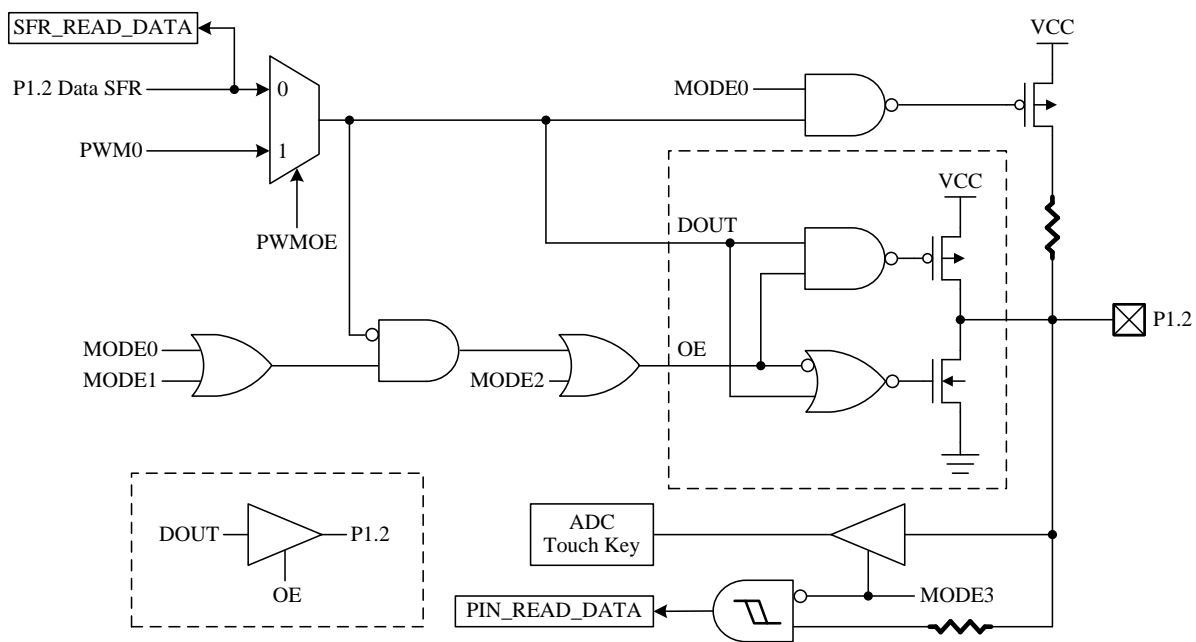
端口 1, P2.1~P2.0, 端口 3 替代功能模式设置

对于上表中，“CMOS 推挽”引脚意味着它可以吸收和驱动至少 4 mA 的电流。我们不建议使用这种引脚作为输入功能。

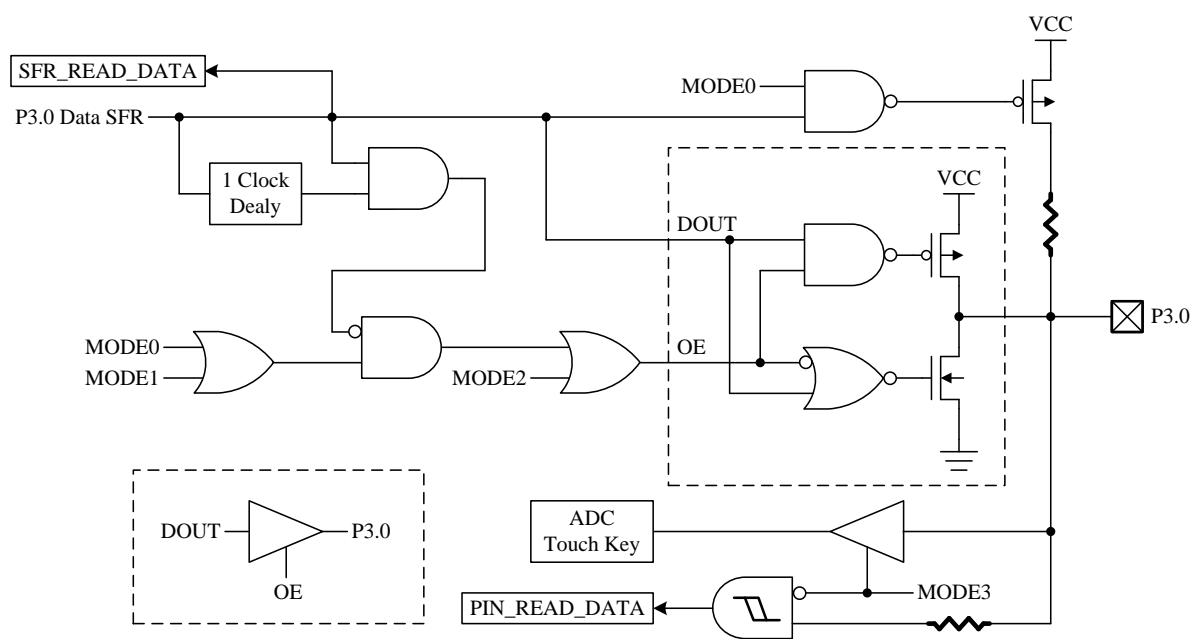
一个“开漏”引脚意味着它可以吸收至少 4 mA 电流, 但只能驱动小电流 (<20μA)。它可以用作输入或输出功能, 并且通常需要一个外部上拉电阻。

8051 标准引脚是一个“伪开漏”引脚。它可以吸收至少 4 mA 电流于低电平输出, 并于输出从低到高时, 驱动至少 4 mA 电流 1~2 个时钟周期, 然后开为小电流 (<20μA), 以维持引脚在高电平。它可以用作输入或输出功能。

注 1: 关于上述的引脚相关 SFR 设置, 引脚做为 LCD/LED 时, 拥有最高的优先权。若引脚不做为 LCD/LED 使用 (像是引脚做为一般 I/O, ADC, 触摸按键), 软件务必将 LCD/LED 功能设置为关闭。



P1.2 引脚结构



P3.0 引脚结构

SFR 90h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

90h.4~0 **P1.4~P1.0**:P1.4~P1.0 数据

SFR A0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

A0h.1~0 **P2.1~P2.0**:P2.1~P2.0 数据

SFR B0h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	1	1	1	1	1	1	1	1

B0h.7~0 **P3**: 端口 3 数据

SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Reset	0	0	1	0	0	0	1	1

D8h.7 **SCKTYPE**:慢时钟类型。该位只能在快钟模式 (SELFCK=1) 时改变。

0:SRC, P2.1, P2.0 为 I/O 引脚

1:SXT, P2.1, P2.0 为晶振引脚

D8h.6 **FCKTYPE**:快时钟类型。该位只能在慢钟模式 (SELFCK=0) 时改变。

0:FRC, P2.1, P2.0 为 I/O 引脚

1:FXT, P2.1, P2.0 为晶振引脚

SFR A2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MODL	P1MOD3		P1MOD2		P1MOD1		P1MOD0	
R/W	R/W		R/W		R/W		R/W	
Reset	0	1	0	1	0	1	0	1

- A2h.7~6 **P1MOD3**:P1.3 引脚控制
 00: 模式 0
 01: 模式 1
 10: 模式 2
 11: 模式 3, P1.3 为 ADC 输入
- A2h.5~4 **P1MOD2**:P1.2 引脚控制
 00: 模式 0
 01: 模式 1
 10: 模式 2
 11: 模式 3, P1.2 为 ADC 输入
- A2h.3~2 **P1MOD1**:P1.1 引脚控制
 00: 模式 0
 01: 模式 1
 10: 模式 2
 11: 模式 3, P1.1 为 ADC 输入
- A2h.1~0 **P1MOD0**:P1.0 引脚控制
 00: 模式 0
 01: 模式 1
 10: 模式 2
 11: 模式 3, P1.0 为 ADC 输入

SFR A3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1MODH	-	-	-	-	-	-	P1MOD4	
R/W	-	-	-	-	-	-	R/W	
Reset	0	1	0	1	0	1	0	1

- A3h.1~0 **P1MOD4**:P1.4 引脚控制
 00: 模式 0
 01: 模式 1
 10: 模式 2
 11: 模式 3, P1.4 为 ADC 输入

SFR A4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MODL	P3MOD3		P3MOD2		P3MOD1		P3MOD0	
R/W	R/W		R/W		R/W		R/W	
Reset	0	1	0	1	0	1	0	1

- A4h.7~6 **P3MOD3**:P3.3 引脚控制
 00: 模式 0
 01: 模式 1
 10: 模式 2
 11: 模式 3, P3.3 为 ADC 输入
- A4h.5~4 **P3MOD2**:P3.2 引脚控制
 00: 模式 0
 01: 模式 1
 10: 模式 2
 11: 模式 3, P3.2 为 ADC 输入
- A4h.3~2 **P3MOD1**:P3.1 引脚控制
 00: 模式 0
 01: 模式 1
 10: 模式 2
 11: 模式 3, P3.1 为 ADC 输入
- A4h.1~0 **P3MOD0**:P3.0 引脚控制
 00: 模式 0
 01: 模式 1
 10: 模式 2
 11: 模式 3, P3.0 为 ADC 输入

SFR A5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3MODH	P3MOD7		P3MOD6		P3MOD5		P3MOD4	
R/W	R/W		R/W		R/W		R/W	
Reset	0	1	0	1	0	1	0	1

- A5h.7~6 **P3MOD7**:P3.7 引脚控制
 00: 模式 0
 01: 模式 1
 10: 模式 2
 11: 模式 3
- A5h.5~4 **P3MOD6**:P3.6 引脚控制
 00: 模式 0
 01: 模式 1
 10: 模式 2
 11: 模式 3
- A5h.3~2 **P3MOD5**:P3.5 引脚控制
 00: 模式 0
 01: 模式 1
 10: 模式 2
 11: 模式 3
- A5h.1~0 **P3MOD4**:P3.4 引脚控制
 00: 模式 0
 01: 模式 1
 10: 模式 2
 11: 模式 3

SFR 93h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2MOD	–	–	–	–	P2MOD1		P2MOD0	
R/W	–	–	–	–	R/W		R/W	
Reset	–	–	–	–	0	1	0	1

93h.3~2 **P2MOD1**:P2.1 引脚控制

- 00: 模式 0
- 01: 模式 1
- 10: 模式 2
- 11: 未定义

93h.1~0 **P2MOD0**:P2.0 引脚控制

- 00: 模式 0
- 01: 模式 1
- 10: 模式 2
- 11: 未定义

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	PWM1OE	PWM0OE	TCOE	T2OE	–	–	–	T0OE
R/W	R/W	R/W	R/W	R/W	–	–	–	R/W
Reset	0	0	0	0	–	–	–	0

A6h.7 **PWM1OE**:PWM1 信号输出使能

- 0: 禁止 PWM1 信号输出到 P1.3
- 1: 允许 PWM1 信号输出到 P1.3

A6h.6 **PWM0OE**:PWM0 信号输出使能

- 0: 禁止 PWM0 信号输出到 P1.2
- 1: 允许 PWM0 信号输出到 P1.2

A6h.5 **TCOE**:系统时钟信号输出(CKO)控制

- 0: 禁止“系统时钟除以 2”信号输出到 P1.4
- 1: 允许“系统时钟除以 2”信号输出到 P1.4

A6h.4 **T2OE**:Timer2 信号输出(T2O)使能

- 0: 禁止 Timer2 溢出除以 2 输出到 P1.0
- 1: 允许 Timer2 溢出除以 2 输出到 P1.0

A6h.0 **T0OE**:Timer0 信号输出(T0O)控制

- 0: 禁止“Timer0 溢出除以 64”输出到 P3.4
- 1: 允许“Timer0 溢出除以 64”输出到 P3.4

SFR B1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCON	LEDEN		LEDPSC		LEDHOLD	LEDBRIT		
R/W	R/W		R/W		R/W	R/W		
Reset	0	0	0	0	0	1	0	0

B1h.7~6 **LEDEN**:LED 使能

- 00: LED 关闭
- 01: 选择 LED 1/8 占空比 (COM0~3, SEG0~3), 硬件将自动控制 LED 的引脚状态
- 10: 选择 LED 1/9 占空比 (COM0~3, SEG0~4), 硬件将自动控制 LED 的引脚状态
- 11: 选择 LED 1/10 占空比 (COM0~3, SEG0~5), 硬件将自动控制 LED 的引脚状态

SFR D1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1LOE	–	–	–	P1LOE				
R/W	–	–	–	R/W				
Reset	0	0	0	0	0	0	0	0

D1h.4~0 **P1LOE**: 端口 1 LCD 1/2 偏压输出使能控制
 0: 关闭
 1: 开启

SFR D2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2LOE	–	–	–	–	–	–	P2LOE	
R/W	–	–	–	–	–	–	R/W	
Reset	–	–	–	–	–	–	0	0

D2h.1~0 **P2LOE**: 端口 2 LCD 1/2 偏压输出使能控制
 0: 关闭
 1: 开启

SFR D3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3LOE	P3LOE							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D3h.7~0 **P3LOE**: 端口 3 LCD 1/2 偏压输出使能控制
 0: 关闭
 1: 开启

SFR F7h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX2	WDTE		PWRSVAV	VBGOUT	–	IAPTE		LVRPD
R/W	R/W	R/W	R/W	R/W	–	R/W		R/W
Reset	0	0	0	0	–	1	1	0

F7h.4 **VBGOUT**: VBG 电压输出至 P3.2
 0: 关闭
 1: 启用 (同时 ADCHS 必须设置为 1011b)

7.2 端口 0

这些引脚与触摸, ADC, LCD/LED 共享。如果端口 0 的引脚定义为 I/O 引脚, 它可作为推挽输出或施密特触发输入。该引脚的上拉功能是由 SFR 位 P0OE.n = 0 和 P0.n = 1 所设置。

端口 0 引脚功能	P0OE.n	P0.n SFR 数据	引脚状态	电阻上拉	数位输入
输入	0	0	高阻抗	N	Y
	0	1	上拉	Y	Y
CMOS 推挽输出	1	0	驱动低	N	N
	1	1	驱动高	N	N

端口 0 I/O 引脚菜单

引脚名称	唤醒	ADC	TK	LCD	LED	其他
P0.0				LCDC00	LEDC0	
P0.1				LCDC01	LEDC1	
P0.2				LCDC02	LEDC2	
P0.3				LCDC03	LEDC3	
P0.4		AD12	TK10	LCDC04		
P0.5		AD13	TK11	LCDC05		
P0.6		AD14	TK12	LCDC06		
P0.7		AD10		LCDC07		

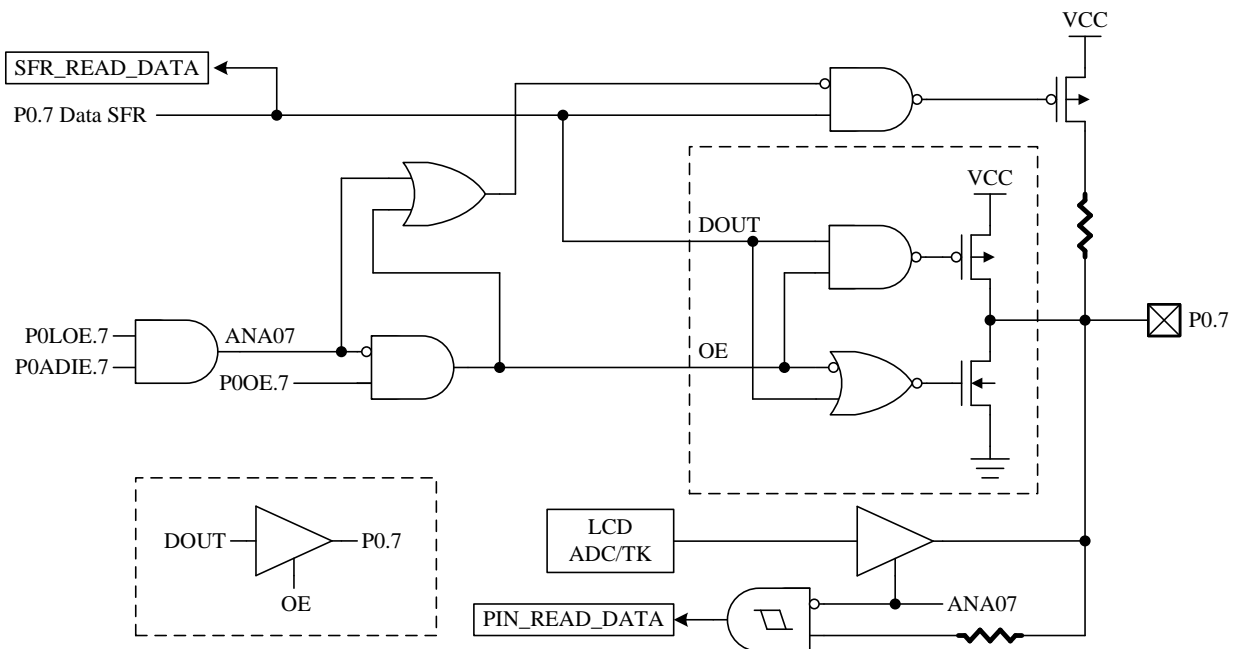
端口 0 多重菜单

端口 0 引脚的替代功能所需的 SFR 设置如下。

替代功能	PxOE.n	Px.n SFR 数据	引脚状态	其他需要的 SFR 设置
LEDC0~ LEDC3	X	X	LED 波形输出	LEDCON
LCDC00~ LCDC07	X	X	LCD COM 1/2 偏压输出	P0LOE
AD10, AD12~AD14	X	X	ADC 转换	P0ADIE
TK10~TK12	0	1	触摸按钮闲置, 上拉	TKCHS
			触摸按钮扫描	
	1	X	触摸按钮闲置, CMOS 推挽	
			触摸按钮扫描	

端口 0 替代功能模式设置

注: P0LOE 及 P0ADIE 的优先权高于 P0OE。



P0.7 引脚结构

SFR 80h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

80h.7~0 **P0**: 端口 0 的数据, 也可以控制 P0.n 引脚的上拉功能。如果的 P0.n SFR 数据是“1”和相应的 P0OE.n = 0 (输入模式) 中, 上拉使能。

SFR 91h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0OE	P0OE							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

91h.7~0 **P0OE**: 端口 0 CMOS 推挽输出使能控制
 0: 关闭
 1: 开启

SFR 92h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0LOE	P0LOE							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

92h.7~0 **P0LOE**: 端口 0 LCD 1/2 偏压输出使能控制
 0: 关闭
 1: 开启

SFR AFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0ADIE	P0ADIE				-	-	-	-
R/W	R/W				-	-	-	-
Reset	0	0	0	0	-	-	-	-

AFh.7~4 **P0ADIE**: ADC 输入通道使能控制
 0000: 引脚 P0.7~P0.4 为数字输出
 1xxx: 引脚 P0.7 为 ADC 输入
 x1xx: 引脚 P0.6 为 ADC 输入
 xx1x: 引脚 P0.5 为 ADC 输入
 xxx1: 引脚 P0.4 为 ADC 输入

SFR B1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCON	LEDEN		LEDPSC		LEDHOLD	LEDBRIT		
R/W	R/W		R/W		R/W	R/W		
Reset	0	0	0	0	0	1	0	0

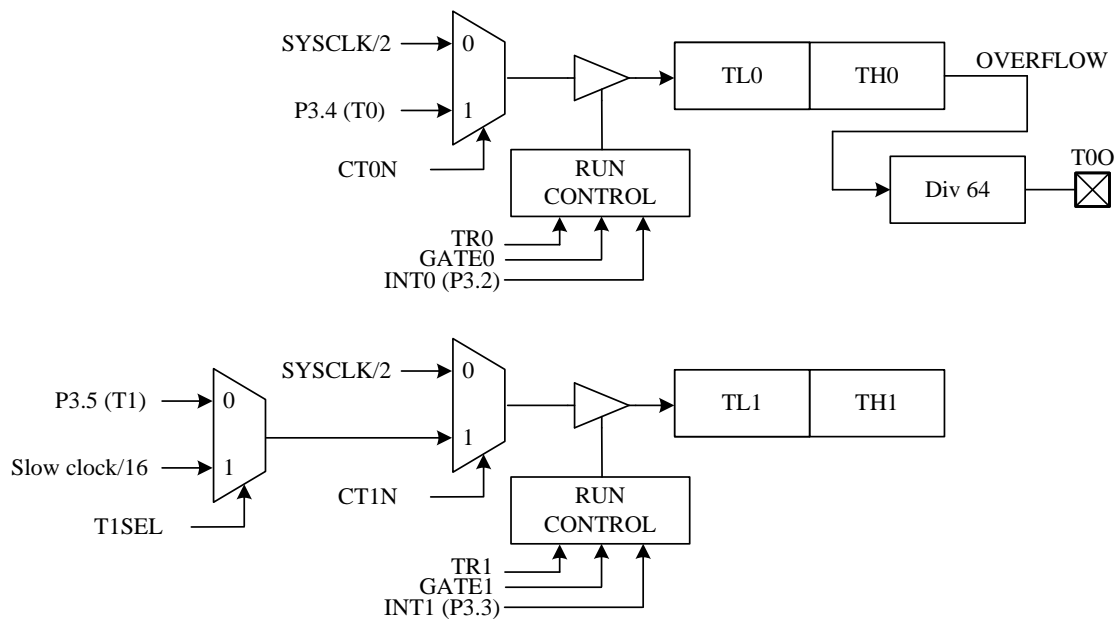
B1h.7~6 **LEDEN**: LED 使能
 00: LED 关闭
 01: 选择 LED 1/8 占空比 (COM0~3, SEG0~3), 硬件将自动控制 LED 的引脚状态
 10: 选择 LED 1/9 占空比 (COM0~3, SEG0~4), 硬件将自动控制 LED 的引脚状态
 11: 选择 LED 1/10 占空比 (COM0~3, SEG0~5), 硬件将自动控制 LED 的引脚状态

8. 定时器

Timer0, Timer1 和 Timer2 设置为标准的 8051 兼容的定时器/计数器。相较于传统的 12T 8051, 该芯片的 Timer0/1/2 使用 2 个系统时钟周期的时间基本单元。也就是说, 在定时器模式下, 这些定时器以每一个“2 个系统时钟”率增加; 在计数器模式下, T0/T1/T2 引脚输入脉冲必须大于 2 个系统时钟以便该设备可以辨识。除了标准 8051 定时器功能, T00 引脚输出“Timer0 溢出除以 64”的信号, 而 T20 引脚输出“Timer2 溢出除以 2”的信号。当时基是 SXT, Timer3 被设置为一个实时时钟计数。

8.1 Timer0/1

TCON 和 TMOD 用于设置操作模式, 并控制 Timer0/1 的运行和中断产生, 定时器/计数器的值存储在两个成对的 8 位寄存器 (TL0, TH0, 和 TL1, TH1)。



Timer0 and Timer1 结构

SFR 88h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

- 88h.7 **TF1:** Timer1 溢出标志
 当定时器/计数器 1 溢出时由 H/W 设置。
 当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.6 **TR1:** Timer1 运行控制
 0: Timer1 停止
 1: Timer1 运行
- 88h.5 **TF0:** Timer0 溢出标志
 当定时器/计数器 0 溢出时由 H/W 设置。
 当 CPU 转向进入中断服务程序时由 H/W 清零。
- 88h.4 **TR0:** Timer0 运行控制
 0: Timer0 停止
 1: Timer0 运行

SFR 89h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
R/W	R/W	R/W	R/W		R/W	R/W	R/W	
Reset	0	0	0	0	0	0	0	0

- 89h.7 **GATE1**:Timer1 门控位
 0:当 TR1 位设置时 Timer1 使能
 1:只有当 INT1 引脚为高, TR1 位设置时 Timer1 使能
- 89h.6 **CT1N**:Timer1 计数器/定时器选择位
 0:定时器模式, Timer1 的数据以 2 个系统时钟周期率增加
 1:计数器模式, Timer1 的数据在 T1 引脚的下降沿时增加
- 89h.5~4 **TMOD1**:Timer1 模式选择
 00:8 位定时器/计数器 (TH1) 和 5 位预分频器 (TL1)
 01:16 位定时器/计数器
 10:8 位自动重载定时器/计数器 (TL1), 溢出时从 TH1 重新装载。
 11:Timer1 停止
- 89h.3 **GATE0**:Timer0 门控位
 0:当 TR0 位设置时 Timer0 使能
 1:只有当 INT0 引脚为高, TR0 位设置时 Timer0 使能
- 89h.2 **CT0N**:Timer0 计数器/定时器选择位
 0:定时器模式, Timer0 的数据以 2 个系统时钟周期率增加
 1:计数器模式, Timer0 的数据在 T0 引脚的下降沿时增加
- 89h.1~0 **TMOD0**:Timer0 模式选择
 00:8 位定时器/计数器 (TH0) 和 5 位预分频器 (TL0)
 01:16 位定时器/计数器
 10:8 位自动重载定时器/计数器 (TL0), 溢出时从 TH0 重新装载。
 11:TL0 是一个 8 位定时器/计数器。TH0 是一个 8 位定时器/计数器, 使用 Timer1 的 TR1 和 TF1 位

SFR 8Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL0	TL0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ah.7~0 **TL0**:Timer0 数据的低字节

SFR 8Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL1	TL1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Bh.7~0 **TL1**:Timer1 数据的低字节

SFR 8Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH0	TH0							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

8Ch.7~0 **TH0**:Timer0 数据的高字节

SFR 8Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH1	TH1							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

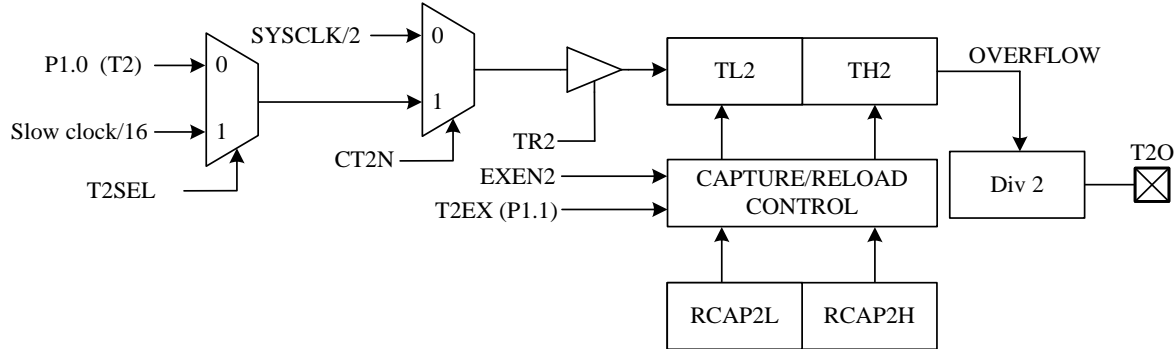
8Dh.7~0 **TH1**:Timer1 数据的高字节

注: 另请参阅第 6 章的有关 Timer0/1 中断使能和优先级的更多信息。

注: 同时参阅第 7 章关于 T0O 引脚输出设置的详细信息。

8.2 Timer2

Timer2 通过 TCON2 寄存器存储在 TL2 和 TH2 的定时器/计数器 2 低和高字节和存储在 RCAP2L 和 RCAP2H 的 Timer2 重载/捕获寄存器的高和低字节来控制。



Timer2 结构

SFR C8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

C8h.7 **TF2**: Timer2 溢出标志

当定时器/计数器 2 溢出时由 H/W 设置, 除非 RCLK=1 或 TCLK=1。此位必须由 S/W 清零。

C8h.6 **EXF2**: T2EX 中断引脚下降沿标志

如果 EXEN2=1, 当捕获或重载是由 T2EX 引脚的下降沿跳变引起时被设置。该位必须由 S/W 清零。

C8h.5 **RCLK**: UART 接收时钟控制位

0: 模式 1 或 3 时使用 Timer1 溢出作为串行端口接收时钟
1: 模式 1 或 3 时使用 Timer2 溢出作为串行端口接收时钟

C8h.4 **TCLK**: UART 发送时钟控制位

0: 模式 1 或 3 时使用 Timer1 溢出作为串行端口发送时钟
1: 模式 1 或 3 时使用 Timer2 溢出作为串行端口发送时钟

C8h.3 **EXEN2**: T2EX 引脚使能

0: T2EX 引脚禁用
1: T2EX 引脚使能, 如果 RCLK=TCLK=0, 当检测出 T2EX 引脚的下降沿跳变, 这引起捕获或重载

C8h.2 **TR2**: Timer2 运行控制

0: Timer2 停止
1: Timer2 运行

C8h.1 **CT2N**: Timer2 计数器/定时器选择位

0: 定时器模式, Timer2 的数据以 2 个系统时钟周期率增加
1: 计数器模式, Timer2 的数据在 T2 引脚的下降沿时增加

C8h.0 **CPRL2N**: Timer2 捕捉/重载控制位

0: 重载模式, 如果 EXEN2=1 当 Timer2 溢出或 T2EX 引脚上的下降沿跳变则自动重载
1: 捕捉模式, 如果 EXEN2=1 在 T2EX 引脚上的下降沿跳变则捕捉
如果 RCLK=1 或 TCLK=1 时, CPRL2N 被忽略, Timer2 溢出时定时器被强制自动重载

SFR CAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2L	RCP2L							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CAh.7~0 **RCP2L**:Timer2 重载/捕获数据的低字节

SFR CBh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
RCP2H	RCP2H							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CBh.7~0 **RCP2H**:Timer2 重载/捕获数据的高字节

SFR CCh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TL2	TL2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CCh.7~0 **TL2**:Timer2 数据的低字节

SFR CDh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TH2	TH2							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

CDh.7~0 **TH2**:Timer2 数据的高字节

注: 另请参阅第 6 章的有关 Timer2 中断使能和优先级的更多信息。

注: 同时参阅第 7 章关于 T2O 引脚输出设置的详细信息。

8.3 Timer3

该芯片的 Timer3 作为时基计数器, 周期性地产生中断。它会产生一个中断标志位 (TF3) 当时钟除以 32768, 16384, 8192, ..., 256 取决于 TM3PSC 位。Timer3 的时钟源为慢时钟 (SRC 或 SXT)。当时钟源为 SXT 即是理想的实时时钟 (RTC) 功能。

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	–	–	TKIF	ADIF	–	IE2	PIIF	TF3
R/W	–	–	R/W	R/W	–	R/W	R/W	R/W
Reset	–	–	0	0	–	0	0	0

95h.0 **TF3:** Timer3 中断标志
 当 Timer3 到达 TM3PSC 设置周期时由 H/W 设置。
 当程序执行中断服务程序时被自动清除。
 S/W 也可以写 FEh 到 INTFLG 清除该标志。(注 2)

注 2: S/W 可以写 0 清除 INTFLG 中的标志, 但写 1 没有任何效果。

SFR EFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX3	–	–	TM3PSC			VBGEN	–	ADCVREFS
R/W	–	–	R/W			R/W	–	R/W
Reset	–	–	0	0	0	0	0	0

EFh.5~3 **TM3PSC:** Timer3 中断率控制选择
 000: 中断率是 32768 慢时钟周期 100: 中断率是 2048 慢时钟周期
 001: 中断率是 16384 慢时钟周期 101: 中断率是 1024 慢时钟周期
 010: 中断率是 8192 慢时钟周期 110: 中断率是 512 慢时钟周期
 011: 中断率是 4096 慢时钟周期 111: 中断率是 256 慢时钟周期

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F8h.6 **CLRTM3:** 设置以清除 Timer3, H/W 会在下一个时钟周期自动清除此设置

注: 另请参阅第 6 章的有关 Timer3 中断使能和优先级的更多信息。

8.4 T0O 和 T2O 输出控制

该装置可以产生各种频率的波形引脚输出 (CMOS 推挽格式) 供蜂鸣器使用。T0O 波形由 Timer0 溢出除以 64 产生, T2O 波形由 Timer2 溢出除以 2 产生。用户可以设置定时器自动重装速度以控制自己的频率。设置 T0OE 和 T2OE SFR 可输出这些波形。

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	PWM1OE	PWM0OE	TCOE	T2OE	–	–	–	T0OE
R/W	R/W	R/W	R/W	R/W	–	–	–	R/W
Reset	0	0	0	0	–	–	–	0

A6h.4 **T2OE:** Timer2 信号输出 (T2O) 使能
 0: 禁止 Timer2 溢出除以 2 输出到 P1.0
 1: 允许 Timer2 溢出除以 2 输出到 P1.0

A6h.0 **T0OE:** Timer0 信号输出 (T0O) 控制
 0: 禁止 “Timer0 溢出除以 64” 输出到 P3.4
 1: 允许 “Timer0 溢出除以 64” 输出到 P3.4

9. UART

UART 使用 SCON 和 SBUF 的 SFR。SCON 是控制寄存器，SBUF 是数据寄存器。数据被写入到 SBUF 用于传输，而 SBUF 被读取时，可获得接收数据。接收到的数据和发送数据寄存器是完全独立的。除了标准的 8051 的全双工模式，该芯片还提供了一线模式。如果 UART1W 位被设置，发送和接收数据采用 P3.1 脚。

SFR 87h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PCON	SMOD	–	–	–	GF1	GF0	PD	IDL
R/W	R/W	–	–	–	R/W	R/W	R/W	R/W
Reset	0	–	–	–	0	0	0	0

87h.7 **SMOD**: UART 双波特率控制位
 0: 禁止 UART 双波特率控制位
 1: 允许 UART 双波特率控制位

SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	–	WDTPSC		ADCKS		–	–
R/W	R/W	–	R/W		R/W		–	–
Reset	0	–	0	0	0	0	–	–

94h.7 **UART1W**: UART 一线 UART 模式使能, TXD/RXD 都使用 P3.1 脚
 0: UART 禁止一线 UART 模式
 1: UART 允许一线 UART 模式

SFR 98h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

98h.7~6 **SM0, SM1**: UART 串行端口模式选择位 0, 1
 00: 模式 0: 8 位移位寄存器, 波特率 = $F_{SYSCLK} / 2$
 01: 模式 1: 8 位 UART, 波特率可变
 10: 模式 2: 9 位 UART, 波特率 = $F_{SYSCLK} / 32$ 或 $/64$
 11: 模式 3: 9 位 UART, 波特率可变

98h.5 **SM2**: 串行端口模式选择位 2
 SM2 通过一线串行方式实现多机通信并修改上述如下。在模式 2 和 3, 当 SM2 设置, 如果接收到的第九位数据为 0, 那么接收中断不会产生。在模式 1 中, 除非有效的停止位被接收, 接收中断不会产生。在模式 0 中, SM2 应为 0。

98h.4 **REN**: UART 接收使能
 0: 禁止接收
 1: 允许接收

98h.3 **TB8**: 发送位 8, 在模式 2 和 3 为发送第九位

98h.2 **RB8**: 接收位 8, 包含模式 2 和 3 的接收第九位, 如果 SM2 = 0, 为模式 1 停止位

98h.1 **TI**: 发送中断标志
 由 H/W 设置在模式 0 第 8 位的结束时, 或在其他模式中停止位的开始时。必须通过 S/W 清零。

98h.0 **RI**: 接收中断标志
 由 H/W 设置在模式 0 第 8 位的结束时, 或在其他模式下停止位的取样点。必须通过 S/W 清零。

SFR 99h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
SBUF	SBUF							
R/W	R/W							
Reset	-	-	-	-	-	-	-	-

99h.7~0 **SBUF**:UART 发送和接收数据。发送写入该位置数据和接收从该位置读取数据,但路径是独立的。

F_{SYSCLK} 表示系统时钟频率。

- 模式 0:
波特率= $F_{\text{SYSCLK}}/2$
- 模式 1, 3: 如果使用 Timer1 自动重载模式
波特率= $(\text{SMOD}+1) \times F_{\text{SYSCLK}} / (32 \times 2 \times (256 - \text{TH1}))$
- 模式 1, 3: 如果使用 Time2
波特率= $\text{Timer2 overflow rate} / 16 = F_{\text{SYSCLK}} / (32 \times (65536 - \text{RCP2H}, \text{RCP2L}))$
- 模式 2:
波特率= $(\text{SMOD}+1) \times F_{\text{SYSCLK}} / 64$

注: 另请参阅第 6 章的有关 UART 中断使能和优先级的更多信息。

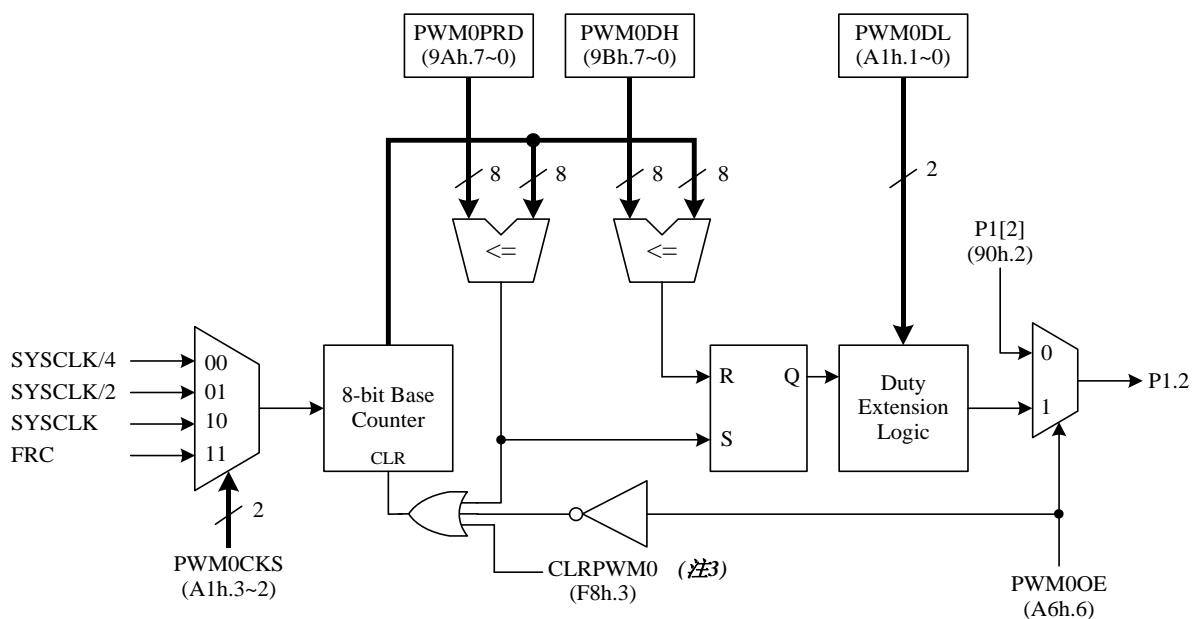
注: 同时参阅第 8 章有关 Timer2 如何控制 UART 时钟的详细信息。

10. PWMs

该芯片有两个独立的 PWM 模块, PWM0 和 PWM1。在 PWM 可于 PWM 基础时钟上产生 1024 占空比的分辨率的固定频率的波形。PWM 时钟可以选择 FRC(FRC)或 F_{SYSCLK} 除以 1, 2 或 4。LSB 扩展技术允许 PWM 以“PWM 时钟除以 256”而不是在“PWM 时钟除以 1024”的频率运行, 这意味着 PWM 的速度比正常运行的频率快四倍。更高的 PWM 频率的优点是后 RC 滤波器可将 PWM 信号转换成更稳定的直流电压水平。

当 PWM 占空比寄存器的 8 位 MSB 和 8 位基计数器相匹配时, PWM 输出信号被复位为低电平。当基计数器计满时, 由 PWM 占空比寄存器的 2 位 LSB 决定是否立即或延后一个时钟周期再将 PWM 输出信号设置为高电平。PWM 周期可通过写入周期值到 8 位的 PWM 周期寄存器中设置。

引脚模式的 SFR 控制 PWM 的输出波形格式。模式 1 使 PWM 为开漏输出, 模式 2 使 PWM 为 CMOS 推挽输出。(参见第 7 章)



PWM0 结构

注 3: PWM1 和 PWM0 的结构几乎相同, 除了 PWM1 没有像 PWM0 一样有清除使能位。

SFR 9Ah	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0PRD	PWM0PRD							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

9Ah.7~0 PWM0PRD: PWM0 周期

SFR 9Bh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM0DH	PWM0DH							
R/W	R/W							
Reset	1	0	0	0	0	0	0	0

9Bh.7~0 PWM0DH: PWM0 占空比的高字节

每当 8 位基计数器与 8 位 PWM0DH 匹配时 PWM0 输出信号被复位为低电平。

SFR 9Ch	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1PRD	PWM1PRD							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

9Ch.7~0 **PWM1PRD**:PWM1 周期

SFR 9Dh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWM1DH	PWM1DH							
R/W	R/W							
Reset	1	0	0	0	0	0	0	0

9Dh.7~0 **PWM1DH**:PWM1 占空比的高字节

每当 8 位基计数器与 8 位 PWM1DH 匹配时 PWM 输出信号被复位为低电平。

SFR A1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PWMCON	PWM1CKS		PWM1DL		PWM0CKS		PWM0DL	
R/W	R/W		R/W		R/W		R/W	
Reset	1	0	0	0	1	0	0	0

A1h.7~6 **PWM1CKS**:PWM1 时钟源

00:F_{SYSCLK}/4

01:F_{SYSCLK}/2

10:F_{SYSCLK}

11:FRC

A1h.5~4 **PWM1DL**:PWM1 占空比的低字节

当基计数器计满时(=PWM1PRD), 由 PWM1DL 决定是否立即或延后一个时钟周期再将 PWM1 输出信号设置为高电平。

A1h.3~2 **PWM0CKS**:PWM0 时钟源

00:F_{SYSCLK}/4

01:F_{SYSCLK}/2

10:F_{SYSCLK}

11:FRC

A1h.1~0 **PWM0DL**:PWM0 占空比的低字节

当基计数器计满时(=PWM0PRD), 由 PWM0DL 决定是否立即或延后一个时钟周期再将 PWM0 输出信号设置为高电平。

SFR A6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
PINMOD	PWM1OE	PWM0OE	TCOE	T2OE	-	-	-	TOOE
R/W	R/W	R/W	R/W	R/W	-	-	-	R/W
Reset	0	0	0	0	-	-	-	0

A6h.7 **PWM1OE**:PWM1 信号输出使能

0:禁止 PWM1 信号输出到 P1.3

1:允许 PWM1 信号输出到 P1.3

A6h.6 **PWM0OE**:PWM0 信号输出使能

0:禁止 PWM0 信号输出到 P1.2

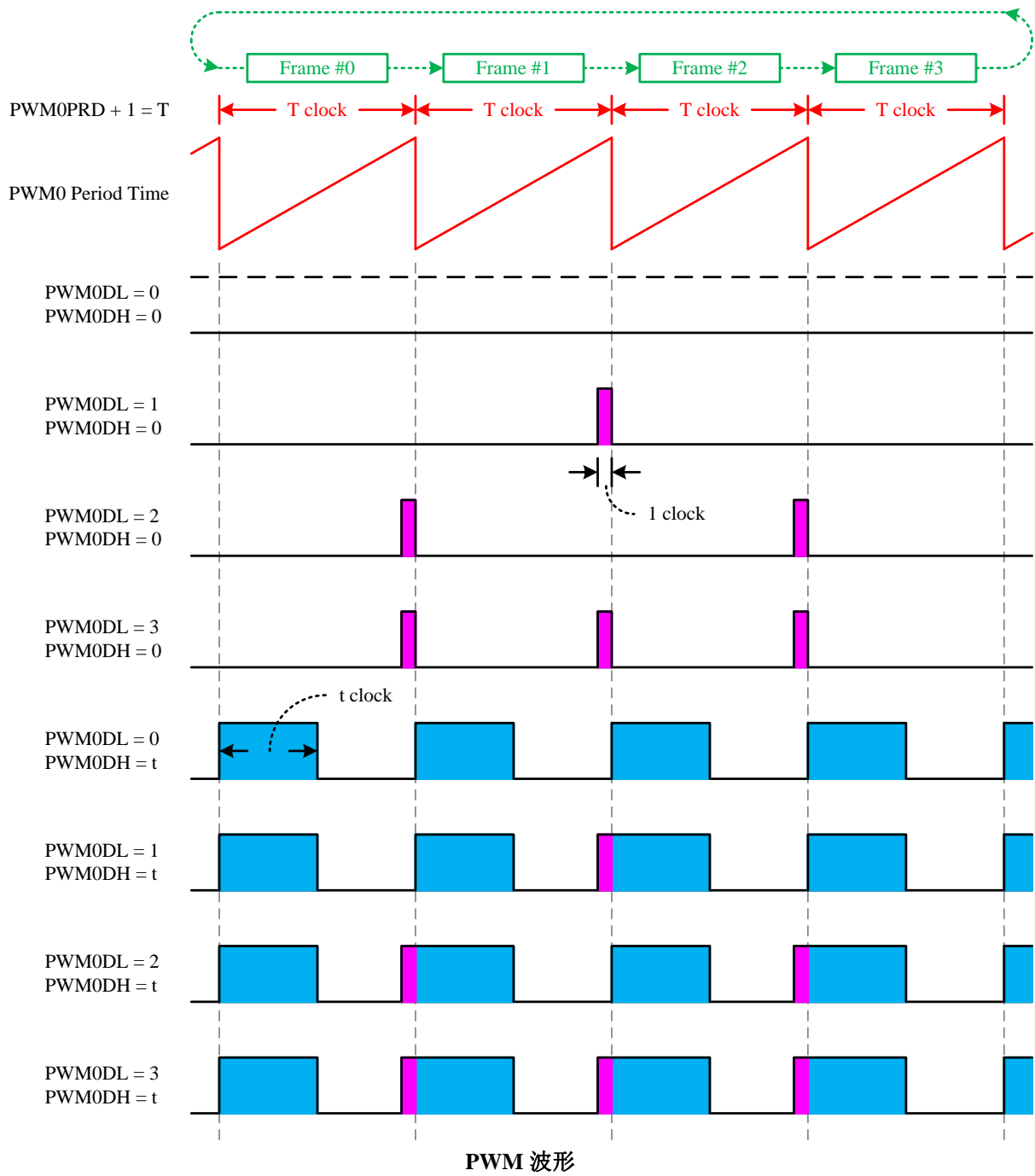
1:允许 PWM0 信号输出到 P1.2

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLR3TM3	TKSOC	ADSOC	CLRPWM0	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F8h.3 **CLRPWM0**:PWM0 清除使能

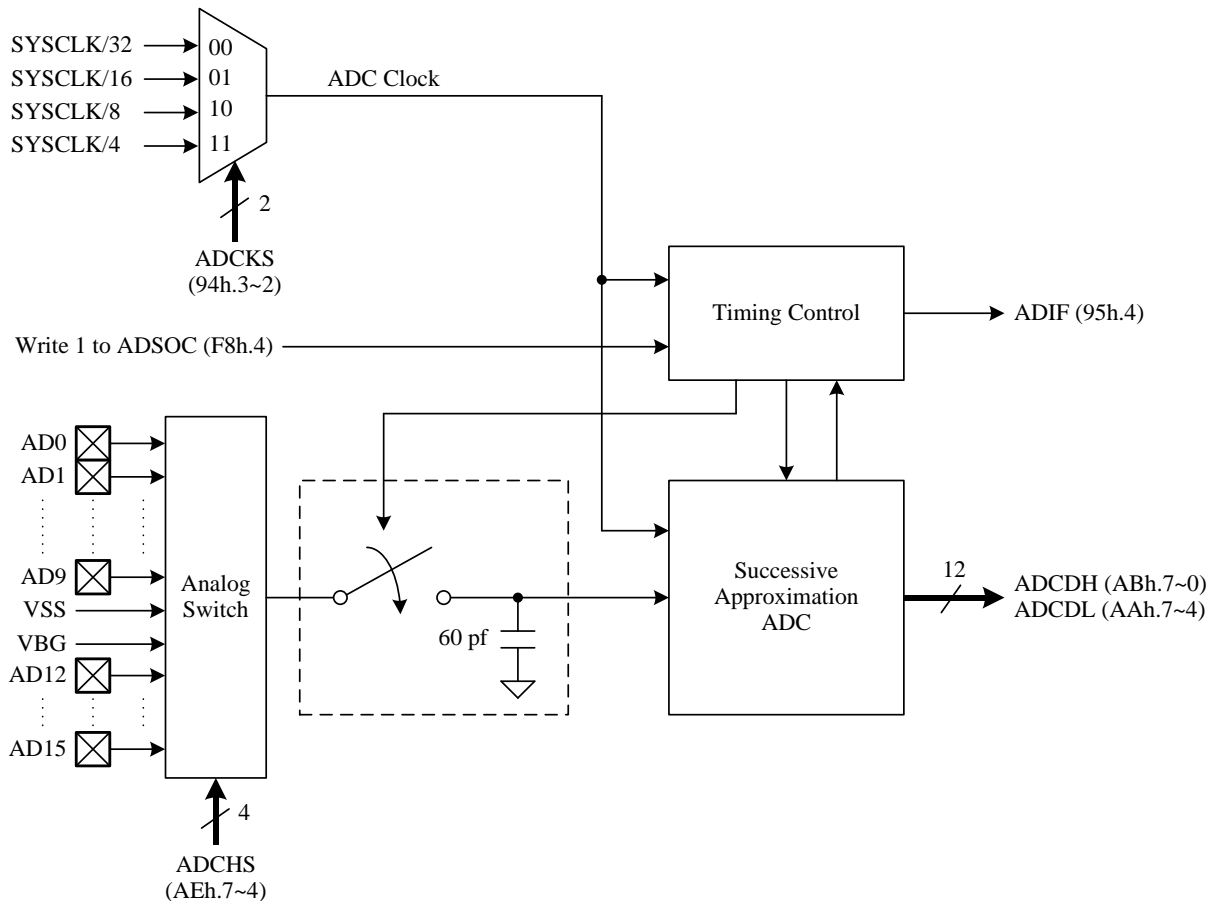
0:PWM0 运行

1:PWM0 清除并停止



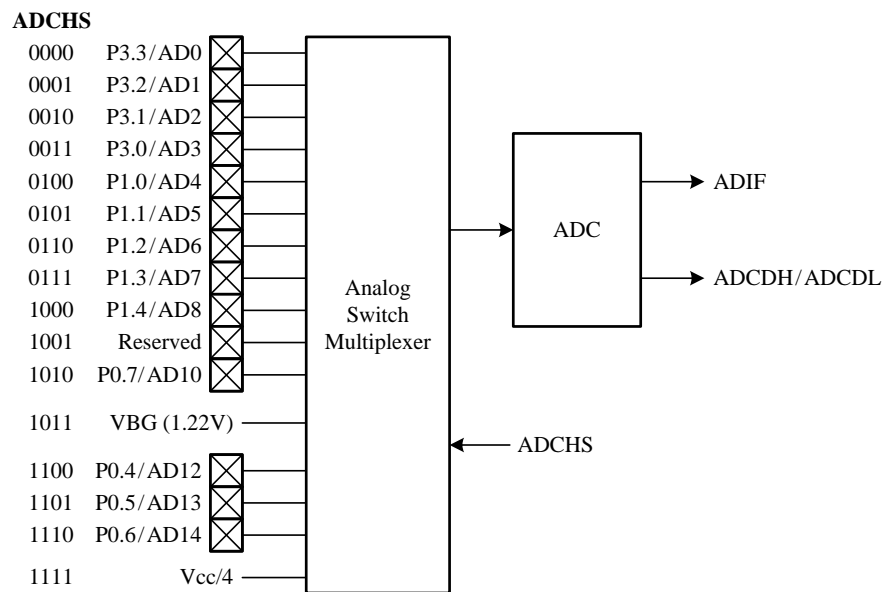
11. ADC

该芯片提供了一个 12 位 ADC 包括了 16 通道模拟输入多路复用器,控制寄存器,时钟发生器,12 位逐次逼近寄存器和输出数据寄存器。使用 ADC,首先要设置 ADCKS 位选择合适的 ADC 时钟频率,它必须小于 1 MHz。然后,设置 ADSOC 位启动 ADC 转换,在转换结束 H/W 将自动清除它。转换结束后 H/W 将设置 ADIF 位,当 ADC 中断使能,并产生一个中断。ADIF 位可以通过写 0 到该位或写 1 至 ADSOC 清零。因为某些信道和触摸按键通道共享,ADC 的通道必须和触摸按键信道不同配置,以避免影响到通道的输入灵敏度。通过设置 ADCVREFS 可以选择两种不同的 ADC 参考电压 (V_{REFS})。模拟输入电平必须保持从 V_{SS} 到 V_{REFS} 的范围内。



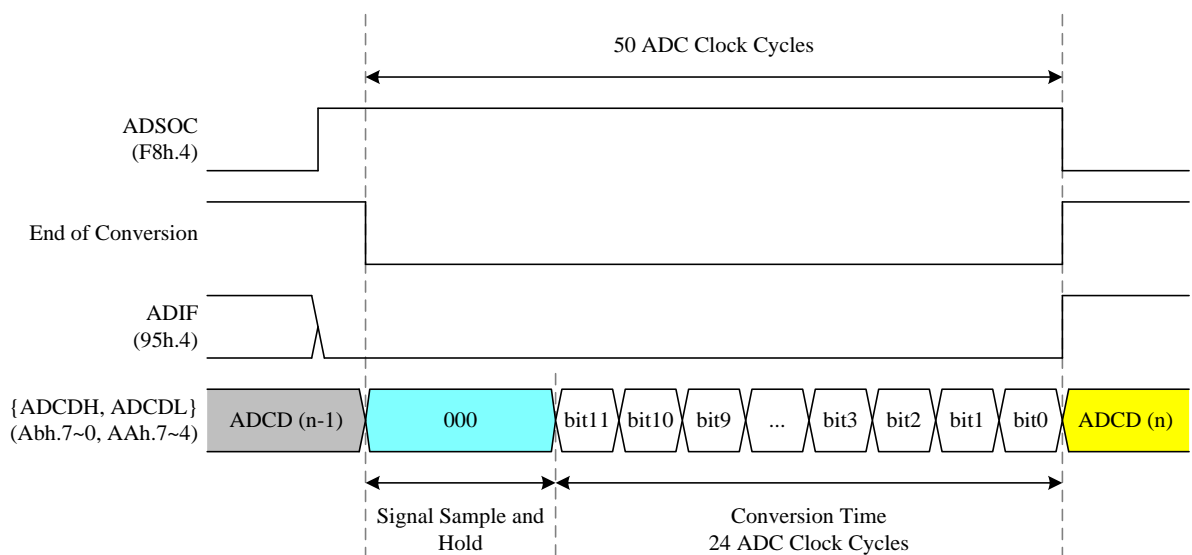
11.1 ADC 通道

12 位 ADC，一共有 16 个通道，指定为 AD0~AD8, AD10, AD12~AD14, $V_{CC}/4$, 和 VBG。ADC 通道通过模拟开关多路复用器连接到模拟输入引脚。模拟开关多路复用器由 ADCHS 寄存器控制。该芯片提供多达 13 个模拟输入引脚，指定为 AD0 AD8, AD10 和 AD12~AD14。此外，还有两个模拟输入引脚连接参考电压。当 ADCHS 设置为 1111b 时，模拟输入将连接到 $V_{CC}/4$ ，当 ADCHS 设置为 1011b 时，模拟输入将连接到 VBG。VBG 是 1.22V 的内部基准电压源。在 ADC 通道设定后，ADC 模块即通过 ADCHS 之选择与 I/O 口连接，如果该 I/O 口是做为触摸按键使用，则会影响触摸按键功能。因此平时 ADC 未使用时，建议将 ADCHS 设为 1111b ($V_{CC}/4$) 或 1011b (VBG)，以断开 ADC 模块与 I/O 口之连接。



11.2 ADC 转换时间

转换时间是 ADC 转换电压所需要的时间。该 ADC 转换每个位需要两个 ADC 时钟周期，以及多个时钟周期进行输入电压采样和保持。一共需要 50 个 ADC 时钟周期以执行完全转化。当转换时间结束，ADIF 中断标志由 H/W 设置，12 位 A/D 转换结果被加载到 ADCDH 和 ADCDL 寄存器。



SFR 94h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
OPTION	UART1W	–	WDTPSC		ADCKS		–	–
R/W	R/W	–	R/W		R/W		–	–
Reset	0	–	0	0	0	0	–	–

94h.3~2 **ADCKS**: ADC 时钟频率选择

00: $F_{SYSCLK}/32$

01: $F_{SYSCLK}/16$

10: $F_{SYSCLK}/8$

11: $F_{SYSCLK}/4$

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	LVD	–	TKIF	ADIF	–	IE2	PIIF	TF3
R/W	R	–	R/W	R/W	–	R/W	R/W	R/W
Reset	–	–	0	0	–	0	0	0

95h.4 **ADIF**: ADC 中断标志

于转换结束时由 H/W 设置。S/W 写入 EFh 到 INTFLG 或设置 ADSOC 位来清除该标志。

SFR AAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADTKDT	ADC DL				TKDH			
R/W	R				R			
Reset	–	–	–	–	–	–	–	–

AAh.7~4 **ADC DL**: ADC 数据位 3~0

SFR ABh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADC DH	ADC DH							
R/W	R							
Reset	–	–	–	–	–	–	–	–

ABh.7~0 **ADC DH**: ADC 数据位 11~4

SFR B6h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADCHS	–	–	–	–	ADCHS			
R/W	–	–	–	–	R/W			
Reset	–	–	–	–	1	1	1	1

B6h.3~0 **ADCHS**: ADC 通道选择

0000: ADC0 (P3.3)

0001: ADC1 (P3.2)

0010: ADC2 (P3.1)

0011: ADC3 (P3.0)

0100: ADC4 (P1.0)

0101: ADC5 (P1.1)

0110: ADC6 (P1.2)

0111: ADC7 (P1.3)

1000: ADC8 (P1.4)

1001: Reserved

1010: AD10 (P0.7)

1011: VBG (内部 Bandgap 基准电压源)

1100: AD12 (P0.4)

1101: AD13 (P0.5)

1110: AD14 (P0.6)

1111: $V_{CC}/4$ (内部基准电压源)

注: FW 必须关闭 Bandgap 以获得微小电流 ($ADCHS \neq 1011b$)

SFR EFh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX3	–	–	TM3PSC			VBGEN	–	ADCVREFS
R/W	–	–	R/W			R/W	–	R/W
Reset	–	–	0	0	0	0	0	0

EFh.0 **ADCVREFS:** ADC参考电压 (V_{REFS}) 选择

0: V_{CC}
1: 2.5V

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

F8h.4 **ADSOC:** 启动 ADC 转换

设置 ADSOC 位启动 ADC 转换, ADSOC 位将由 H/W 于转换结束时被清除。S/W 也可以写 0 清除该标志。

注: 另请参阅第 6 章的有关 ADC 中断使能和优先级的更多信息。

注: 同时参阅第 7 章有关 ADC 引脚输入设置的详细信息。

12. SDADC

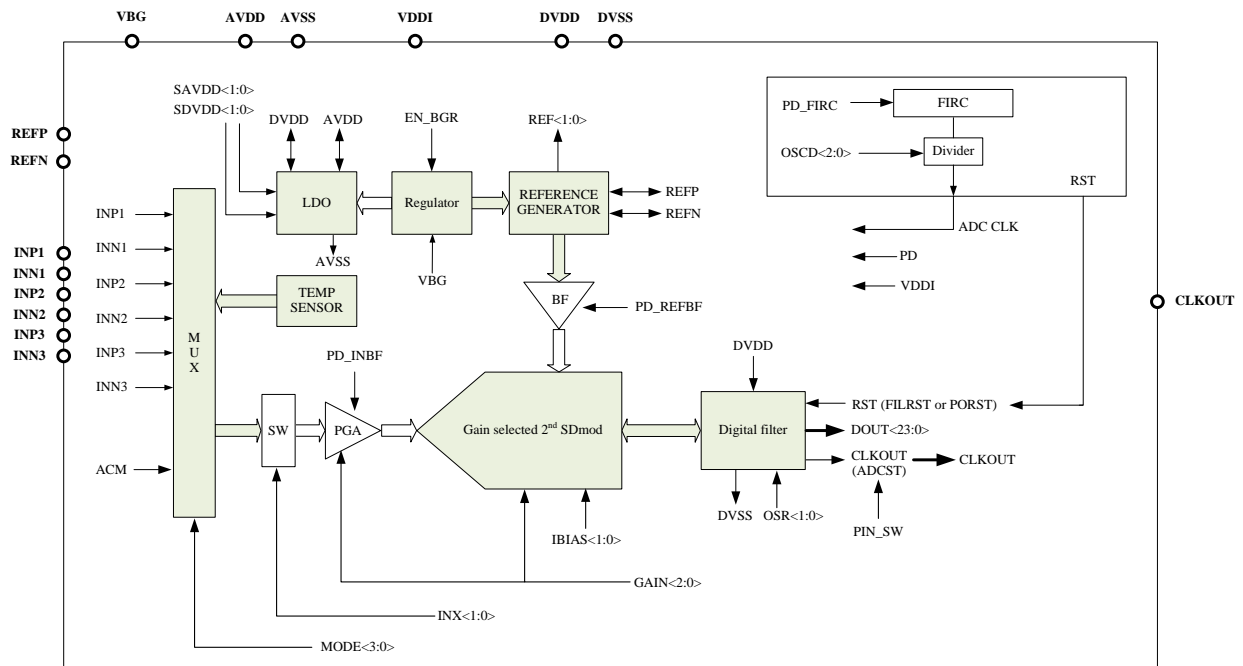
该芯片提供了一个适合高精度测量应用的低噪声完整模拟前端。它集成一个低噪声、24 位 Σ - Δ 模数转换器 (SDADC)。片内低噪声增益级意味着可直接输入小信号。

这款器件可配置为三路差分输入或四通道伪差分/单端输入, 片内 2.6 MHz 时钟可以用做 SDADC 的时钟源。该器件的输出数据率可以在 2.5Hz 至 2.5K Hz 的范围内变化。

特性

- 3 个全差分/4 个伪差分/4 个单端模拟输入通道
- 均方根 (RMS) 噪声: 140nV (输出数据率=30.5 Hz, 增益=128)
- 17.5 位有效分辨率 (ENOB) (输出数据率=30.5 Hz, 增益=128)
- 片内低噪声可编程增益放大器 (PGA), 可编程增益: 1~128
- 输出数据率: 2.5Hz 至 2.5K Hz
- 2.6MHz 内部时钟
- 操作电压: 2.4 to 3.6V.
- 在 3V 工作电压下电流典型值为 1.5 mA, 低功耗模式下电流少于 1 mA
- 可调整的器件整体功耗.
- 可编程的过采样率 (OSR): 1024, 2048, 4096, 8192.
- AVDD 可输出 3 种低压差稳压源: 2.4V/2.6V/2.9V 并提供外部传感器激励电压 (最大 10 mA)
- 数字电源 (DVDD) 可选择 3 种低压差稳压源: 2.2V/2.4V/2.6V
- 片内温度传感器, 需单点校正

框图



片内寄存器

FE8976 透过 tenx 所提供的库文件来读写 SDADC 中的寄存器，请联系销售人员以咨询更多信息。

寄存器	位7	位6	位5	位4	位3	位2	位1	位0
SYS	FILRST	PD	PD_REFBF	-	EN_BGR	SAVDD[1]	SAVDD[0]	ADCST
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
默认值	0	1	1	1	0	0	0	0
ADC1	MODE[3]	MODE[2]	MODE[1]	MODE[0]	INX[1]	INX[0]	REF[1]	REF[0]
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	1	0	0	1	1
ADC2	-	-	-	-	GAIN[2]	GAIN[1]	GAIN[0]	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	1	0	0	0	1	0	1	0
ADC3	-	PD_FIRC	OSCD[2]	OSCD[1]	OSCD[0]	-	-	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	1	0	0	0	0	0	0	0
REG4	-	-	-	-	-	-	-	PINSW
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	W/R
默认值	1	1	1	1	1	1	1	1
REG5	SDVDD[1]	SDVDD[0]	-	-	-	-	OSR[1]	OSR[0]
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	0	0	0	0
REG6	-	-	PD_INBF	IBIAS[1]	IBIAS[0]	-	-	-
	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
默认值	0	0	0	0	1	1	1	1
ADOH	DOUT[23]	DOUT[22]	DOUT[21]	DOUT[20]	DOUT[19]	DOUT[18]	DOUT[17]	DOUT[16]
	R	R	R	R	R	R	R	R
默认值	0	0	0	0	0	0	0	0
ADOM	DOUT[15]	DOUT[14]	DOUT[13]	DOUT[12]	DOUT[11]	DOUT[10]	DOUT[9]	DOUT[8]
	R	R	R	R	R	R	R	R
默认值	0	0	0	0	0	0	0	0
ADOL	DOU[7]	DOUT[6]	DOUT[5]	DOUT[4]	DOUT[3]	DOUT[2]	DOUT[1]	DOUT[0]
	R	R	R	R	R	R	R	R
默认值	0	0	0	0	0	0	0	0

寄存器位功能描述
12.1 SYS 寄存器
12.1.1 数字滤波器的复位

寄存器名称	位位置	位的名称
SYS	X - - - - -	FILRST

位的名称	描述
FILRST=0	使数字滤波器离开复位状态, 上电后 FILRST 位的默认值为 0.
FILRST=1	使数字滤波器复位, SDADC 的数字滤波器在上电后会自动执行复位, 但是在通道切换后不会自动执行复位, 因此每次切换通道后 SDADC 需要等待不同的转换次数才能得到精确反应仿真输入的输出数据。若在切换信道之后将数字滤波器复位, SDADC 就能够在离开复位后的第 4 次转换得到精确反应仿真输入的输出数据。

12.1.2 SDADC 掉电模式

寄存器名称	位位置	位的名称
SYS	- X - - - - -	PD

位的名称	描述
PD=0	SDADC 进入正常操作模式。在正常操作模式下, SDADC 将连续执行转换, 并将结果置于数据寄存器中。
PD=1	SDADC 进入掉电模式。在掉电模式下, 所有电路均关断, 内部时钟停止动作, AVDD 引脚输出变成高阻抗状态 (低压差稳压源的输出模式), DVDD 引脚的输出电压会与 VDDI 相同 (低压差稳压源的输出模式), VBG 引脚输出变成高阻抗状态 (使能内部带隙基准模式)。 上电后 PD 寄存器的默认值为 1.

12.1.3 基准电压缓冲器

寄存器名称	位位置	位的名称
SYS	- - X - - - -	PD_REFBF

位的名称	描述
PD_REFBF=0	使能基准电压缓冲器, 基准电压进行缓冲。在使用外部基准电压输入的配置下 (REF[1:0]=00), 输入端可接受较大的 RC 源阻抗。例如从外部电阻获取基准输入电压。
PD_REFBF=1	禁用基准电压缓冲器, 基准电压不进行缓冲。在使用外部基准电压输入的配置下 (REF[1:0]=00), 过大的 RC 源阻抗会导致增益误差。

12.1.4 内/外部带隙基准的配置

寄存器名称	位位置	位的名称
SYS	- - - - X - - -	EN_BGR

位的名称	描述
EN_BGR=0	VBG 引脚配置为外部带隙基准电压输入, 禁用内部带隙基准。外部带隙基准电压连接到 VBG 输入引脚上, 外部带隙基准的电压范围不可超过 0.3V~2V。必须禁用 AVDD 或是 DVDD 的低压差稳压源功能。
EN_BGR=1	使能内部带隙基准, VBG 引脚配置为内部带隙基准电压输出。内部带隙基准会与 VBG 引脚相连, 在 VBG 引脚与 VSS 之间要连接一个电容来稳定内部带隙基准电压。 使能 AVDD 或是 DVDD 的低压差稳压源功能之前, 要先使能内部带隙基准。在掉电模式下, VBG 引脚输出变成高阻抗状态。

12.1.5 AVDD 的电源引脚配置

寄存器名称	位位置	位的名称
SYS	- - - - - X X -	SAVDD[1:0]

位的名称	描述
SAVDD[1:0]=00	AVDD 是仿真电源电压输入引脚, AVDD 必须与 VDDI 连接。
SAVDD[1:0]=01	AVDD 可产生一个内部带隙基准电压 2.4 倍 (AVDD=VBG*2.4) 的低压差稳压源, 在 AVDD 与 VSS 之间要连接一个电容来稳定 AVDD 电压。 AVDD 可做为外部传感器的激励电压。 使能低压差稳压源之前, 必须先使能内部带隙基准 (EN_BGR=1)。 在掉电模式下, AVDD 引脚输出变成高阻抗状态。
SAVDD[1:0]=10	AVDD 可产生一个内部带隙基准电压 2.2 倍 (AVDD=VBG*2.2) 的低压差稳压源, 在 AVDD 引脚与 VSS 之间要连接一个电容来稳定 AVDD 电压。 AVDD 可做为外部传感器的激励电压。 使能低压差稳压源之前, 必须先使能内部带隙基准 (EN_BGR=1)。 在掉电模式下, AVDD 引脚输出变成高阻抗状态。
SAVDD[1:0]=11	AVDD 可产生一个内部带隙基准电压 2.0 倍 (AVDD=VBG*2.0) 的低压差稳压源, 在 AVDD 引脚与 VSS 之间要连接一个电容来稳定 AVDD 电压。 AVDD 可做为外部传感器的激励电压。 使能低压差稳压源之前, 必须先使能内部带隙基准 (EN_BGR=1)。 在掉电模式下, AVDD 引脚输出变成高阻抗状态。

12.1.6 SDADC 数据状态

寄存器名称	位位置	位的名称
SYS	- - - - - - X	ADCST

位的名称	描述
ADCST=0	在 SDADC 新的转换结果更新数据寄存器之前的一定时间内, ADCST 位自动清 0, 以告知用户不应读取转换数据。ADCST 是只读位。
ADCST=1	数据写入 SDADC 数据寄存器 (ADOH. ADOM. ADOL) 后此位置 1。ADCST 是只读位。

12.2 ADC1 寄存器

12.2.1 仿真输入信道的配置

寄存器名称	位位置	位的名称
ADC1	XXXX - - - -	MODE[3:0]

位的名称	使能的通道	描述
MODE[3:0]=0000	温度传感器	测量片内温度传感器, 配置为全差分输入以及双极性模式。 $Dout = GAIN * (TPS1 - TPS0) / (REFP - AVSS) * 2^{23}$ 数据以双极性、2 的补码格式输出。
MODE[3:0]=0001	INP1-INN1	将 2 个仿真输入配置为全差分输入, 在全差分模式下, 信号以差分对的负输入为基准(INN)。 $Dout = GAIN * (INP - INN) / (REFP - AVSS) * 2^{23}$ 数据以双极性、2 的补码格式输出。
MODE[3:0]=0010	INP2-INN2	
MODE[3:0]=0011	INP3-INN3	
MODE[3:0]=0100	INP1-ACM	将仿真输入信道配置为伪差分输入, 在伪差分模式下, 信号以 ACM 为基准。 $Dout = GAIN * (INP - ACM) / (REFP - AVSS) * 2^{23}$ 数据以双极性、2 的补码格式输出。 在 VBG=1.25V 的条件下 ACM=0.8V, 外部传感器使用 AVDD 提供的激励电压
MODE[3:0]=0101	INN1-ACM	
MODE[3:0]=0110	INP2-ACM	
MODE[3:0]=0111	INN2-ACM	
MODE[3:0]=1000	INP1-AVSS	将仿真输入信道配置为单端模拟输入以及双极性模式, 在单端模拟模式下, 信号以 AVSS 为基准。 $Dout = GAIN * (INP - AVSS) / (REFP - REFN) * 2^{23}$ 数据以双极性、2 的补码格式输出。
MODE[3:0]=1001	INN1-AVSS	
MODE[3:0]=1010	INP2-AVSS	
MODE[3:0]=1011	INN2-AVSS	

12.2.2 系统零电平校准的配置

寄存器名称	位位置	位的名称
ADC1	- - - - X X - -	INX[1:0]

位的名称	描述
INX[1:0]=00	<p>正常操作配置。ADC1 寄存器位 (MODE[3:0]) 所选择的通道的正输入 (INP 引脚) 连接到 PGA 正输入, 通道的负输入 (INN 引脚) 连接到 PGA 负输入。</p> <p style="text-align: center;">INX[1:0] = 00</p> <p>通道正输入 ———— ● ———— ● ———— + 通道负输入 ———— ● ———— ● ———— - PGA</p>
INX[1:0]=01	<p>从信道负输入进行系统零电平校准。</p> <p>全差分模式下, ADC1 寄存器位 (MODE[3:0]) 所选择的通道的负输入 (INN 引脚) 同时连接到 PGA 的正/负输入上, 用户应将系统零电平输入连接到通道的负输入 (INN 引脚)。</p>

	<p style="text-align: center;">$INX[1:0] = 01$</p> <p>伪差分模式下, 片内 ACM 信号同时连接到 PGA 的正/负输入上。</p> <p style="text-align: center;">$INX[1:0] = 01$</p> <p>单端输入模式下, AVSS 信号同时连接到 PGA 的正/负输入上。</p> <p style="text-align: center;">$INX[1:0] = 01$</p>
$INX[1:0] = 10$	<p>从信道正输入进行系统零电平校准。 全差分模式下, ADC1 寄存器位 (MODE[3:0]) 所选择的通道的正输入 (INP 引脚) 同时连接到 PGA 的正/负输入上, 用户应将系统零电平输入连接到通道的正输入 (INP 引脚)。</p> <p style="text-align: center;">$INX[1:0] = 10$</p> <p>伪差分模式下, ADC1 寄存器位 (MODE[3:0]) 所选择的通道的外部引脚同时连接到 PGA 的正/负输入上, 用户应将系统零电平输入连接到通道的输入引脚。</p> <p style="text-align: center;">$INX[1:0] = 10$</p> <p>单端输入模式下, ADC1 寄存器位 (MODE[3:0]) 选择通道的外部引脚同时连接到 PGA 的正/负输入上, 用户应将系统零电平输入连接到通道的输入引脚。</p> <p style="text-align: center;">$INX[1:0] = 10$</p>

INX[1:0]=11	<p>将信道输入反接后进行系统零电平校准。 全差分模式下, ADC1 寄存器位 (MODE[3:0]) 所选择的通道的负输入 (INN 引脚) 连接到 PGA 正输入, 通道的正输入 (INP 引脚) 连接到 PGA 负输入。</p> <p style="text-align: center;">INX[1:0] = 11</p>
	<p>伪差分模式下, ACM 信号连接到 PGA 的正输入上, ADC1 寄存器位 (MODE[3:0]) 所选择的通道的输入引脚连接到 PGA 负输入。</p> <p style="text-align: center;">INX[1:0] = 11</p>
	<p>单端输入模式下, AVSS 信号连接到 PGA 的正输入上, ADC1 寄存器位 (MODE[3:0]) 所选择的通道的输入引脚连接到 PGA 负输入。</p> <p style="text-align: center;">INX[1:0] = 11</p>

12.2.3 基准电压源的配置

寄存器名称	位位置	位的名称
ADC1	- - - - - X X	REF[1:0]

位的名称	REFP 引脚功能	描述
REF[1:0]=00	外部正基准电压输入	使用外部正基准电压, 可以在 REFP 施加一个外部基准电压, REFP 可位于 0.5V~2.0V 之间。若是从外部电阻获取基准输入电压, 意味着基准电压输入端会有较大的 RC 源阻抗, 建议使能基准电压缓冲 (REF[1:0]=00), 以避免增益误差。
REF[1:0]=01	内部正基准电压输出 (AVDD/3)	使用内部正基准电压, 从 REFP 引脚输出 1/3*AVDD 电压, 用户必须在 REFP 与 VSS 之间加一个电容, 以稳定内部正基准电压。
REF[1:0]=10	内部正基准电压输出 (AVDD/6)	使用内部正基准电压, 从 REFP 引脚输出 1/6*AVDD 电压, 用户必须在 REFP 与 VSS 之间加一个电容, 以稳定内部正基准电压。
REF[1:0]=11	内部正基准电压输出 (AVDD/2)	使用内部正基准电压, 从 REFP 引脚输出 1/2*AVDD 电压, 用户必须在 REFP 与 VSS 之间加一个电容, 以稳定内部正基准电压。

12.3 ADC2 寄存器

12.3.1 PGA 增益选择

寄存器名称	位位置	位的名称
ADC2	- - - X X X -	GAIN[2:0]

位的名称	PGA 增益
GAIN[2:0]=000	1
GAIN[2:0]=001	2
GAIN[2:0]=010	4
GAIN[2:0]=011	8
GAIN[2:0]=100	16
GAIN[2:0]=101	32
GAIN[2:0]=110	64
GAIN[2:0]=111	128

12.4 ADC3 寄存器

12.4.1 使能/禁用片内时钟

寄存器名称	位位置	位的名称
ADC3	- X - - - - -	PD_FIRC

位的名称	描述
PD_FIRC=0	使能 2.6 Mhz 内部时钟。
PD_FIRC=1	禁用 2.6 Mhz 内部时钟。

12.4.2 系统时钟频率分频器

系统时钟频率分频器的输入时钟是 2.6 Mhz 内部时钟, 而输出时钟则是的系统时钟 (ADCCLK)。

F_{OSC} : 2.6 Mhz 内部时钟; F_{ADCCLK} : SDADC 系统时钟的频率

寄存器名称	位位置	位的名称
ADC3	- - X X X - - -	OSCD[2:0]

位的名称	描述
OSCD[2:0]=000	$F_{ADCCLK}=F_{OSC}$
OSCD[2:0]=001	$F_{ADCCLK}=F_{OSC} * 1/2$
OSCD[2:0]=010	$F_{ADCCLK}=F_{OSC} * 1/4$
OSCD[2:0]=011	$F_{ADCCLK}=F_{OSC} * 1/8$
OSCD[2:0]=100	$F_{ADCCLK}=F_{OSC} * 1/16$
OSCD[2:0]=101	$F_{ADCCLK}=F_{OSC} * 1/32$
OSCD[2:0]=110	$F_{ADCCLK}=F_{OSC} * 1/64$
OSCD[2:0]=111	$F_{ADCCLK}=F_{OSC} * 1/128$

12.5 REG4 寄存器

12.5.1 数据就绪输出引脚(CLKOUT)的配置

寄存器名称	位位置	位的名称
REG4	- - - - - X	PINSW

位的名称	描述
PINSW=0	将 CLKOUT 引脚配置为高阻抗。
PINSW=1	将 CLKOUT 引脚配置为数字输出引脚。此引脚输出的上升沿表示新的 SDADC 数据已经更新至 SDADC 数据寄存器。

12.6 REG5 寄存器

12.6.1 DVDD 电源引脚的配置

寄存器名称	位位置	位的名称
REG5	XX- - - - -	SDVDD[1:0]

位的名称	描述
SDVDD[1:0]=00	DVDD 是数字电源电压输入引脚, DVDD 必须与 VDDI 连接。
SDVDD[1:0]=01	DVDD 可产生一个内部带隙基准电压 2.2 倍 (DVDD=VBG*2.2) 的低压差稳压源, 在 DVDD 与 VSS 之间要连接一个电容来稳定 DVDD 电压。 使能低压差稳压源之前, 必须先使能内部带隙基准 (EN_BGR=1)。 在掉电模式下, DVDD 引脚会输出 VDDI 的电压。
SDVDD[1:0]=10	DVDD 可产生一个内部带隙基准电压 2.0 倍 (DVDD=VBG*2.0) 的低压差稳压源, 在 DVDD 与 VSS 之间要连接一个电容来稳定 DVDD 电压。 使能低压差电压调节器之前, 必须先使能内部带隙基准 (EN_BGR=1)。 在掉电模式下, DVDD 引脚会输出 VDDI 的电压。
SDVDD[1:0]=11	DVDD 可产生一个内部带隙基准电压 1.8 倍 (DVDD=VBG*1.8) 的低压差稳压源, 在 DVDD 与 VSS 之间要连接一个电容来稳定 DVDD 电压。 使能低压差电压调节器之前, 必须先使能内部带隙基准 (EN_BGR=1)。 在掉电模式下, DVDD 引脚会输出 VDDI 的电压。

12.6.2 SDADC 过采样率的选择

寄存器名称	位位置	位的名称
REG5	- - - - - X X	OSR[1:0]

位的名称	描述
OSR[1:0]=00	以 8192 为过采样率。 SDADC 的转换速率= $F_{ADCCLK}/8192$
OSR[1:0]=01	以 4092 为过采样率。 SDADC 的转换速率= $F_{ADCCLK}/4092$
OSR[1:0]=10	以 2048 为过采样率。 SDADC 的转换速率= $F_{ADCCLK}/2048$
OSR[1:0]=11	以 1024 为过采样率。 SDADC 的转换速率= $F_{ADCCLK}/1024$

12.7 REG6 寄存器

12.7.1 使能/禁用片内可编程增益放大器 (PGA)

寄存器名称	位位置	位的名称
REG6	- - X - - - -	PD_INBF

位的名称	描述
PD_INBF = 0	使能 PGA。模拟输入先经过 PGA 缓冲/放大之后再进入 SDADC 进行转换。
PD_INBF = 1	禁用 PGA。模拟输入不经过 PGA, 直接进入 SDADC 进行转换。

12.7.2 调整器件整体功耗

该芯片可以利用寄存器的设置来调整器件整体功耗, 以达到省电的需求。但是器件的功耗大小会直接影响 PGA 以及 SDADC 的特性。一般来说, 较低的功耗会使得 PGA 以及 SDADC 的效能变差。用户在设置此寄存器时必须评估功耗与性能之间的平衡。

寄存器名称	位位置	位的名称
REG6	- - - X X - - -	IBIAS[1:0]

位的名称	描述
IBIAS[1:0]=00	器件使用 2 倍的基准电流值操作。
IBIAS[1:0]=01	器件使用典型的基准电流值操作, 规格书上的参数都是以这个电流值测量获得。上电后的默认值。
IBIAS[1:0]=10	器件使用 1/3 的基准电流值操作。
IBIAS[1:0]=11	器件使用 1/6 的基准电流值操作。

12.8 SDADC 数据寄存器

12.8.1 数据寄存器

寄存器名称	位位置	位的名称
ADOH	X X X X X X X X	DOUT[23:16]
ADOM	X X X X X X X X	DOUT[15:8]
ADOL	X X X X X X X X	DOUT[7:0]

位的名称	描述
DOUT[23:0]	此数据寄存器储存 SDADC 的转换结果, DOUT[23] 是 MSB 且为符号位。它是一个 24 位只读寄存器。 在寄存器 ADCST 置 1 或是 CLKOUT 引脚输出上升沿, 表示新的 SDADC 转换数据已经更新到数据寄存器。

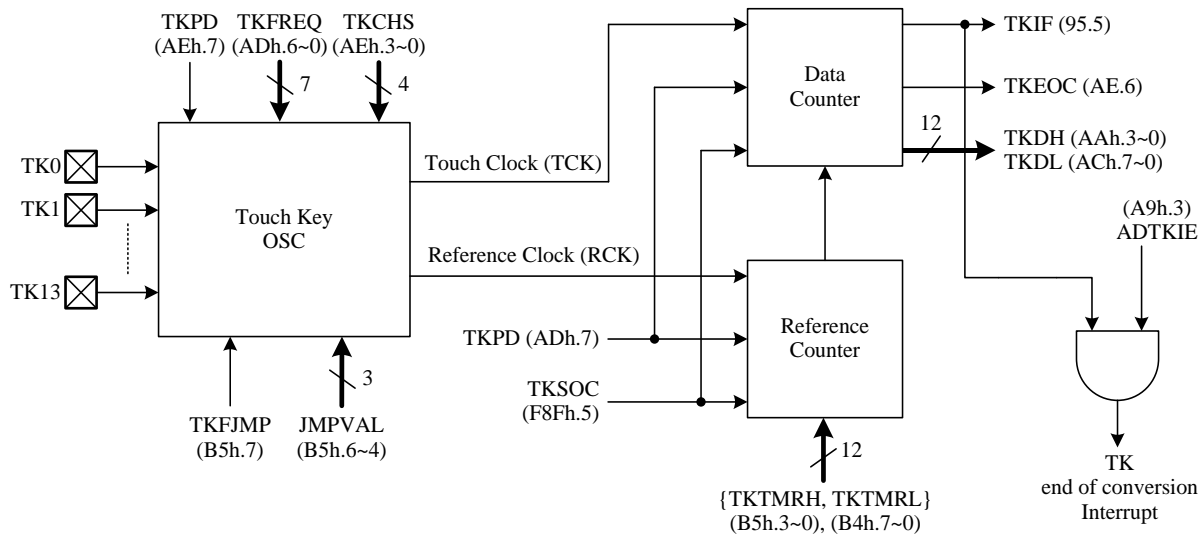
13. 触摸按键

FE8976 提供了一个实现手指触摸检测方便, 简单而可靠的触摸按键模式。该设备支持 13 个通道触摸按键检测。

要正确使用触摸按键, 用户必须设置引脚模式如下表所示。TK 引脚扫描与闲置时触摸按键设为模式 2, 可使引脚 CMOS 推挽输出高或输出低以减少各键的相互干扰。

触摸按键 P1MOD _x /P3MOD _x 设置	TK0~ TK8, TK10~TK13
引脚是触摸按键, 闲置	驱动低(模式 2)
引脚是触摸按键, 扫描	

触摸按键有两个振荡器：参考时钟（RCK）和触摸时钟（TCK）。它们分别连接到参考计数器和数据计数器。可以通过设置 TKFREQ，来调整 RCK 的频率。参考计数器用于控制转换时间。从开始触摸按键转换到结束，通过设置 TKTMR 决定需要多少个 RCK 振荡周期(0 到 4096)。转换结束后，用户可以从数据计数器获取 TKDATA（TKDH, TKDL）。TKDATA 受手指触摸影响, 当手指触摸让 TCK 变慢时, TKDATA 的值小于无手指触摸的值。根据 TKDATA 的不同, 用户可以检查是否被触摸。另一方面, 藉由设置 TKFJMP=1, 由内部硬件自动调变 TCK 频率, 可以有效提升触摸按键的亢干扰特性。若设置 TKFJMP=0, 用户则可以手动透过 JMPVAL 去调变 TCK 频率。



触摸按键结构

启动扫描时, 使用者先设置 TKPD = 0, 然后将 TKSOC 设置为 1 开始触摸按键转换, TKSOC 位可在转换结束时自动清零。但是, 如果 SYSCLK 太慢, 由于时钟采样率, H / W 可能无法清除 TKSOC。TKEOC = 0 表示转换正在进行中。TKEOC = 1 表示转换完成, 触摸按键计数结果存储在 12 位 TK 数据计数器 TKDH 和 TKDL 中。TKIF 将在第一次启用触摸按键功能 (TKPD = 0) 时激活, 用户应在 TKPD=0 后清除 TKIF。

触摸按键单元内部有一个内置的参考电容来模拟键的行为。设置 TKCHS=15, 系统会强制切选为内置参考电容, 并开始触摸按键转换可以得到这个参考电容的 TKDATA。因为内部电容从未受水或手机影响, 用于比较环境背景噪音非常有用。

当 TKPD=0 时，且在 TKCHS 设定后，触摸按键模块即通过 TKCHS 之选择与 I/O 口连接。如果该 I/O 口是做为其他用途使用，功能必定被影响。因此平时触摸按键未使用时，建议设定 TKPD=1，以断开触摸按键模块与 I/O 口之连接。

◇ Example:

```

MOV      TKCON,#000h      ; TKPD=0, TKCHS=0 (select TK0)

MOV      TKFREQ,#040h     ; Set an appropriate value for TK scanning

MOV      TKCON2,#084h     ; TKFJMP=1
MOV      TKTMR,#000h     ; TKTMR=400h

MOV      INTFLG,#11011111b ; clear TKIF
ORL      INTE1,#008h
ORL      IE,#080h

SETB     TKSOC
    
```

SFR 95h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
INTFLG	–	–	TKIF	ADIF	–	IE2	P1IF	TF3
R/W	–	–	R/W	R/W	–	R/W	R/W	R/W
Reset	–	–	0	0	–	0	0	0

95h.5 **TKIF**: 触摸按键中断标志

如果 SYSCLK 足够快，则在触摸按键转换结束时通过 H/W 设置。S/W 将 DFh 写入 INTFLG 或将 TKSOC 位置 1 以清除该标志。

SFR AAh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
ADTKDT	ADCDL				TKDH			
R/W	R				R			
Reset	–	–	–	–	–	–	–	–

AAh.3~0 **TKDH**: 触摸按键计数器数据位 10~8

SFR ACh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKDL	TKDL							
R/W	R							
Reset	–	–	–	–	–	–	–	–

ACh.7~0 **TKDL**: 触摸按键计数器数据位 7~0

SFR ADh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKFREQ	–	TKFREQ						
R/W	–	R/W						
Reset	–	1	0	0	0	0	0	0

ADh.6~0 **TKFREQ**: 触摸按键振荡电容调整

00: TKDATA 最小

...

7F: TKDATA 最大

注意: FW 设置 TKFREQ 须满足以下要求。

如果 JMPVAL = 000: TKDATA 接近 $1.81 * TKTMR$

如果 JMPVAL = 111: TKDATA 接近 $1.65 * TKTMR$

SFR AEh	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKCON	TKPD	TKEOC	–	–	TKCHS			
R/W	R/W	R	–	–	R/W			
Reset	1	0	–	–	1	1	1	1

AEh.7 **TKPD**: 触摸按键停止

- 0: 触摸按键启用
- 1: 触摸按键禁用

AEh.6 **TKEOC**: 触摸按键转换结束标志, TKEOC 在 TKSOC = 1 后可能有 3uS 延迟, 因此 F/W 必须等待足够的时间才能轮询此标志

- 0: 表示转换正在进行中
- 1: 表示转换已完成

AEh.3~0 **TKCHS**: 触摸按键通道选择

- 0000: TK0 (P3.3)
- 0001: TK1 (P3.2)
- 0010: TK2 (P3.1)
- 0011: TK3 (P3.0)
- 0100: TK4 (P1.0)
- 0101: TK5 (P1.1)
- 0110: TK6 (P1.2)
- 0111: TK7 (P1.3)
- 1000: TK8 (P1.4)
- 1001: Reserved
- 1010: TK10 (P0.4)
- 1011: TK11 (P0.5)
- 1100: TK12 (P0.6)
- 1101: TK13 (P3.4)
- 1110: TK14 (P1.5)
- 1111: 内部参考键

SFR B4h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKTMRL	TKTMRL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

B4h.7~0 **TKTMRL**: 触摸按键参考计数器 LSB [7~0]

SFR B5h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
TKCON2	TKFJMP	JMPVAL			TKTMRH			
R/W	R/W	R/W			R/W			
Reset	0	1	0	0	0	0	0	0

B5h.7 **TKFJMP**: 触摸按键时钟自动频率选择

- 0: 固定频率
- 1: 自动调变

B5h.6~4 **JMPVAL**: 触摸按键时钟频率微调 (仅在 **TKFJMP = 0** 时可用)

- 000: 频率慢
- 001~110: 无效
- 111: 频率快

B5h.3~0 **TKTMRH**: 触摸按键参考计数器 MSB[11~8]

SFR F8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	T2SEL	T1SEL	DPSEL
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Reset	0	0	0	0	0	0	0	0

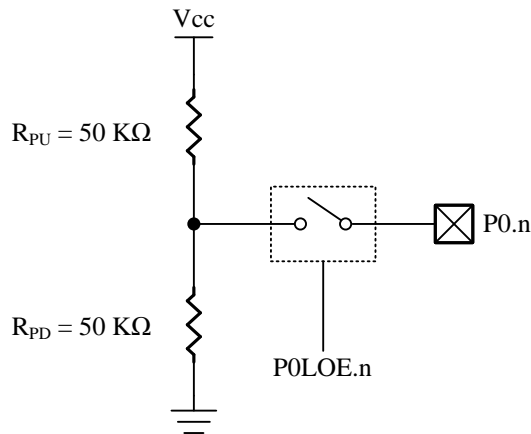
F8h.5 **TKSOC**: 触摸按键转换开始

设置1以开始触摸按键转换。如果SYSCLK足够快，则在转换结束时，该位将由H/W清零。S/W也可以写0来清除此标志。

注: 有关触摸按键中断启用和优先级的更多信息，另请参阅第 6 节

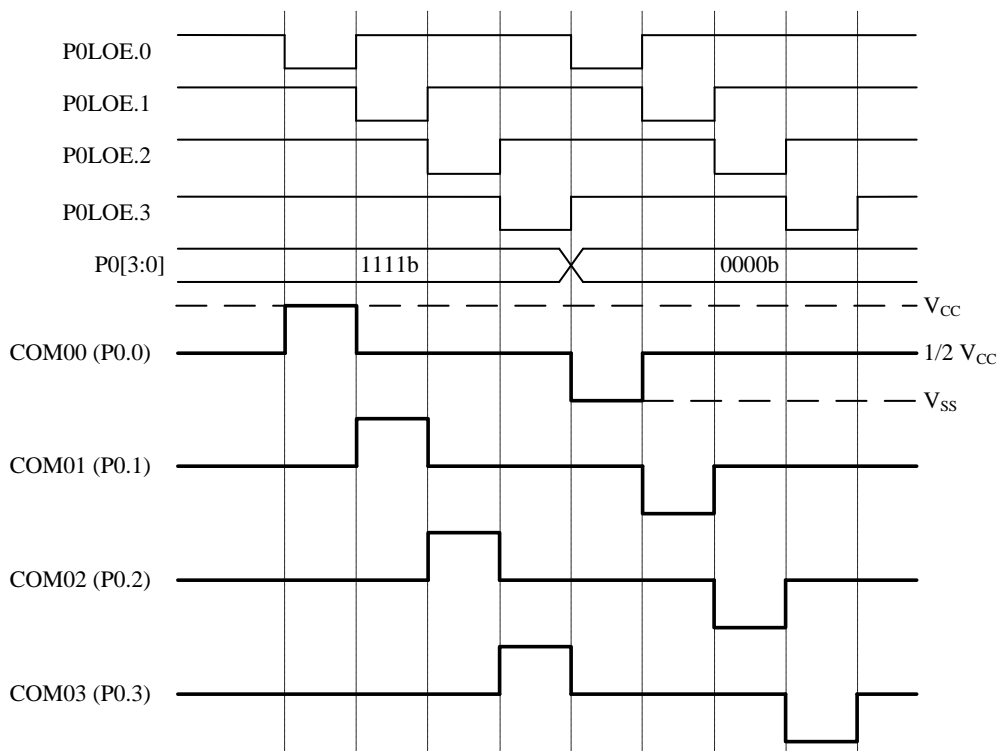
14. S/W 控制的 LCD 驱动器

FE8976 支持由 S/W 控制的 LCD 驱动器。所有的 I/O 引脚都能够设置为 COM，用户可以灵活调整 COM 引脚和 SEG 引脚，通过 11 个 Commons (COM) 和 12 个 Segments (SEG) 驱动 (最大) 132 点的 LCD 面板。P0.0~P0.7 可设置为 COM00~COM07。P1.0~P1.4 可设置为 COM10~COM14。P2.0~P2.1 可设置为 COM20~COM21。P3.0~P3.7 可设置为 COM30~COM37。而剩余的引脚用来当做 SEG。**FE8976** 的 LCD 驱动器仅能驱动 1/2 偏压, 透过设置相应的寄存器 P0LOE, P1LOE, P2LOE 或 P3LOE 达成。请参考下图。



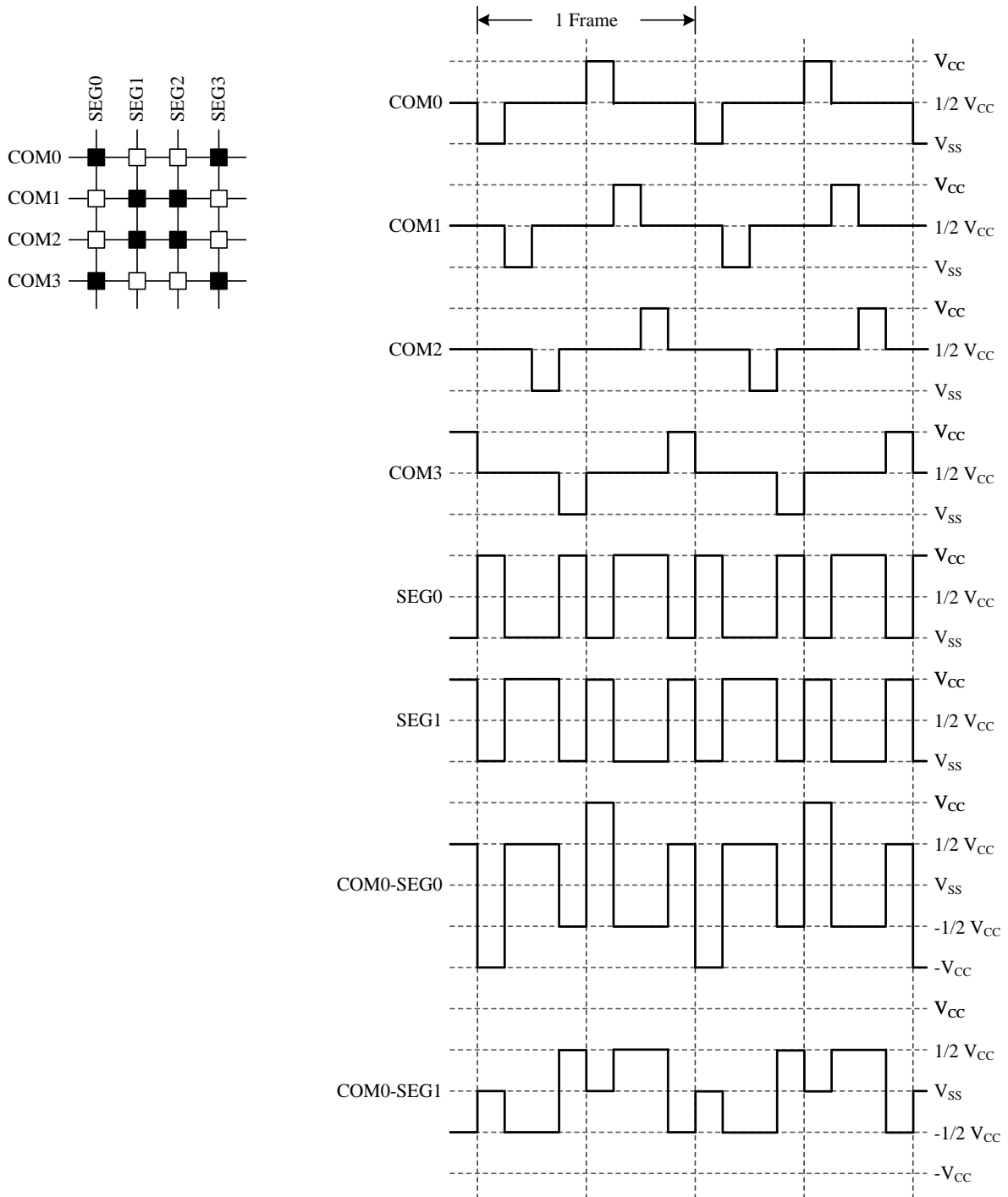
LCD COM00~07 偏压电路

任何 COM 引脚上的重复波形输出的频率可以用来表示 LCD 的帧速率。下图显示了一个 LCD 帧。



S/W 控制的 LCD COM00~03 扫描

1/4 占空比, 1/2 偏压输出波形



SFR 92h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P0LOE	P0LOE							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

92h.7~0 **P0LOE**:P0.7~P0.0 LCD 1/2 偏压输出使能控制
 0:关闭
 1:开启

SFR D1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P1LOE	–	–	–	P1LOE				
R/W	–	–	–	R/W				
Reset	0	0	0	0	0	0	0	0

D1h.7~0 **P1LOE**:P1.7~P1.0 LCD 1/2 偏压输出使能控制
 0:关闭
 1:开启

SFR D2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P2LOE	–	–	–	–	–	–	P2LOE	
R/W	–	–	–	–	–	–	R/W	
Reset	–	–	–	–	–	–	0	0

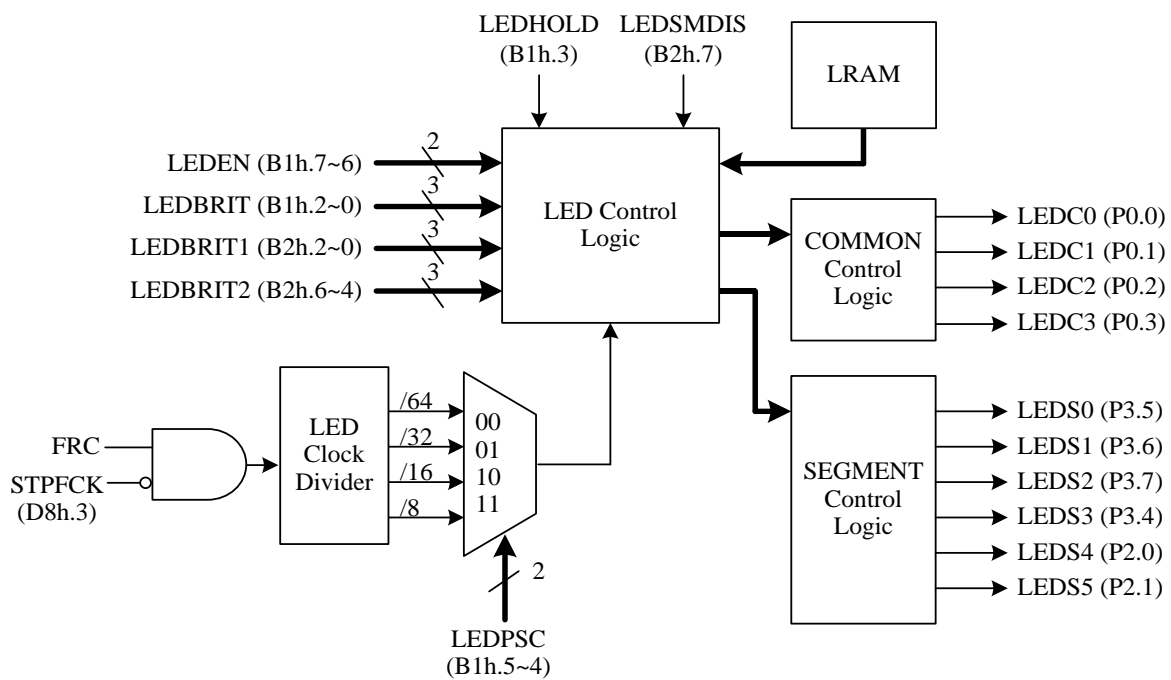
D2h.7~0 **P2LOE**:P2.1~P2.0 LCD 1/2 偏压输出使能控制
 0:关闭
 1:开启

SFR D3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
P3LOE	P3LOE							
R/W	R/W							
Reset	0	0	0	0	0	0	0	0

D3h.7~0 **P3LOE**:P3.7~P3.0 LCD 1/2 偏压输出使能控制
 0:关闭
 1:开启

15. LED 控制器/驱动器

FE8976 采用矩阵式正反扫描 LED 控制器和驱动器。比起传统 LED 扫描，矩阵式正反扫描使用相同数量引脚能驱动较多的像素点。而 **FE8976** 提供了最多 10 根引脚 (LEDC0~C3, LEDS0~S5) 可共同驱动一个 48 像素 LED 模块，且这 10 根引脚皆有较高的灌电流，可直接驱动 LED。此外，LED 控制器有三组 8 段不同亮度可弹性选择。通过设置 LEDSMDIS=0，可以使亮度更均匀。为了避免 COM 信号变化时，造成 LED 的闪烁，**FE8976** 的 LED SEG 信号有死区时间。在死区时间内，SEG 引脚将输出短暂不活动的信号，而不是立即改变信号。要开始 LED 扫描，只需要设置 LEDEN，接着 H/W 将会自动的控制引脚的状态。还可通过设置 LEDHOLD 提供扫描暂停功能。



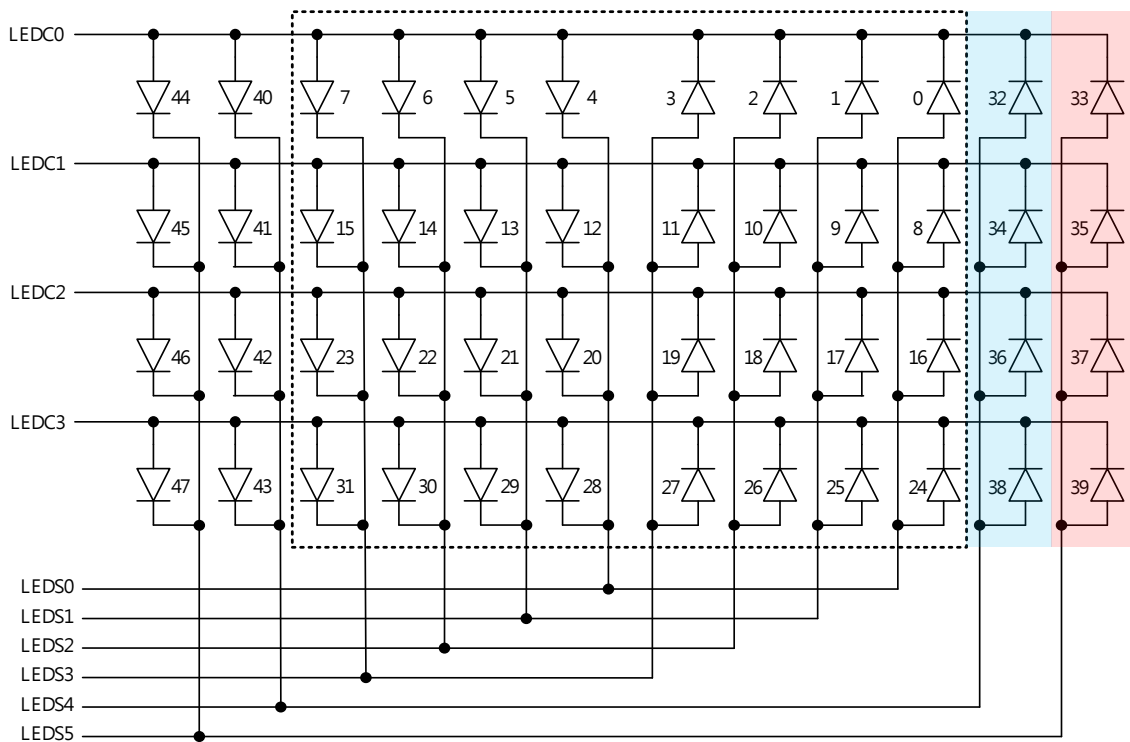
LEDEN	占空比	矩阵选择	最大驱动像素点
0	Disable	-	-
1	1/8	4COM x 4SEG	32 (4x4x2)
2	1/9	4COM x 5SEG	40 (4x5x2)
3	1/10	4COM x 6SEG	48 (4x6x2)

LRAM (外部数据存储)

Addr.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
F000h	SEG3-COM0+	SEG2-COM0+	SEG1-COM0+	SEG0-COM0+	COM0-SEG3+	COM0-SEG2+	COM0-SEG1+	COM0-SEG0+
F001h	SEG3-COM1+	SEG2-COM1+	SEG1-COM1+	SEG0-COM1+	COM1-SEG3+	COM1-SEG2+	COM1-SEG1+	COM1-SEG0+
F002h	SEG3-COM2+	SEG2-COM2+	SEG1-COM2+	SEG0-COM2+	COM2-SEG3+	COM2-SEG2+	COM2-SEG1+	COM2-SEG0+
F003h	SEG3-COM3+	SEG2-COM3+	SEG1-COM3+	SEG0-COM3+	COM3-SEG3+	COM3-SEG2+	COM3-SEG1+	COM3-SEG0+
F004h	COM3-SEG5+	COM3-SEG4+	COM2-SEG5+	COM2-SEG4+	COM1-SEG5+	COM1-SEG4+	COM0-SEG5+	COM0-SEG4+
F005h	SEG5-COM3+	SEG5-COM2+	SEG5-COM1+	SEG5-COM0+	SEG4-COM3+	SEG4-COM2+	SEG4-COM1+	SEG4-COM0+

Addr.	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
F000h	7	6	5	4	3	2	1	0
F001h	15	14	13	12	11	10	9	8
F002h	23	22	21	20	19	18	17	16
F003h	31	30	29	28	27	26	25	24
F004h	39	38	37	36	35	34	33	32
F005h	47	46	45	44	43	42	41	40

LED 正反扫模式对应 LRAM 显示配置表



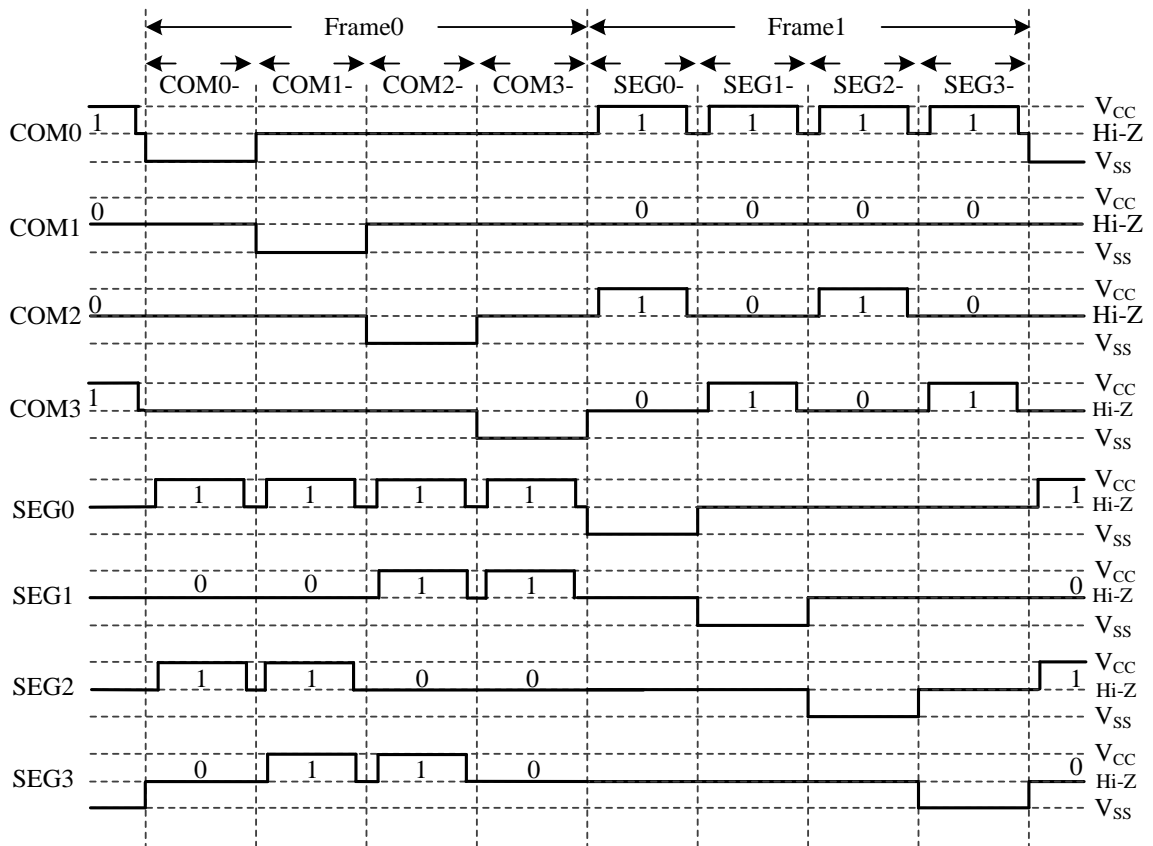
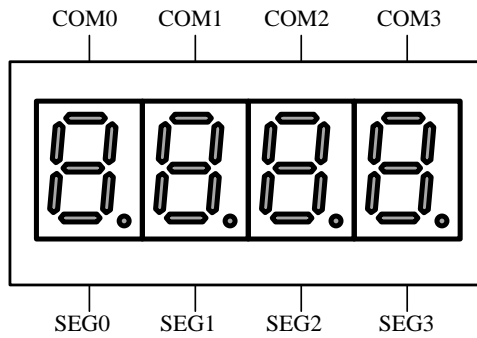
LED 4COM x 6SEG 正反扫模式对应像素点

注: LED 像素点 0~31, 40~47 的亮度由 LEDBRIT (B1h.2~0) 控制。

LED 像素点 32, 34, 36, 38 的亮度由 LEDBRIT1 (B2h.2~0) 控制。

LED 像素点 33, 35, 37, 39 的亮度由 LEDBRIT2 (B2h.6~4) 控制。

应用电路：4COM x 4SEG (1/8 占空比)



◇ Example:

```

MOV     DPTR, #0F000h    ; LEDRAM0
MOV     A, #0FFh
MOVX   @DPTR, A         ; F000h = FFh

MOV     LEDCON, #056h    ; LED duty = 1/8
                          ; LEDPSC = FRC/32
                          ; Brightness=6
    
```

SFR B1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCON	LEDEN		LEDPSC		LEDHOLD	LEDBRIT		
R/W	R/W		R/W		R/W	R/W		
Reset	0	0	0	0	0	1	0	0

B1h.7~6 **LEDEN**: LED使能及占空比选择

00: LED关闭

01: LED选择1/8占空比(4COM x 4SEG)

10: LED选择1/9占空比(4COM x 5SEG)

11: LED选择1/10占空比(4COM x 6SEG)

B1h.5~4 **LEDPSC**: LED 时钟频率选择

00: LED 时钟选择 FRC 除以 64

01: LED 时钟选择 FRC 除以 32

10: LED 时钟选择 FRC 除以 16

11: LED 时钟选择 FRC 除以 8

B1h.3 **LEDHOLD**: LED 暂停功能

0: 释放以运行 LED 扫描

1: 暂停 LED 扫描, 所有 LED 引脚状态均为 Hi-Z

B1h.2~0 **LEDBRIT**: LED COM0+ ~ COM3+ 及 SEG0+ ~ SEG3+ (LED 像素点 0~31, 40~47) 亮度选择

000: 0 级(最暗)

...

111: 7 级(最亮)

SFR B2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LEDCON2	LEDSMDIS	LEDBRIT2			-	LEDBRIT1		
R/W	R/W	R/W			-	R/W		
Reset	0	1	0	0	-	1	0	0

B2h.7 **LEDSMDIS**: LED 亮度均匀关闭控制

0: 亮度均匀使能

1: 亮度均匀关闭

B2h.6~4 **LEDBRIT2**: LED SEG5+ (LED 像素点 33, 35, 37, 39) 亮度选择

000: 0 级(最暗)

...

111: 7 级(最亮)

B2h.2~0 **LEDBRIT1**: LED SEG4+ (LED 像素点 32, 34, 36, 38) 亮度选择

000: 0 级(最暗)

...

111: 7 级(最亮)

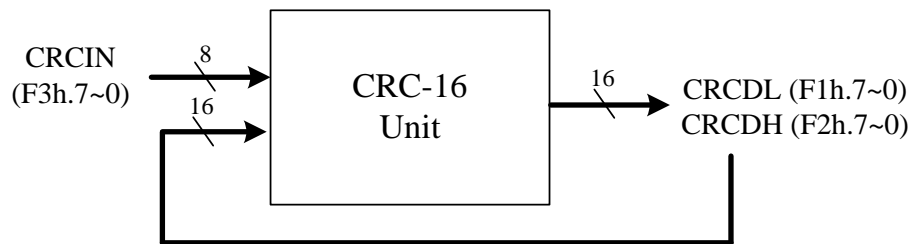
SFR D8h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CLKCON	SCKTYPE	FCKTYPE	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
Reset	0	0	1	0	0	0	1	1

D8h.3 **STPFCK**: 设为 1, 停止快时钟以节省慢钟/空闲模式的电力。

该位只能在慢钟模式时改变。

16. 循环冗余校验码(CRC)

此芯片支援 16 位的循环冗余校验功能。循环冗余校验 (CRC) 计算单元是一种错误检测技术测试算法，用于验证数据传输或存储数据的正确性。CRC 计算采用 8 位数据流或数据块作为输入，并产生 16 位输出余数。数据流由同一生成多项式计算。



CRC 框图

CRC 生成器提供了基于 CRC-16-IBM 多项式的 16 位 CRC 结果计算。在这个 CRC 生成器中，只有一个多项式(如下)可用于数值计算，它不支持其他任何多项式的 16 位 CRC 计算。对 CRCIN 寄存器的每次写入操作，将被创建存储在 CRCDH 和 CRCDL 寄存器中的前一个 CRC 值的组合中，这将需要一个 MCU 指令周期来计算。

IBM 的 CRC-16 多项式表示 (Modbus) : $X^{16} + X^{15} + X^2 + 1$

SFR F1h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCDL	CRCDL							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

F1h.7~0 **CRCDL**: 16 位 CRC 校验和数据位 7~0

SFR F2h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCDH	CRCDH							
R/W	R/W							
Reset	1	1	1	1	1	1	1	1

F2h.7~0 **CRCDH**: 16 位 CRC 校验和数据位 15~8

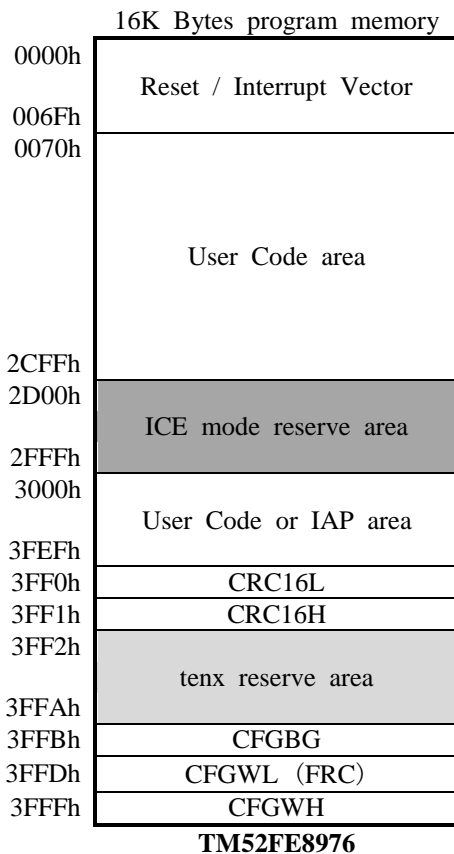
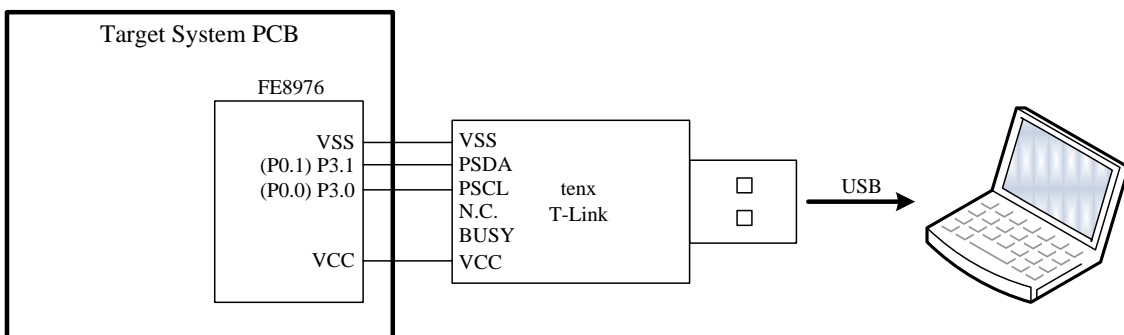
SFR F3h	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
CRCIN	CRCIN							
W	W							
Reset	-	-	-	-	-	-	-	-

F3h.7~0 **CRCIN**: CRC 输入数据寄存器

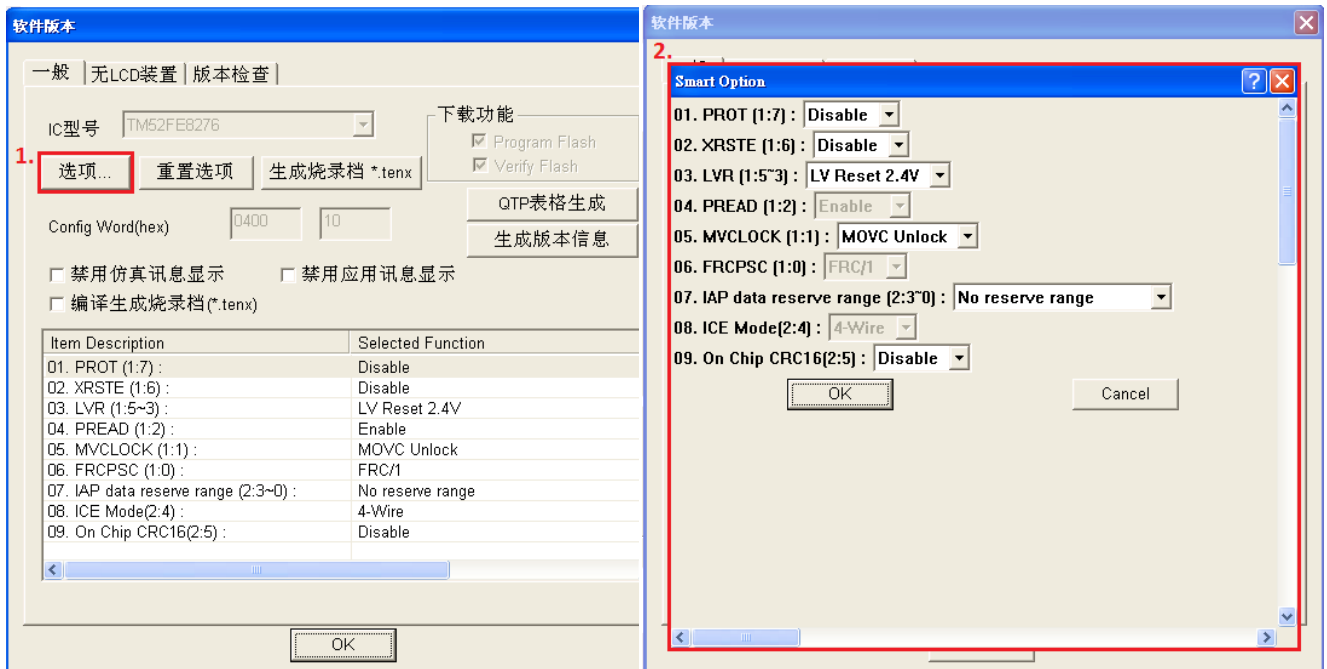
17. 在线仿真器 (ICE) 模式

本装置可以支持在线仿真模式。要使用 ICE 模式, 用户只需要将 P3.0 和 P3.1 引脚连接至 tenx 专用的 EV 模块。这样做的好处是, 用户可以在不改变电路板的目标设备上模拟整个系统。但 ICE 模式也有一些限制, 如下所列。

1. 该设备必须取消保护。
2. P3.0 和 P3.1 引脚必须工作在输入模式 (P3MOD0 = 0/1 和 P3MOD1 = 0/1)。
3. 程序存储器的寻址空间 2D00h~2FFFh 和 0033h~003Ah 由 tenx EV 模块占用。因此, 用户程序无法存取这些空间。
4. P3.0 和 P3.1 引脚的功能无法模拟。
5. P3.0 和 P3.1 引脚可以由 P0.0 和 P0.1 引脚取代。



ICE 工具选项设置简介:



No.	项目	描述
01	PROT	Enable: 闪存代码受保护, 烧录器无法访问 ROM 代码 Disable: 闪存代码不受保护, 烧录器可以访问 ROM 代码 (默认)
02	XRSTE	Enable: P3.7 选择为外部复位引脚 Disable: P3.7 选择常规 I/O 引脚 (默认)
03	LVRE	LV Reset 3.2V: LVR选择3.2V LV Reset 2.9V: LVR选择2.9V LV Reset 2.7V: LVR选择2.7V LV Reset 2.4V: LVR选择2.4V (默认)
04	PREAD	保留
05	MVCLOCK	MOVX Lock: MOVX和MOVW指令对MOVX-Lock区域的访问权限受到限制。 MOVX Unlock: MOVX和MOVW指令对MOVX-Lock区域的访问权限不受限制。(默认)
06	FRCPSC	保留
07	IAP data reserve range	No reserve range: 不提供ROM范围供IAP数据使用 (默认) 16 bytes [3FE0~3FEF]: 保留16字节ROM范围供IAP数据使用 48 bytes [3FC0~3FEF]: 保留48字节ROM范围供IAP数据使用 240 bytes [3F00~3FEF]: 保留240字节ROM范围供IAP数据使用 496 bytes [3E00~3FEF]: 保留496字节ROM范围供IAP数据使用 1008 bytes [3C00~3FEF]: 保留1008字节ROM范围供IAP数据使用 2032 bytes [3800~3FEF]: 保留2032字节ROM范围供IAP数据使用 4080 bytes [3000~3FEF]: 保留4080字节ROM范围供IAP数据使用
08	ICE Mode	保留
09	On Chip CRC16	Enable: 启用芯片上的循环校验 CRC-16功能 Disable: 禁用芯片上循环校验 CRC16功能 (默认)

SFR & CFGW 映像

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
80h	0000-0000	P0	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
81h	0000-0111	SP	SP							
82h	0000-0000	DPL	DPL							
83h	0000-0000	DPH	DPH							
87h	0xxx-0000	PCON	SMOD	-	-	-	GF1	GF0	PD	IDL
88h	0000-0000	TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
89h	0000-0000	TMOD	GATE1	CT1N	TMOD1		GATE0	CT0N	TMOD0	
8Ah	0000-0000	TL0	TL0							
8Bh	0000-0000	TL1	TL1							
8Ch	0000-0000	TH0	TH0							
8Dh	0000-0000	TH1	TH1							
90h	1111-1111	P1	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
91h	0000-0000	POOE	POOE							
92h	0000-0000	POLOE	POLOE							
93h	xxxx-0101	P2MOD	-	-	-	-	P2MOD1		P2MOD0	
94h	0x00-00xx	OPTION	UART1W	-	WDTPSC		ADCKS		-	-
95h	xx00-x000	INTFLG	-	-	TKIF	ADIF	-	IE2	P1IF	TF3
96h	0000-0000	P1WKUP	-	-	-	P1WKUP				
97h	xxxx-xx00	SWCMD	IAPALL / SWRST / WDTO							
98h	0000-0000	SCON	SM0	SM1	SM2	REN	TB8	RB8	TI	RI
99h	xxxx-xxxx	SBUF	SBUF							
9Ah	1111-1111	PWM0PRD	PWM0PRD							
9Bh	1000-0000	PWM0DH	PWM0DH							
9Ch	1111-1111	PWM1PRD	PWM1PRD							
9Dh	1000-0000	PWM1DH	PWM1DH							
A0h	1111-1111	P2	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
A1h	1000-1000	PWMCON	PWM1CKS		PWM1DL		PWM0CKS		PWM0DL	
A2h	0101-0101	P1MODL	P1MOD3		P1MOD2		P1MOD1		P1MOD0	
A3h	0101-0101	P1MODH	-	-	-	-	-	-	P1MOD4	
A4h	0101-0101	P3MODL	P3MOD3		P3MOD2		P3MOD1		P3MOD0	
A5h	0101-0101	P3MODH	P3MOD7		P3MOD6		P3MOD5		P3MOD4	
A6h	0000-xxx0	PINMOD	PWM1OE	PWM0OE	TCOE	T2OE	-	-	-	T0OE
A8h	0x00-0000	IE	EA	-	ET2	ES	ET1	EX1	ET0	EX0
A9h	xx00-0000	INTE1	-	-	-	-	ADTKIE	EX2	P1IE	TM3IE
AAh	xxxx-xxxx	ADTKDT	ADC DL				TKD H			
ABh	xxxx-xxxx	ADC DH	ADC DH							
ACH	xxxx-xxxx	TKDL	TKDL							
ADh	x100-0000	TKFREQ	-	TKFREQ						
AEh	1xxx-1111	TKCON	TKPD	TKEOC	-	-	TKCHS			
AFh	0000-xxxx	P0ADIE	P0ADIE				-	-	-	-
B0h	1111-1111	P3	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
B1h	0000-0100	LEDCON	LEDEN		LEDPSC		LEDHOLD	LEDBRIT		
B2h	0100-x100	LEDCON2	LEDSMDIS	LEDBRIT2			-	LEDBRIT1		
B4h	1111-1111	TKTMRL	TKTMRL							
B5h	0100-0000	TKCON2	TKFJMP	JMPVAL			TKTMRH			
B6h	xxxx-1111	ADCHS	-	-	-	-	ADCHS			
B8h	xx00-0000	IP	-	-	PT2	PS	PT1	PX1	PT0	PX0
B9h	xx00-0000	IPH	-	-	PT2H	PSH	PT1H	PX1H	PT0H	PX0H
BAh	xx00-0000	IP1	-	-	-	-	PADTKI	PX2	PP1	PT3
BBh	xx00-0000	IPH	-	-	-	-	PADTKIH	PX2H	PP1H	PT3H
C8h	0000-0000	T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2N	CPRL2N
C9h	000x-xxxx	IAPWE	IAPWE / IAPTO / EEPWE							
CAh	0000-0000	RCP2L	RCP2L							
CBh	0000-0000	RCP2H	RCP2H							
CCh	0000-0000	TL2	TL2							
CDh	0000-0000	TH2	TH2							

Adr	RST	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
D0h	0000-0000	PSW	CY	AC	F0	RS1	RS0	OV	F1	P
D1h	0000-0000	PILOE	-	-	-	PILOE				
D2h	xxxx-xx00	P2LOE	-	-	-	-	-	-	P2LOE	
D3h	0000-0000	P3LOE	P3LOE							
D8h	0010-0011	CLKCON	SCKTYPE	FCKTYPE	STPSCK	STPPCK	STPFCK	SELFCK	CLKPSC	
E0h	0000-0000	ACC	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
EFh	xx00-0000	AUX3	-	-	TM3PSC			VBGEN	-	ADCVREFS
F0h	0000-0000	B	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
F1h	1111-1111	CRCDL	CRCDL							
F2h	1111-1111	CRCDH	CRCDH							
F3h	0000-0000	CRCIN	CRCIN							
F5h	xxxx-xxxx	CFGBG	-	-	-	-	BGTRIM			
F6h	xxxx-xxxx	CFGWL	-	FRCF						
F7h	0000-0110	AUX2	WDTE		PWRSVAV	VBGOUT	-	IAPTE		LVRPD
F8h	0000-0000	AUX1	CLRWDT	CLRTM3	TKSOC	ADSOC	CLRPWM0	T2SEL	T1SEL	DPSEL

Flash Address	NAME	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
3FFBh	CFGBG	-	-	-	-	BGTRIM			
3FFDh	CFGWL	-	FRCF						
3FFFh	CFGWH	PROT	XRSTE	-	LVRE		PREAD	MVCLOCK	FRCPCSC

SFR & CFGW 说明

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
80h	P0	7~0	P0	R/W	00h	Port0 has no pin out, so P0 is used as general purpose register
81h	SP	7~0	SP	R/W	07h	Stack Point
82h	DPL	7~0	DPL	R/W	00h	Data Point low byte
83h	DPH	7~0	DPH	R/W	00h	Data Point high byte
87h	PCON	7	SMOD	R/W	0	Set 1 to enable UART double baud rate
		3	GF1	R/W	0	General purpose flag bit
		2	GF0	R/W	0	General purpose flag bit
		1	PD	R/W	0	Power down control bit, set 1 to enter STOP mode
		0	IDL	R/W	0	Idle control bit, set 1 to enter IDLE mode
88h	TCON	7	TF1	R/W	0	Timer1 overflow flag Set by H/W when Timer/Counter 1 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		6	TR1	R/W	0	Timer1 run control. 1: timer runs; 0: timer stops
		5	TF0	R/W	0	Timer0 overflow flag Set by H/W when Timer/Counter 0 overflows. Cleared by H/W when CPU vectors into the interrupt service routine.
		4	TR0	R/W	0	Timer0 run control. 1:timer runs; 0:timer stops
		3	IE1	R/W	0	External Interrupt 1 (INT1 pin) edge flag Set by H/W when an INT1 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		2	IT1	R/W	0	External Interrupt 1 control bit 0: Low level active (level triggered) for INT1 pin 1: Falling edge active (edge triggered) for INT1 pin
		1	IE0	R/W	0	External Interrupt 0 (INT0 pin) edge flag Set by H/W when an INT0 pin falling edge is detected. Cleared by H/W when CPU vectors into the interrupt service routine.
		0	IT0	R/W	0	External Interrupt 0 control bit 0: Low level active (level triggered) for INT0 pin 1: Falling edge active (edge triggered) for INT0 pin
89h	TMOD	7	GATE1	R/W	0	Timer1 gating control bit 0: Timer1 enable when TR1 bit is set 1: Timer1 enable only while the INT1 pin is high and TR1 bit is set
		6	CT1N	R/W	0	Timer1 Counter/Timer select bit 0: Timer mode, Timer1 data increases at 2 System clock cycle rate 1: Counter mode, Timer1 data increases at T1 pin's negative edge
		5~4	TMOD1	R/W	00	Timer1 mode select 00: 8-bit timer/counter (TH1) and 5-bit prescaler (TL1) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL1). Reloaded from TH1 at overflow. 11: Timer1 stops
		3	GATE0	R/W	0	Timer0 gating control bit 0: Timer0 enable when TR0 bit is set 1: Timer0 enable only while the INT0 pin is high and TR0 bit is set
		2	CT0N	R/W	0	Timer0 Counter/Timer select bit 0: Timer mode, Timer0 data increases at 2 System clock cycle rate 1: Counter mode, Timer0 data increases at T0 pin's negative edge
		1~0	TMOD0	R/W	00	Timer0 mode select 00: 8-bit timer/counter (TH0) and 5-bit prescaler (TL0) 01: 16-bit timer/counter 10: 8-bit auto-reload timer/counter (TL0). Reloaded from TH0 at overflow. 11: TL0 is an 8-bit timer/counter. TH0 is an 8-bit timer/counter using Timer1's TR1 and TF1 bits.
		8Ah	TL0	7~0	TL0	R/W
8Bh	TL1	7~0	TL1	R/W	00h	Timer1 data low byte

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
8Ch	TH0	7~0	TH0	R/W	00h	Timer0 data high byte
8Dh	TH1	7~0	TH1	R/W	00h	Timer1 data high byte
90h	P1	7~0	P1	R/W	FFh	Port1 data
91h	P0OE	7~0	P0OE	R/W	00h	Port0 CMOS Push-Pull output enable control 0: Disable 1: Enable
92h	P0LOE	7~0	P0LOE	R/W	00h	Port0 LCD 1/2 bias output enable control 0: Disable 1: Enable
93h	P2MOD	3~2	P2MOD1	R/W	01	P2.1 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: not defined
		1~0	P2MOD0	R/W	01	P2.0 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: not defined
94h	OPTION	7	UART1W	R/W	0	Set 1 to enable one wire UART mode, both TXD/RXD use P3.1 pin.
		5~4	WDTPSC	R/W	00	Watchdog Timer pre-scalar time select 00: 480ms WDT overflow rate 01: 240ms WDT overflow rate 10: 120ms WDT overflow rate 11: 60ms WDT overflow rate
		3~2	ADCKS	R/W	00	ADC clock rate select 00: F _{SYSClk} /32 01: F _{SYSClk} /16 10: F _{SYSClk} /8 11: F _{SYSClk} /4
95h	INTFLG	5	TKIF	R/W	0	Touch Key Interrupt Flag Set by H/W at the end of TK conversion if SYSClk is fast enough. S/W writes DFh to INTFLG or sets the TKSOC bit to clear this flag.
		4	ADIF	R/W	0	ADC interrupt flag Set by H/W at the end of ADC conversion. S/W writes EFh to INTFLG or sets the ADSOC bit to clear this flag.
		2	IE2	R/W	0	External Interrupt 2 (INT2 pin) edge flag Set by H/W when a falling edge is detected on the INT2 pin, no matter the EX2 is 0 or 1. It is cleared automatically when the program performs the interrupt service routine. S/W can write FBh to INTFLG to clear this bit.
		1	P1IF	R/W	0	Port1 pin change Interrupt flag Set by H/W when a Port1 pin state change is detected and its interrupt enable bit is set (P1WKUP). P1IE does not affect this flag's setting. It is cleared automatically when the program performs the interrupt service routine. S/W can write FDh to INTFLG to clear this bit.
		0	TF3	R/W	0	Timer3 Interrupt Flag Set by H/W when Timer3 reaches TM3PSC setting cycles. It is cleared automatically when the program performs the interrupt service routine. S/W can write FEh to INTFLG to clear this bit.
96h	P1WKUP	4~0	P1WKUP	R/W	00h	P1.4~P1.0 pin individual Wake-up/Interrupt enable control 0: Disable; 1: Enable.
97h	SWCMD	7~0	SWRST	W		Write 56h to generate S/W Reset
		7~0	IAPALL	W		Write 65h to set IAPALL control flag; Write other value to clear IAPALL flag. It is recommended to clear it immediately after IAP access.
		1	WDTO	R	0	WatchDog Time-Out flag
		0	IAPALL	R	0	Flag indicates Flash memory sectors can be accessed by IAP or not. This bit combines with MVCLOCK to define the accessible IAP area.

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
98h	SCON	7	SM0	R/W	0	UART Serial port mode select bit 0, 1 (SM0, SM1) = 00: Mode0: 8 bit shift register, Baud Rate= $F_{SYSCLK}/2$ 01: Mode1: 8 bit UART, Baud Rate is variable 10: Mode2: 9 bit UART, Baud Rate= $F_{SYSCLK}/32$ or $/64$ 11: Mode3: 9 bit UART, Baud Rate is variable
		6	SM1	R/W	0	
		5	SM2	R/W	0	Serial port mode select bit 2 SM2 enables multiprocessor communication over a single serial line and modifies the above as follows. In Modes 2 & 3, if SM2 is set then the received interrupt will not be generated if the received ninth data bit is 0. In Mode 1, the received interrupt will not be generated unless a valid stop bit is received. In Mode 0, SM2 should be 0.
		4	REN	R/W	0	Set 1 to enable UART Reception
		3	TB8	R/W	0	Transmitter bit 8, ninth bit to transmit in Modes 2 and 3
		2	RB8	R/W	0	Receive Bit 8, contains the ninth bit that was received in Mode 2 and 3 or the stop bit is Mode 1 if SM2=0
		1	TI	R/W	0	Transmit Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the beginning of the stop bit in other modes. Must be cleared by S/W
		0	RI	R/W	0	Receive Interrupt flag Set by H/W at the end of the eighth bit in Mode 0, or at the sampling point of the stop bit in other modes. Must be cleared by S/W.
		99h	SBUF	7~0	SBUF	R/W
9Ah	PWM0PRD	7~0	PWM0PRD	R/W	FFh	PWM0 8-bit period register
9Bh	PWM0DH	7~0	PWM0DH	R/W	80h	bits 9~2 of the PWM0 10-bit duty register
9Ch	PWM1PRD	7~0	PWM1PRD	R/W	FFh	PWM1 8-bit period register
9Dh	PWM1DH	7~0	PWM1DH	R/W	80h	bits 9~2 of the PWM1 10-bit duty register
A0h	P2	7~2	P2.7~P2.2	R/W	3Fh	P2.7~P2.2 have no pin out, so these bits are used as general purpose register
		1~0	P2.1~P2.0	R/W	11	P2.1~P2.0 data
A1h	PWMCON	7~6	PWM1CKS	R/W	10	PWM1 clock source 00: $F_{SYSCLK}/4$ 01: $F_{SYSCLK}/2$ 10: F_{SYSCLK} 11: FRC
		5~4	PWM1DL	R/W	00	bits 1~0 of the PWM1 10-bit duty register
		3~2	PWM0CKS	R/W	10	PWM0 clock source 00: $F_{SYSCLK}/4$ 01: $F_{SYSCLK}/2$ 10: F_{SYSCLK} 11: FRC
		1~0	PWM0DL	R/W	00	bits 1~0 of the PWM0 10-bit duty register
A2h	P1MODL	7~6	P1MOD3	R/W	01	P1.3 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.3 is ADC input
		5~4	P1MOD2	R/W	01	P1.2 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.2 is ADC input
		3~2	P1MOD1	R/W	01	P1.1 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.1 is ADC input
		1~0	P1MOD0	R/W	01	P1.0 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.0 is ADC input
A3h	P1MODH	1~0	P1MOD4	R/W	01	P1.4 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P1.4 is ADC input

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
A4h	P3MODL	7~6	P3MOD3	R/W	01	P3.3 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.3 is ADC input
		5~4	P3MOD2	R/W	01	P3.2 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.2 is ADC input
		3~2	P3MOD1	R/W	01	P3.1 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.1 is ADC input
		1~0	P3MOD0	R/W	01	P3.0 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3, P3.0 is ADC input
A5h	P3MODH	7~6	P3MOD7	R/W	01	P3.7 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3
		5~4	P3MOD6	R/W	01	P3.6 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3
		3~2	P3MOD5	R/W	01	P3.5 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3
		1~0	P3MOD4	R/W	01	P3.4 Pin Control 00: Mode0; 01: Mode1; 10: Mode2 11: Mode3
A6h	PINMOD	7	PWM1OE	R/W	0	PWM1 control 0: PWM1 disable 1: PWM1 enable and signal output to P1.3 pin
		6	PWM0OE	R/W	0	PWM0 control 0: PWM0 disable 1: PWM0 enable and signal output to P1.2 pin
		5	TCOE	R/W	0	Set 1 to enable "System clock divided by 2" (CKO) output to P1.4 pin
		4	T2OE	R/W	0	Set 1 to enable "Timer2 overflow divided by 2" (T2O) output to P1.0 pin
		0	T0OE	R/W	0	Set 1 to enable "Timer0 overflow divided by 64" (T0O) output to P3.4 pin
A8h	IE	7	EA	R/W	0	Global interrupt enable control. 0: Disable all Interrupts. 1: Each interrupt is enabled or disabled by its own interrupt control bit.
		5	ET2	R/W	0	Set 1 to enable Timer2 interrupt
		4	ES	R/W	0	Set 1 to enable Serial Port (UART) Interrupt
		3	ET1	R/W	0	Set 1 to enable Timer1 Interrupt
		2	EX1	R/W	0	Set 1 to enable external INT1 pin Interrupt & Stop mode wake up capability
		1	ET0	R/W	0	Set 1 to enable Timer0 Interrupt
		0	EX0	R/W	0	Set 1 to enable external INT0 pin Interrupt & Stop mode wake up capability
A9h	INTE1	3	ADTKIE	R/W	0	Set 1 to enable ADC/Touch Key Interrupt
		2	EX2	R/W	0	Set 1 to enable external INT2 pin Interrupt & Stop mode wake up capability
		1	P1IE	R/W	0	Set 1 to enable Port1 Pin Change Interrupt
		0	TM3IE	R/W	0	Set 1 to enable Timer3 Interrupt
AAh	ADTKDT	7~4	ADCDL	R	-	ADC data bit 3~0
		3~0	TKDH	R	-	Touch Key counter data bit 11~8
ABh	ADCDH	7~0	ADCDH	R	-	ADC data bit 11~4
ACh	TKDL	7~0	TKDL	R	-	Touch Key counter data bit 7~0

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
ADh	TKFREQ	6~0	TKFREQ	R/W	40h	Touch Key oscillation capacitor adjustment 00: TKDATA is smallest ... 7F: TKDATA is biggest <i>Note: FW must set TKFREQ to satisfy below requirement.</i> <i>If JMPVAL=000: TKDATA near to 1.81*TKTMR</i> <i>If JMPVAL=111: TKDATA near to 1.65*TKTMR</i>
AEh	TKCON	7	TKPD	R/W	1	Touch Key Power Down 0: Touch Key enable; 1: Touch Key disable
		6	TKEOC	R	1	Touch Key end of conversion flag 0: Indicates conversion is in progress 1: Indicates conversion is finished
		3~0	TKCHS	R/W	1111	Touch Key channel select 0000: TK0 (P3.3) 0001: TK1 (P3.2) 0010: TK2 (P3.1) 0011: TK3 (P3.0) 0100: TK4 (P1.0) 0101: TK5 (P1.1) 0110: TK6 (P1.2) 0111: TK7 (P1.3) 1000: TK8 (P1.4) 1001: Reserved 1010: TK10 (P0.4) 1011: TK11 (P0.5) 1100: TK12 (P0.6) 1101: TK13 (P3.4) 1110: Reserved 1111: internal reference key
AFh	P0ADIE	7~4	P0ADIE	R/W	0000	ADC channel input Enable 0000: P0.7~P0.4 are digital input 1xxx: P0.7 is ADC input x1xx: P0.6 is ADC input xx1x: P0.5 is ADC input xxx1: P0.4 is ADC input
B0h	P3	7~0	P3	R/W	FFh	Port3 data
B1h	LEDCON	7~6	LEDEN	R/W	00	LED enable and duty select 00: LED disable 01: LED 1/8 duty (4COM x 4SEG) 10: LED 1/9 duty (4COM x 5SEG) 11: LED 1/10 duty (4COM x 6SEG)
		5~4	LEDPSC	R/W	00	LED clock prescaler select 00: LED clock is FRC divided by 64 01: LED clock is FRC divided by 32 10: LED clock is FRC divided by 16 11: LED clock is FRC divided by 8
		3	LEDHOLD	R/W	0	LED hold function 0: Release to run LED scanning 1: Hold LED scanning, all LED pins state are Hi-Z
		2~0	LEDBRIT	R/W	100	LED COM0+ ~ COM3+ & SEG0+ ~ SEG3+ (LED number 0~31, 40~47) brightness select 000: Level 0 (Darkest) ... 111: Level 7 (Brightest)
B2h	LENCON2	7	LEDSMDIS	R/W	0	LED brightness smooth control 0: Brightness smooth enable 1: Brightness smooth disable
		6~4	LEDBRIT2	R/W	100	LED SEG5+ (LED number 33, 35, 37, 39) brightness select 000: Level 0 (Darkest) ... 111: Level 7 (Brightest)

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
		2~0	LEDBRIT1	R/W	100	LED SEG4+ (LED number 32, 34, 36, 38) brightness select 000: Level 0 (Darkest) ... 111: Level 7 (Brightest)
B4h	TKTMRL	7~0	TKTMRL	R/W	FFh	Touch Key reference counter LSB[7~0]
B5h	TKCON2	7	TKFJMP	R/W	0	Touch Key clock frequency auto-change selection 0: fix frequency 1: auto-change
		6~4	JMPVAL	R/W	100	Touch Key clock frequency fine tune (only available in TKFJMP=0) 000: frequency slow 001~110: not valid 111: frequency fast
		3~0	TKTMRH	R/W	0	Touch Key reference counter MSB[11~8]
B6h	ADCHS	3~0	ADCHS	R/W	1111	ADC channel select 0000: AD0 (P3.3) 0001: AD1 (P3.2) 0010: AD2 (P3.1) 0011: AD3 (P3.0) 0100: AD4 (P1.0) 0101: AD5 (P1.1) 0110: AD6 (P1.2) 0111: AD7 (P1.3) 1000: AD8 (P1.4) 1001: Reserved 1010: AD10 (P0.7) 1011: V _{BG} (Internal Bandgap Reference Voltage) 1100: AD12 (P0.4) 1101: AD13 (P0.5) 1110: AD14 (P0.6) 1111: V _{CC} /4
B8h	IP	5	PT2	R/W	0	Timer2 Interrupt Priority Low bit
		4	PS	R/W	0	Serial Port (UART) Interrupt Priority Low bit
		3	PT1	R/W	0	Timer1 Interrupt Priority Low bit
		2	PX1	R/W	0	External INT1 Pin Interrupt Priority Low bit
		1	PT0	R/W	0	Timer0 Interrupt Priority Low bit
		0	PX0	R/W	0	External INT0 Pin Interrupt Priority Low bit
B9h	IPH	5	PT2H	R/W	0	Timer2 Interrupt Priority High bit
		4	PSH	R/W	0	Serial Port (UART) Interrupt Priority High bit
		3	PT1H	R/W	0	Timer1 Interrupt Priority High bit
		2	PX1H	R/W	0	External INT1 Pin Interrupt Priority High bit
		1	PT0H	R/W	0	Timer0 Interrupt Priority High bit
		0	PX0H	R/W	0	External INT0 Pin Interrupt Priority High bit
BAh	IP1	3	PADTKI	R/W	0	ADC/Touch Key Interrupt Priority Low bit
		2	PX2	R/W	0	External INT2 Pin Interrupt Priority Low bit
		1	PP1	R/W	0	Port1 pin change Interrupt Priority Low bit
		0	PT3	R/W	0	Timer3 Interrupt Priority Low bit
BBh	IP1H	3	PADTKIH	R/W	0	ADC/Touch Key Interrupt Priority High bit
		2	PX2H	R/W	0	External INT2 Pin Interrupt Priority High bit
		1	PP1H	R/W	0	Port1 Interrupt Priority High bit
		0	PT3H	R/W	0	Timer3 Interrupt Priority High bit

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
C8h	T2CON	7	TF2	R/W	0	Timer2 overflow flag Set by H/W when Timer/Counter 2 overflows unless RCLK=1 or TCLK=1. This bit must be cleared by S/W.
		6	EXF2	R/W	0	T2EX interrupt pin falling edge flag Set when a capture or a reload is caused by a negative transition on T2EX pin if EXEN2=1. This bit must be cleared by S/W.
		5	RCLK	R/W	0	UART receive clock control bit 0: Use Timer1 overflow as receive clock for serial port in mode 1 or 3 1: Use Timer2 overflow as receive clock for serial port in mode 1 or 3
		4	TCLK	R/W	0	UART transmit clock control bit 0: Use Timer1 overflow as transmit clock for serial port in mode 1 or 3 1: Use Timer2 overflow as transmit clock for serial port in mode 1 or 3
		3	EXEN2	R/W	0	T2EX pin enable 0: T2EX pin disable 1: T2EX pin enable, it cause a capture or reload when a negative transition on T2EX pin is detected if RCLK=TCLK=0
		2	TR2	R/W	0	Timer2 run control 0:timer stops 1:timer runs
		1	CT2N	R/W	0	Timer2 Counter/Timer select bit 0: Timer mode, Timer2 data increases at 2 System clock cycle rate 1: Counter mode, Timer2 data increases at T2 pin's negative edge
		0	CPRL2N	R/W	0	Timer2 Capture/Reload control bit 0: Reload mode, auto-reload on Timer2 overflows or negative transitions on T2EX pin if EXEN2=1. 1: Capture mode, capture on negative transitions on T2EX pin if EXEN2=1. If RCLK=1 or TCLK=1, CPRL2N is ignored and timer is forced to auto-reload on Timer2 overflow.
C9h	IAPWE	7~0	IAPWE	W	-	Write 47h to set IAPWE control flag; Write other value to clear IAPWE and EEPWE flag. It is recommended to clear it immediately after IAP write.
		7~0	EEPWE	W	-	Write E2h to set EEPWE control flag; Write other value to clear IAPWE and EEPWE flag. It is recommended to clear it immediately after EEPROM write.
		7	IAPWE	R	0	Flag indicates Flash memory can be written by IAP or not 0: IAP Write disable 1: IAP Write enable
		6	IAPTO	R	0	IAP (or EEPROM write) Time-Out flag Set by H/W when IAP (or EEPROM write) Time-out occurs. Cleared by H/W when IAPWE=0 (or EEPWE=0).
		5	EEPWE	R	0	Flag indicates EEPROM memory can be written or not 0: EEPROM Write disable 1: EEPROM Write enable
CAh	RCP2L	7~0	RCP2L	R/W	00h	Timer2 reload/capture data low byte
CBh	RCP2H	7~0	RCP2H	R/W	00h	Timer2 reload/capture data high byte
CCh	TL2	7~0	TL2	R/W	00h	Timer2 data low byte
CDh	TH2	7~0	TH2	R/W	00h	Timer2 data high byte
D0h	PSW	7	CY	R/W	0	ALU carry flag
		6	AC	R/W	0	ALU auxiliary carry flag
		5	F0	R/W	0	General purpose user-definable flag
		4	RS1	R/W	0	Register Bank Select bit 1
		3	RS0	R/W	0	Register Bank Select bit 0
		2	OV	R/W	0	ALU overflow flag
		1	F1	R/W	0	General purpose user-definable flag
		0	P	R/W	0	Parity flag
D1h	PILOE	7~0	PILOE	R/W	00h	Port1 LCD 1/2 bias output enable control 0: Disable 1: Enable

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
D2h	P2LOE	1~0	P2LOE	R/W	00h	Port2 LCD 1/2 bias output enable control 0: Disable 1: Enable
D3h	P3LOE	7~0	P3LOE	R/W	00h	Port3 LCD 1/2 bias output enable control 0: Disable 1: Enable
D8h	CLKCON	7	SCKTYPE	R/W	0	Slow clock Type. This bit can be changed only in Fast mode (SELFCK=1) 0: SRC 1: SXT, P2.0 and P2.1 are crystal pins
		6	FCKTYPE	R/W	0	Fast clock type. This bit can be changed only in Slow mode (SELFCK=0). 0: FRC 1: FXT, P2.0 and P2.1 are crystal pins, oscillator gain is high for FXT
		5	STPSCK	R/W	1	Set 1 to stop Slow clock in Stop Mode.
		4	STPPCK	R/W	0	Set 1 to stop UART/Timer0/1/2 clock in Idle mode for current reducing.
		3	STPFCK	R/W	0	Set 1 to stop Fast clock for power saving in Slow/Idle mode. This bit can be changed only in Slow mode.
		2	SELFCK	R/W	0	System clock select. This bit can be changed only when STPFCK=0. 0: Slow clock 1: Fast clock
		1~0	CLKPSC	R/W	11	System clock prescaler. Effective after 16 clock cycles (Max.) delay. 00: System clock is Fast/Slow clock divided by 16 01: System clock is Fast/Slow clock divided by 4 10: System clock is Fast/Slow clock divided by 2 11: System clock is Fast/Slow clock divided by 1
E0h	ACC	7~0	ACC	R/W	00h	Accumulator
EFh	AUX3	5~3	TM3PSC	R/W	000	Timer3 Interrupt rate 000: Timer3 Interrupt rate is 32768 Slow clock cycle 001: Timer3 Interrupt rate is 16384 Slow clock cycle 010: Timer3 Interrupt rate is 8192 Slow clock cycle 011: Timer3 Interrupt rate is 4096 Slow clock cycle 100: Timer3 Interrupt rate is 2048 Slow clock cycle 101: Timer3 Interrupt rate is 1024 Slow clock cycle 110: Timer3 Interrupt rate is 512 Slow clock cycle 111: Timer3 Interrupt rate is 256 Slow clock cycle
		2	VBGEN	R/W	0	VBG enable control 0: VBG/VBGO disable at Idle and Stop mode 1: Force VBG/VBGO to be enabled, included in Idle mode, but disabled in Stop mode
		0	ADCVREFS	R/W	0	ADC reference voltage (V_{REFS}) select 0: V_{CC} 1: 2.5V
F0h	B	7~0	B	R/W	00h	B register
F1h	CRCDL	7~0	CRCDL	R/W	FFh	16-bit CRC data bit 7~0
F2h	CRCDH	7~0	CRCDH	R/W	FFh	16-bit CRC data bit 15~8
F3h	CRCIN	7~0	CRCIN	W	–	CRC input data
F5h	CFGBG	3~0	BGTRIM	R/W	–	VBG trimming value
F6h	CFGWL	6~0	FRCF	R/W	–	FRC frequency adjustment 00h: lowest frequency ... 7Fh: highest frequency

Adr	SFR	Bit#	Bit Name	R/W	Rst	Description
F7h	AUX2	7~6	WDTE	R/W	-	Watchdog Timer Reset control 0x: WDT disable 10: WDT enable in Fast/Slow mode, disable in Idle/Stop mode 11: WDT always enable
		5	PWRSVAV	R/W	-	Set 1 to reduce the chip's power consumption at Idle and Stop Mode.
		4	VBGOUT	R/W	0	Bandgap voltage output control 0: P3.2 as normal I/O 1: Bandgap voltage output to P3.2 pin, when ADCHS = 1011b
		3	-	-	0	Reserved, Keep 0
		2~1	IAPTE	R/W	11	IAP (or EEPROM write) watchdog timer enable 00: Disable 01: wait 0.9mS trigger watchdog time-out flag 10: wait 3.6mS trigger watchdog time-out flag 11: wait 7.2mS trigger watchdog time-out flag
		0	LVRPD	R/W	0	LVR power down 0: LVR enable 1: LVR disable
F8h	AUX1	7	CLRWDT	R/W	0	Set 1 to clear WDT, H/W auto clear it at next clock cycle
		6	CLRTM3	R/W	0	Set 1 to clear Timer3, HW auto clear it at next clock cycle.
		5	TKSOC	R/W	0	Touch Key Start of Conversion Set 1 to start Touch Key conversion. If SYSCLK is fast enough, this bit will be cleared by H/W at the end of conversion. S/W can also write 0 to clear this flag.
		4	ADSOC	R/W	0	ADC Start of Conversion Set 1 to start ADC conversion. Cleared by H/W at the end of conversion. S/W can also write 0 to clear this flag.
		0	DPSEL	R/W	0	Active DPTR Select

Adr	Flash	Bit#	Bit Name	Description
3FFBh	CFGGB	3~0	BGTRIM	FRC frequency adjustment. VBG is trimmed to 1.22V in chip manufacturing. BGTRIM records the adjustment data.
3FFDh	CFGWL	6~0	FRCF	FRC frequency adjustment. FRC is trimmed to 7.3728 MHz in chip manufacturing. FRCF records the adjustment data.
3FFFh	CFGWH	7	PROT	Flash Code Protect, 1=Protect
		6	XRSTE	External Pin Reset enable, 1=enable.
		4~3	LVRE	Low Voltage Reset function select 00: Set LVR at 2.4V 01: Set LVR at 2.7V 10: Set LVR at 2.9V 11: Set LVR at 3.2V
		2	PREAD	Reserved
		1	MVCLOCK	If 1, the MOVC & MOVX instruction's accessibility to MOVC-Lock area is limited.
		0	FRCPSC	Reserved

注：上表列出所有的 SFR，特地保留原始英文，以供使用者交互参考。

指令集

指令都是 1, 2 或 3 个字节长如“字节”列所示。每条指令需要 2~8 个系统时钟周期来执行如“周期”列中所示。

ARITHMETIC				
Mnemonic	Description	byte	cycle	opcode
ADD A, Rn	Add register to A	1	2	28-2F
ADD A, dir	Add direct byte to A	2	2	25
ADD A, @Ri	Add indirect memory to A	1	2	26-27
ADD A, #data	Add immediate to A	2	2	24
ADDC A, Rn	Add register to A with carry	1	2	38-3F
ADDC A, dir	Add direct byte to A with carry	2	2	35
ADDC A, @Ri	Add indirect memory to A with carry	1	2	36-37
ADDC A, #data	Add immediate to A with carry	2	2	34
SUBB A, Rn	Subtract register from A with borrow	1	2	98-9F
SUBB A, dir	Subtract direct byte from A with borrow	2	2	95
SUBB A, @Ri	Subtract indirect memory from A with borrow	1	2	96-97
SUBB A, #data	Subtract immediate from A with borrow	2	2	94
INC A	Increment A	1	2	04
INC Rn	Increment register	1	2	08-0F
INC dir	Increment direct byte	2	2	05
INC @Ri	Increment indirect memory	1	2	06-07
DEC A	Decrement A	1	2	14
DEC Rn	Decrement register	1	2	18-1F
DEC dir	Decrement direct byte	2	2	15
DEC @Ri	Decrement indirect memory	1	2	16-17
INC DPTR	Increment data pointer	1	4	A3
MUL AB	Multiply A by B	1	8	A4
DIV AB	Divide A by B	1	8	84
DA A	Decimal Adjust A	1	2	D4

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
ANL A, Rn	AND register to A	1	2	58-5F
ANL A, dir	AND direct byte to A	2	2	55
ANL A, @Ri	AND indirect memory to A	1	2	56-57
ANL A, #data	AND immediate to A	2	2	54
ANL dir, A	AND A to direct byte	2	2	52
ANL dir, #data	AND immediate to direct byte	3	4	53
ORL A, Rn	OR register to A	1	2	48-4F
ORL A, dir	OR direct byte to A	2	2	45
ORL A, @Ri	OR indirect memory to A	1	2	46-47
ORL A, #data	OR immediate to A	2	2	44
ORL dir, A	OR A to direct byte	2	2	42
ORL dir, #data	OR immediate to direct byte	3	4	43
XRL A, Rn	Exclusive-OR register to A	1	2	68-6F
XRL A, dir	Exclusive-OR direct byte to A	2	2	65
XRL A, @Ri	Exclusive-OR indirect memory to A	1	2	66-67
XRL A, #data	Exclusive-OR immediate to A	2	2	64
XRL dir, A	Exclusive-OR A to direct byte	2	2	62
XRL dir, #data	Exclusive-OR immediate to direct byte	3	4	63
CLR A	Clear A	1	2	E4
CPL A	Complement A	1	2	F4
SWAP A	Swap Nibbles of A	1	2	C4
RL A	Rotate A left	1	2	23

LOGICAL				
Mnemonic	Description	byte	cycle	opcode
RLC A	Rotate A left through carry	1	2	33
RR A	Rotate A right	1	2	03
RRC A	Rotate A right through carry	1	2	13

DATA TRANSFER				
Mnemonic	Description	byte	cycle	opcode
MOV A, Rn	Move register to A	1	2	E8-EF
MOV A, dir	Move direct byte to A	2	2	E5
MOV A, @Ri	Move indirect memory to A	1	2	E6-E7
MOV A, #data	Move immediate to A	2	2	74
MOV Rn, A	Move A to register	1	2	F8-FF
MOV Rn, dir	Move direct byte to register	2	4	A8-AF
MOV Rn, #data	Move immediate to register	2	2	78-7F
MOV dir, A	Move A to direct byte	2	2	F5
MOV dir, Rn	Move register to direct byte	2	4	88-8F
MOV dir, dir	Move direct byte to direct byte	3	4	85
MOV dir, @Ri	Move indirect memory to direct byte	2	4	86-87
MOV dir, #data	Move immediate to direct byte	3	4	75
MOV @Ri, A	Move A to indirect memory	1	2	F6-F7
MOV @Ri, dir	Move direct byte to indirect memory	2	4	A6-A7
MOV @Ri, #data	Move immediate to indirect memory	2	2	76-77
MOV DPTR, #data	Move immediate to data pointer	3	4	90
MOVC A, @A+DPTR	Move code byte relative DPTR to A	1	4	93
MOVC A, @A+PC	Move code byte relative PC to A	1	4	83
MOVX A, @Ri	Move external data (A8) to A	1	4	E2-E3
MOVX A, @DPTR	Move external data (A16) to A	1	4	E0
MOVX @Ri, A	Move A to external data (A8)	1	4	F2-F3
MOVX @DPTR, A	Move A to external data (A16)	1	4	F0
PUSH dir	Push direct byte onto stack	2	4	C0
POP dir	Pop direct byte from stack	2	4	D0
XCH A, Rn	Exchange A and register	1	2	C8-CF
XCH A, dir	Exchange A and direct byte	2	2	C5
XCH A, @Ri	Exchange A and indirect memory	1	2	C6-C7
XCHD A, @Ri	Exchange A and indirect memory nibble	1	2	D6-D7

BOOLEAN				
Mnemonic	Description	byte	cycle	opcode
CLR C	Clear carry	1	2	C3
CLR bit	Clear direct bit	2	2	C2
SETB C	Set carry	1	2	D3
SETB bit	Set direct bit	2	2	D2
CPL C	Complement carry	1	2	B3
CPL bit	Complement direct bit	2	2	B2
ANL C, bit	AND direct bit to carry	2	4	82
ANL C, /bit	AND direct bit inverse to carry	2	4	B0
ORL C, bit	OR direct bit to carry	2	4	72
ORL C, /bit	OR direct bit inverse to carry	2	4	A0
MOV C, bit	Move direct bit to carry	2	2	A2
MOV bit, C	Move carry to direct bit	2	4	92

BRANCHING				
Mnemonic	Description	byte	cycle	opcode
ACALL addr 11	Absolute jump to subroutine	2	4	11-F1
LCALL addr 16	Long jump to subroutine	3	4	12
RET	Return from subroutine	1	4	22
RETI	Return from interrupt	1	4	32
AJMP addr 11	Absolute jump unconditional	2	4	01-E1
LJMP addr 16	Long jump unconditional	3	4	02
SJMP rel	Short jump (relative address)	2	4	80
JC rel	Jump on carry=1	2	4	40
JNC rel	Jump on carry=0	2	4	50
JB bit, rel	Jump on direct bit=1	3	4	20
JNB bit, rel	Jump on direct bit=0	3	4	30
JBC bit, rel	Jump on direct bit=1 and clear	3	4	10
JMP @A+DPTR	Jump indirect relative DPTR	1	4	73
JZ rel	Jump on accumulator=0	2	4	60
JNZ rel	Jump on accumulator ... 0	2	4	70
CJNE A, dir, rel	Compare A,direct, jump not equal relative	3	4	B5
CJNE A, #data, rel	Compare A,immediate, jump not equal relative	3	4	B4
CJNE Rn, #data, rel	Compare register,immediate, jump not equal relative	3	4	B8-BF
CJNE @Ri, #data, rel	Compare indirect,immediate, jump not equal relative	3	4	B6-B7
DJNZ Rn, rel	Decrement register, jump not zero relative	2	4	D8-DF
DJNZ dir, rel	Decrement direct byte, jump not zero relative	3	4	D5

MISCELLANEOUS				
Mnemonic	Description	byte	cycle	opcode
NOP	No operation	1	2	00

在上表中, 如 E8-EF 中的指令操作码(十六进制)指示用于一个连续的块的 8 个不同的寄存器, 寄存器编号, 由其相应的操作码的最低 3 位定义。码的不连续的块, 如 11-F1(举例), 用于绝对跳转和调用, 码的前 3 位用于指示目的地址的顶部 3 位。

电器特性

 1. 最大绝对额定值 ($T_A=25^{\circ}\text{C}$)

参数	额定值	单位
电源电压	$V_{SS}-0.3 \sim V_{SS}+3.6$	V
输入电压	$V_{SS}-0.3 \sim V_{CC}+0.3$	
输出电压	$V_{SS}-0.3 \sim V_{CC}+0.3$	
每 1 引脚高电位输出电流	-25	mA
全部引脚高电位输出电流	-80	
每 1 引脚低电位输出电流	+30	
全部引脚低电位输出电流	+150	
最大工作电压	3.6	V
工作温度	$-40 \sim +85$	$^{\circ}\text{C}$
储存温度	$-65 \sim +150$	

2. DC 特性 ($T_A=25^\circ\text{C}$, $V_{CC}=2.4\text{V} \sim 3.6\text{V}$)

参数	符号	条件		最小值	典型值	最大值	单位
工作电压	V_{CC}	快钟模式 $F_{\text{SYSCLK}}=7.3728\text{ MHz}$		2.7	—	3.6	V
		快钟模式 $F_{\text{SYSCLK}}=3.6864\text{ MHz}$		2.4	—	3.6	
输入高电压	V_{IH}	所有输入	$V_{CC}=3\text{V}$	$0.6V_{CC}$	—	—	V
输入低电压	V_{IL}	所有输入	$V_{CC}=3\text{V}$	—	—	$0.2V_{CC}$	V
I/O 端口 拉电流	I_{OH}	所有输出	$V_{CC}=3\text{V}$, $V_{OH}=0.9V_{CC}$	2.5	5	—	mA
I/O 端口 灌电流	I_{OL}	所有输出	$V_{CC}=3\text{V}$, $V_{OL}=0.1V_{CC}$	20	40	—	mA
电源电流	I_{DD}	快钟 $V_{CC}=3\text{V}$	FXT=8 MHz	—	2.5	—	mA
			FRC=7.3728 MHz	—	2.4	—	
		慢钟, SRC	$V_{CC}=3\text{V}$	—	1.2	—	μA
		空闲 PWRSAV=1	SRC, $V_{CC}=3\text{V}$	—	10	—	
		空闲 PWRSAV=0	SRC, $V_{CC}=3\text{V}$	—	45	—	
		停止	$V_{CC}=3\text{V}$	—	0.1	—	
暂停	$V_{CC}=3\text{V}$	—	2	—			
系统时钟频率	F_{SYSCLK}	$V_{CC} > LVR_{TH}$	$V_{CC}=2.7\text{V}$	—	—	7.3728	MHz
			$V_{CC}=2.4\text{V}$	—	—	4	
LVR 参考电压	V_{LVR}	$T_A=25^\circ\text{C}$		—	3.2	—	V
				—	2.9	—	
				—	2.7	—	
				—	2.4	—	
LVR 滞后电压	V_{HYST}	$T_A=25^\circ\text{C}$		—	± 0.1	—	V
低电压 检测时间	t_{LVR}	$T_A=25^\circ\text{C}$		100	—	—	μs
上拉电阻	R_P	$V_{IN}=0\text{V}$	$V_{CC}=3\text{V}$	—	75	—	K Ω

 3. 时钟时序 ($T_A=-40^\circ\text{C} \sim +85^\circ\text{C}$)

参数	条件	最小值	典型值	最大值	单位
内部 RC 频率	25°C , $V_{CC}=3.0\text{V}$	-1%	7.3728	+1%	MHz
	$0^\circ\text{C} \sim 85^\circ\text{C}$, $V_{CC}=3.0\text{V}$	-1.5%	7.3728	+1.5%	
	$-40^\circ\text{C} \sim 85^\circ\text{C}$, $V_{CC}=3.0\text{V}$	-3%	7.3728	+3%	

 4. 复位时序特性 ($T_A=-40^\circ\text{C} \sim +85^\circ\text{C}$)

参数	条件	最小值	典型值	最大值	单位
RESET 输入低电平宽度	Input $V_{CC}=3\text{V} \pm 10\%$	30	—	—	μs
WDT 唤醒时间	$V_{CC}=3\text{V}$, WDTPSC=11	—	64	—	ms

5. ADC 电气特性 ($T_A=25^{\circ}\text{C}$, $V_{CC}=3.0\text{V}$, $V_{SS}=0\text{V}$)

参数	条件	最小值	典型值	最大值	单位
总绝对误差	$V_{CC}=3.0\text{V}$, $V_{SS}=0\text{V}$	-	± 2.5	± 4	LSB
积分非线性误差		-	± 3.2	± 5	
最大输入时钟 (f_{ADC})	信号驱动源阻抗($R_s < 10\text{K ohm}$)	-	1	-	MHz
	信号驱动源阻抗($R_s > 10\text{K ohm}$)	-	0.5	-	
转换时间	$F_{\text{ADC}} = 1\text{MHz}$	-	50	-	μs
内部基准电压源 (VBG)	25°C , $V_{CC} = 3\text{V}$	-1%	1.22	+1%	V
	$25^{\circ}\text{C}\sim 85^{\circ}\text{C}$, $V_{CC} = 3\text{V}$	-1%	1.22	+1.5%	V
	$-20^{\circ}\text{C}\sim 85^{\circ}\text{C}$, $V_{CC} = 3\text{V}$	-2%	1.22	+1.5%	V
ADC 参考电压 (V_{REFS}) ($\text{ADCVREFS}=1$)	25C , $V_{CC}=3\text{V}$,	-1.2%	2.5V	+1.2%	V
	$-20\text{C}\sim 85\text{C}$, $V_{CC}=3\text{V}$,	-2.5%	2.5V	+2%	V
$V_{CC}/4$ 参考电压	25C , $V_{CC} = 3\text{V}$	-1%	$0.252*V_{CC}$	+1%	V
输入电压	-	V_{SS}	-	V_{CC}	V

6. SDADC 电气特性 ($T_A=25^{\circ}\text{C}$, $V_{\text{DDI}}=3.0\text{V}$, $DV_{\text{SS}}=AV_{\text{SS}}=0\text{V}$, PGA 增益=128)

参数(条件)	最小值	典型值	最大值	单位
可编程增益放大器的增益	1	-	128	
可编程增益放大器的耗电	-	200	-	μA
失调误差(增益=128)	-	10	-	μV
零失调误差(增益=128)	-	3^{-*1}	-	% FSR
失调温飘(增益=128)	-	± 100	-	$\text{nV}/^{\circ}\text{C}$
增益温飘(增益=128)	-	± 10	-	$\text{ppm}/^{\circ}\text{C}$
仿真输入电压限值(PGA 放大模式)	$AV_{\text{SS}}+0.7$	-	$AV_{\text{DD}}-1\text{V}$	V
ADC 分辨率(无失码)	15	-	-	Bit
过采样率	1024	-	8192	-
ADC 输出数据率(过采样率=8192, ADC 系统时钟=81.92 kHz)	-	10	-	Samples/sec
ENOB ^{*2} (增益=128, 输出数据率=30.5 Hz)	-	17.5	-	bit
均方根噪声 ^{*2} (增益=128, 输出数据率=30.5 Hz, ADC 系统时钟=250 kHz, 过采样率= 8192)	-	140	-	nV
Low pass filter corner frequency	-	10	-	Hz
50/60 Hz 抑制(输出数据率=10 Hz)	-	90	-	dB
数字滤波器建立时间	-	-	400	ms
内部时钟频率	-10%	2.5	+10%	MHz
内部时钟耗电	-	200	-	μA
外部晶振耗电	-	400	-	μA
温度传感器量程	-40	-	90	$^{\circ}\text{C}$
温度传感器精度(用户校准后)	-	± 1.5	± 3	$^{\circ}\text{C}$

参数(条件)	最小值	典型值	最大值	单位
片内带隙基准电压	1.10	1.19	1.30	V
片内带隙基准电压温飘系数	-	±200	-	ppm/°C
共模抑制(直流条件下, 输出数据率= 10 Hz, 输入电压=AVDD/2 ±0.1V)	-	75	-	dB
电源抑制(直流条件下, 输出数据率=10 Hz, VDDI=3.0V ±0.1V)	-	110	-	dB
电源电压(AVDD)	2.4	-	3.6	V
电源电流(AVDD)	-	1150	1400	uA
电源电压(DVDD)	2.4	-	3.6	V
电源电流(DVDD)	-	100	200	uA

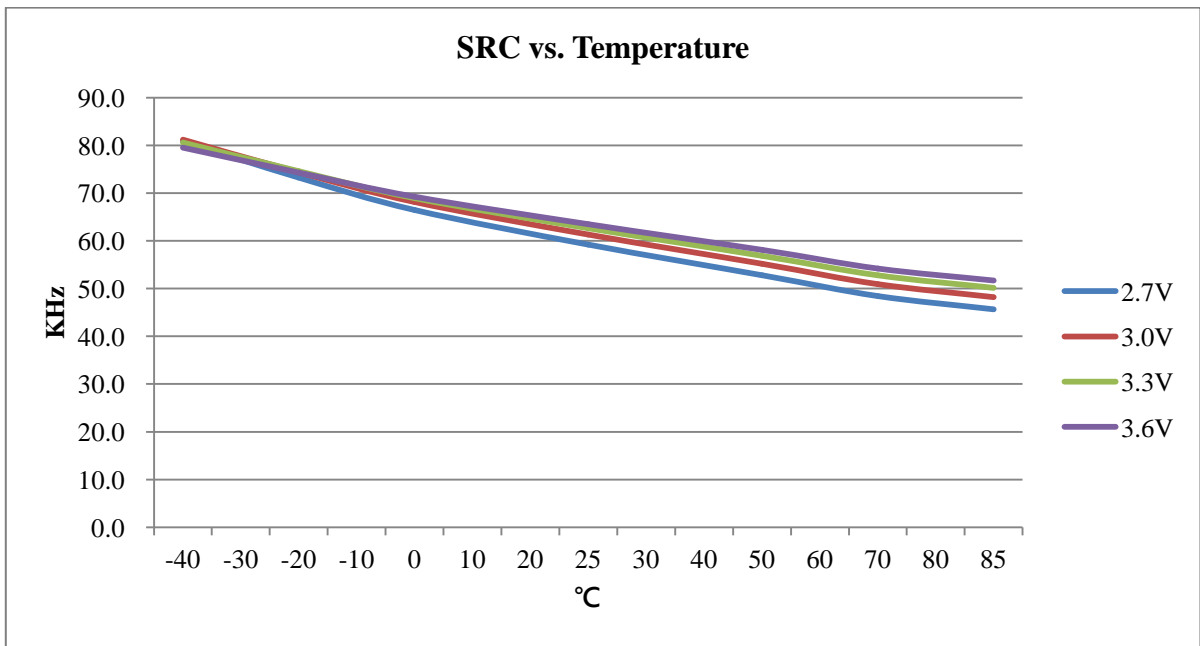
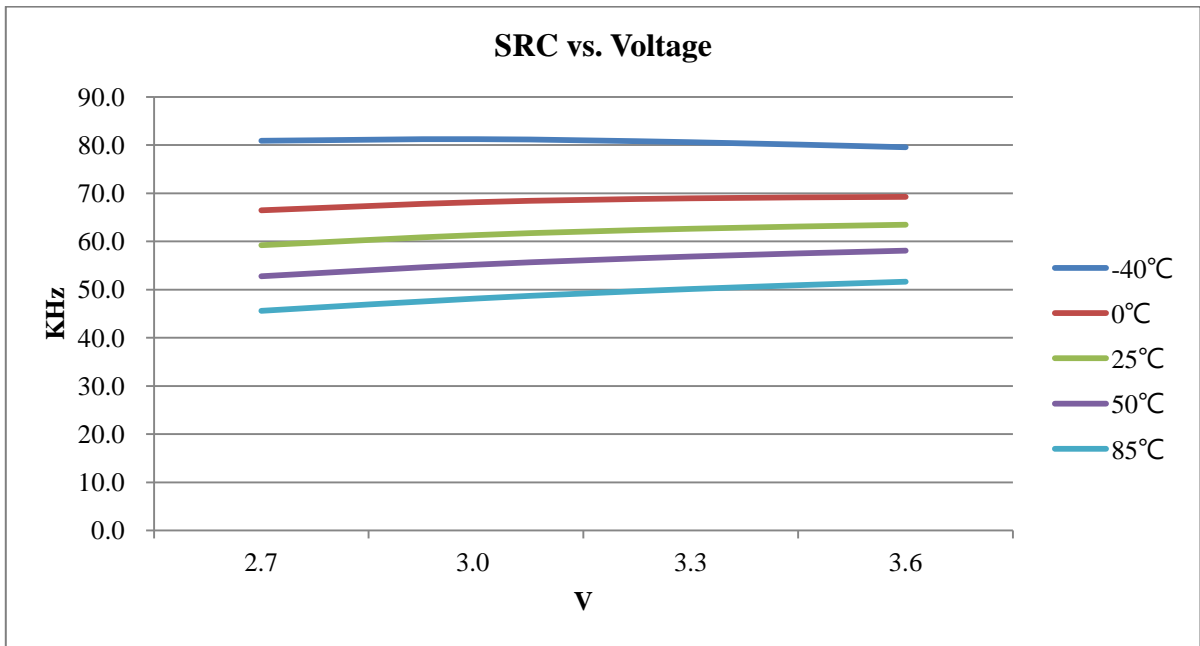
(*1) 零失调误差可以在进行内部零电平校准后消除

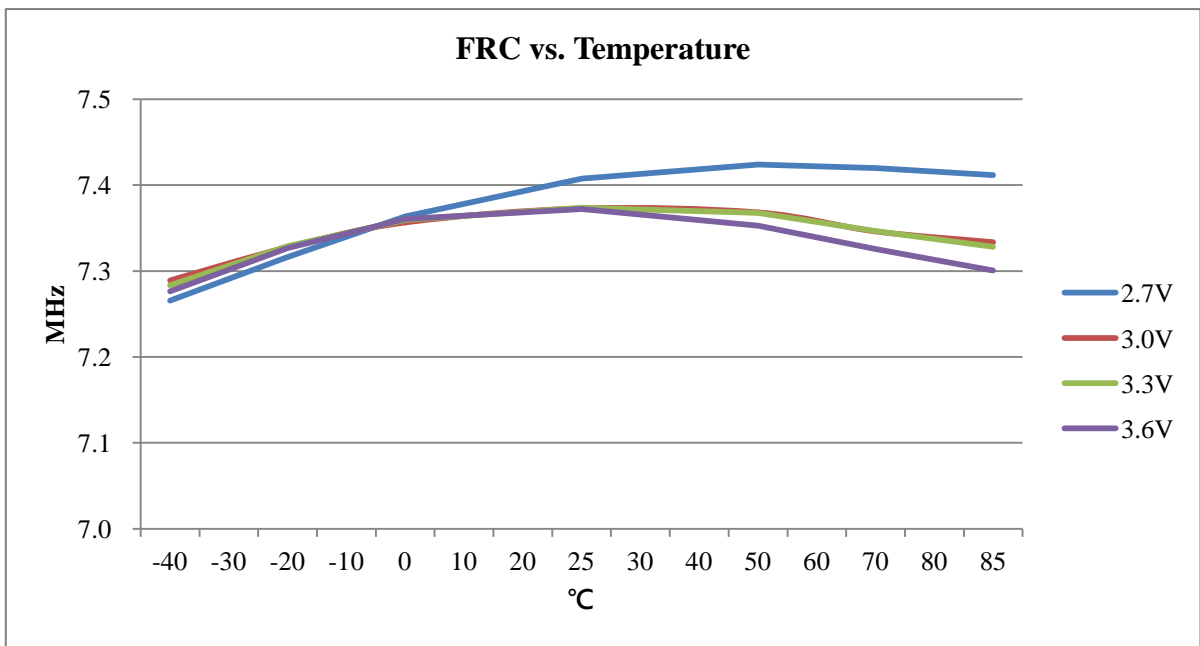
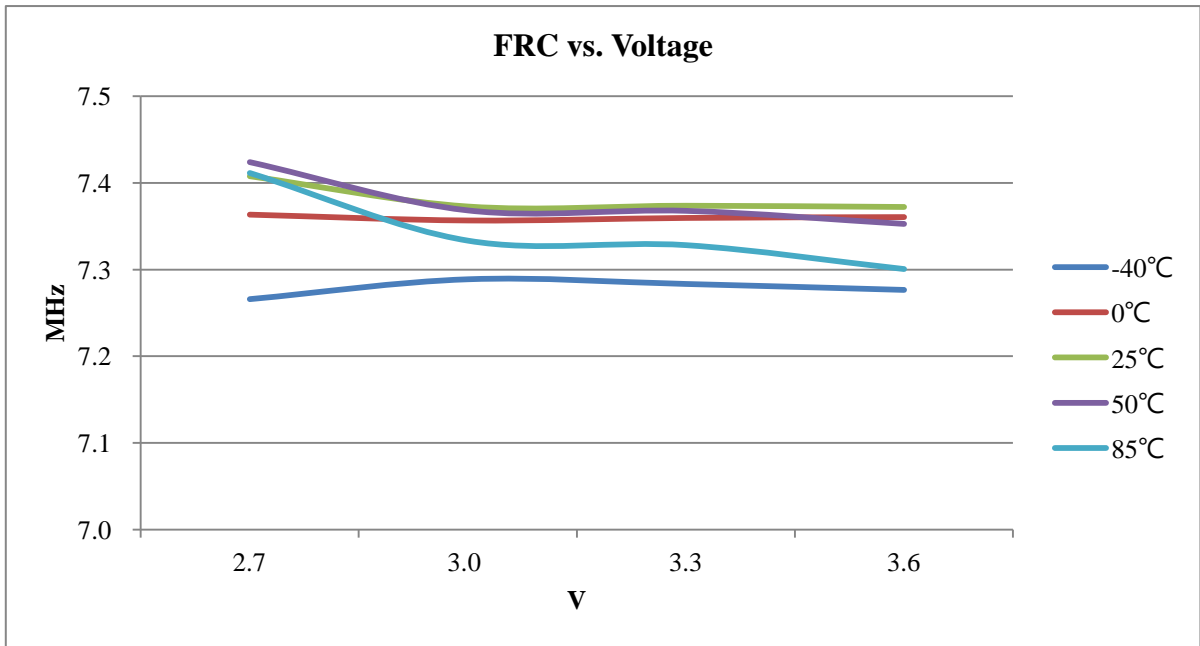
(*2) 有效分辨率与均方根噪声:

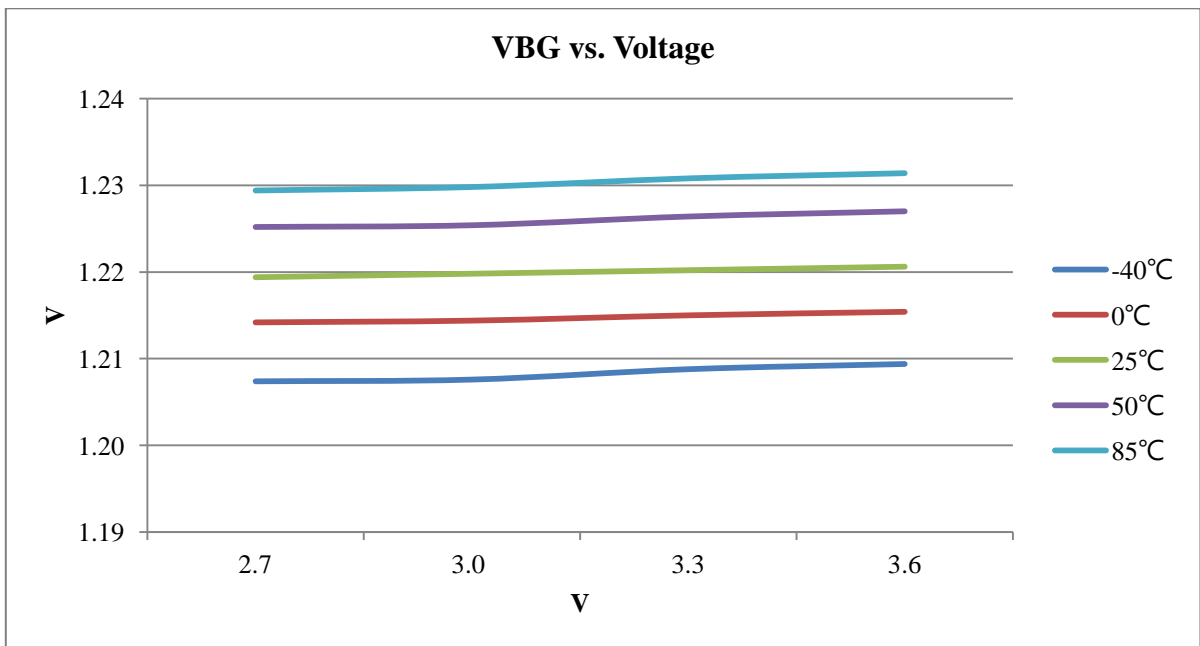
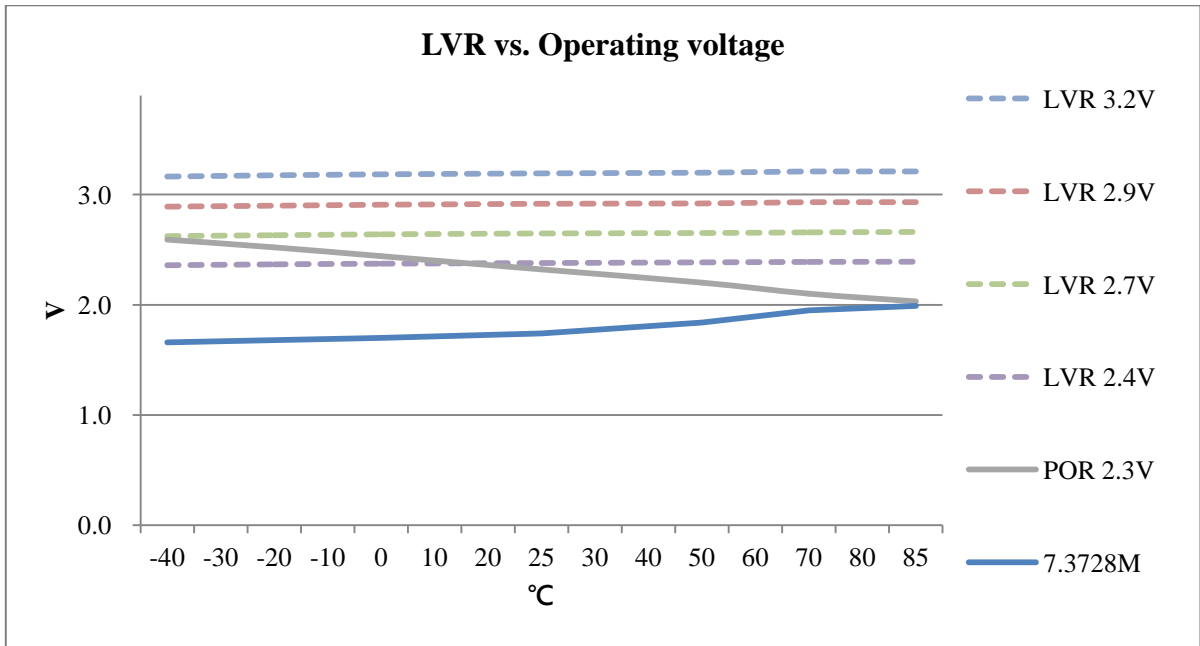
有效分辨率 (bit) 与增益和输出数据率的关系 (ADC系统时钟=250 kHz, VDDI=AVDD=3.3V, VREF=1.65V) * ³						
Max.Vin (mV) =0.9 * VREF	增益	1024	2048	4096	8192	过采样率
		244 Hz	122 Hz	61 Hz	30.5 Hz	输出数据率
±1200m * 0.9 FSR	1	19.16	19.52	19.88	20.11	有效分辨率 (bit)
±600m * 0.9 FSR	2	18.44	18.85	19.05	19.39	
±300m * 0.9 FSR	4	17.63	18.07	18.34	18.48	
±150m * 0.9 FSR	8	17.58	17.85	18.17	18.66	
±75m * 0.9 FSR	16	17.32	17.68	18.14	18.37	
±37.5m * 0.9 FSR	32	17.00	17.40	17.88	18.20	
±18.8m * 0.9 FSR	64	16.56	17.03	17.28	17.82	
±9.4m * 0.9 FSR	128	16.12	16.63	17.04	17.48	

均方根噪声 (uV) 与增益和输出数据率的关系 (ADC系统时钟=250 kHz, VDDI=AVDD=3.3V, VREF=1.65V) * ³						
Max.Vin (mV) =0.9 * VREF	增益	1024	2048	4096	8192	过采样率
		244 Hz	122 Hz	61 Hz	30.5 Hz	输出数据率
±1200m * 0.9 FSR	1	5.64	4.38	3.41	2.91	均方根噪声 (uV)
±600m * 0.9 FSR	2	4.65	3.49	3.04	2.39	
±300m * 0.9 FSR	4	4.06	2.99	2.49	2.26	
±150m * 0.9 FSR	8	2.10	1.75	1.39	1.00	
±75m * 0.9 FSR	16	1.26	0.98	0.71	0.61	
±37.5m * 0.9 FSR	32	0.78	0.60	0.43	0.34	
±18.8m * 0.9 FSR	64	0.53	0.39	0.32	0.22	
±9.4m * 0.9 FSR	128	0.36	0.25	0.19	0.14	

7. 特性曲线图





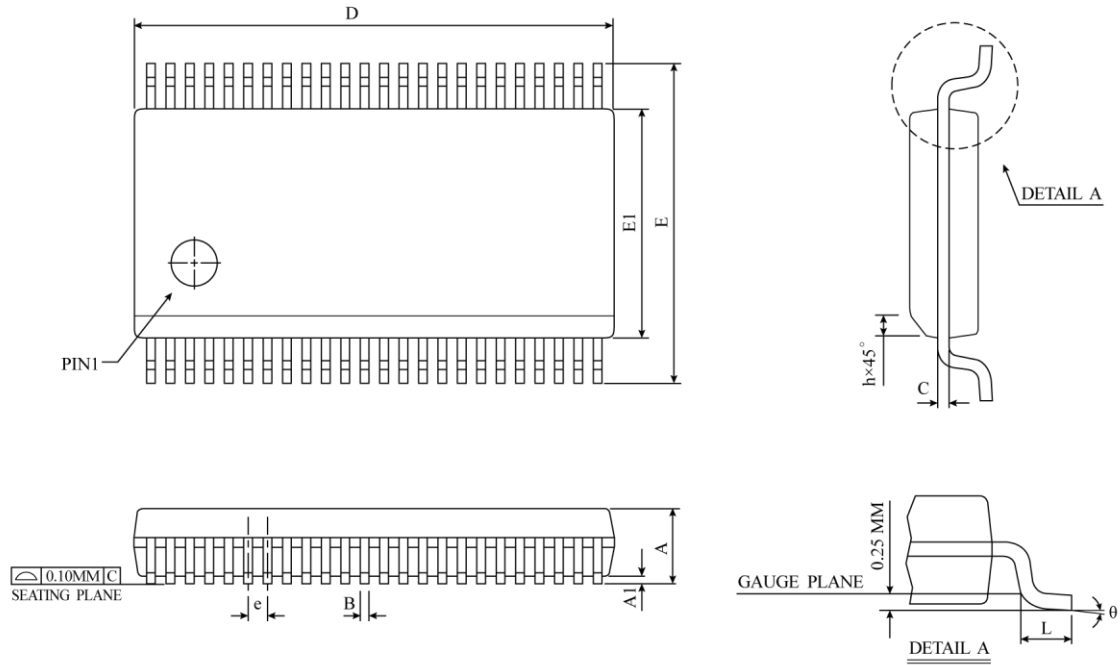


封装说明

请注意，此处提供的包装信息仅供参考。由于此信息经常更新，因此用户可以联系销售人员以咨询最新的包装信息和库存。

订购须知

Ordering number	Package
TM52FE8976-MTP-37	SSOP 48-pin (300 mil)

包装信息
SSOP-48 引脚 (300mil) 包装尺寸


SYMBOL	DIMENSION IN MM			DIMENSION IN INCH		
	MIN	NOM	MAX	MIN	NOM	MAX
A	2.413	2.604	2.794	0.095	0.103	0.110
A1	0.203	0.305	0.406	0.008	0.012	0.016
B	0.203	0.273	0.343	0.008	0.011	0.014
C	0.127	0.191	0.254	0.005	0.008	0.010
D	15.748	15.875	16.002	0.620	0.625	0.630
E	10.033	10.351	10.668	0.395	0.408	0.420
E1	7.391	7.493	7.595	0.291	0.295	0.299
e	0.635 BSC			0.025 BSC		
L	0.508	0.762	1.016	0.020	0.030	0.040
θ	0°	4°	8°	0°	4°	8°
JEDEC	M0-118 (AA)					

⚠ * NOTES : DIMENSION "D" DOES NOT INCLUDE MOLD FLASH, PROTRUSIONS OR GATE BURRS.
MOLD FLASH, PROTRUSIONS OR GATE BURRS SHALL NOT EXCEED 0.1524 MM (0.006 INCH) PER SIDE.